



スパルタン ブレッドボード
XSP-010-50/100
ユーザーズマニュアル
第2版 (R1)

ヒューマンデータ

目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 各部の名称	3
2.1. 電源入力	4
2.2. JTAG コネクタ	4
3. ジャンプスイッチの説明	5
4. XSP-010 参考資料について	7
5. 付属資料	7

はじめに

この度は、スパルタン ブレッドボード / XSP-010 をお買い上げいただきまして誠にありがとうございます。

XSP-010 は、サイリンクスの高性能 FPGA スパルタン (XC2S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGAブレッドボード/XSP-010	1
付属品（予備ジャンパなど）	1
ACアダプタ(6V)	1
マニュアル（本書）	1
ユーザー登録はがき	1

2. 各部の名称



2.1. 電源入力

本ボードは、DC 6 V 単一電源で動作します。

内部に必要な、3.3V、2.5V はオンボードのレギュレータにより生成されます。

DC ジャック (CN2) から供給する場合は、内部でブリッジダイオードを使用しているため、電源ジャックに極性はあり
ません。付属の AC アダプタをご使用ください。

CN3 から電源を供給する場合は、DC 5 V を供給します。

このとき極性にご注意下さい。

CN3 : MOLEX 製コネクタ

ピン番号	信号名
1	DC 5V 入力
2	GND
3	N.C

2.2. JTAG コネクタ

FPGA へのコンフィグレーション、ISP 可能なシリアル ROM への書込みに用います。

ピン配置は次表のとおりです。

CN1:

信号名	ピン番号	ピン番号	信号名
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	9	-
TDI	9	10	GND

弊社製ダウンロードケーブル XC2、XCKIT の 10 ピンコネクタと 1 : 1 で対応しています。

シリアル ROM によりコンフィグレーションする場合は、内蔵の XC18V01PC20C に JTAG 経由で ISP (オンボード書込み)
してください。

オンボードで、シリアル ROM に ISP するときは、ジャンパ設定で、JTAG チェインに ROM を接続してください。

3. ジャンプスイッチの説明

JP4 クロック選択

供給先	ショート位置 ピン番号	クロック	ショート位置 ピン番号	クロック
CPLD の 15pin	2-3	CY2071A から供給	1-2	オプションの汎用発振器(XCO)より
CPLD の 18pin	5-6		4-5	
CPLD の 91pin	8-9		7-8	
CPLD の 88pin	11-12		10-11	

JP6、JP8 CY2071A クロック周波数設定

CY2071AF(クロック発生器：原発クリスタル 16.00MHz)

JP8=オープン				
JP6:いずれかショート (同時ショート禁止)	1-2 間	3-4 間	5-6 間	周波数
	SHORT	-	-	20 MHz
	-	SHORT	-	40 MHz
	-	-	SHORT	80 MHz
JP8=ショート				
JP6:いずれかショート (同時ショート禁止)	SHORT	-	-	16.5 MHz 出荷時
	-	SHORT	-	33 MHz
	-	-	SHORT	66 MHz

JP9 M0,M2 信号処理用 (回路図参照)

出荷時 : Master Serial mode

JP8 1-2 間ショート M0=L

JP8 4-5 間ショート M1=L

JP8 7-8 間ショート M2=L

JP7 リセット回路無効 / 有効切り替え

ショートで、パワーオンリセット回路およびリセットボタンが有効です。

(出荷時はショート)

JP3 コンフィグレーションモード設定

JTAG 側で、JTAG モードとなります。

HD 側でハードウェアデバッグモードとなります。

ハードウェアデバッグモード時には ROM と併用できませんので必ず ROM を取外しておいてください。

(出荷時は JTAG 側)

JP2 コンフィグレーションソース設定

ROM 側で ROM からのコンフィグレーションとなります。

CN1 側で、ケーブルからのコンフィグレーションとなります。

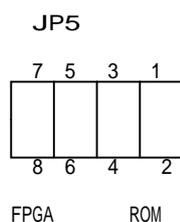
これは、ハードウェアデバッグモード時の設定です。

通常は ROM 側でかまいません。(JTAG)

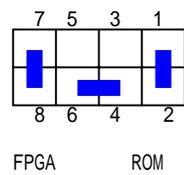
(出荷時は ROM 側)

JP5 JTAG チェイン切り替え

	1-2 間、3-4 間 ショート	5-6 間、7-8 間 ショート
JTAG チェイン	JTAG にはコンフィグレーション ROM が接続	JTAG には FPGA が接続



JP5 を図のように接続することで、FPGA と ROM の両方を JTAGA チェインに参加させることが可能です。



4. XSP-010 参考資料について

追加資料や参考資料がつけられた場合は

製品サポートページ

http://www.hdi.co.jp/support_c.html

にデータをアップロードすることにいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

パスワードを求められたときは“thanks”を入力していただければ開けます。

5. 付属資料

1. 基板回路図

スパルタン 2 ブレッドボード

XSP-010-50/100

ユーザーズマニュアル

2002/03/16 初版(R1)

2002/07/25 第 2 版(R1)

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積 1 - 2 - 5 1

シャトー春日第 3 ビル 2 F

TEL 0726-20-2002

FAX 0726-20-2003

U R L <http://www.hdl.co.jp/>

M a i l support@hdl.co.jp
