



Virtex-E ブレッドボード  
XSP-009 シリーズ  
ユーザーズマニュアル  
第6版 (R1)

ヒューマンデータ

## 目次

はじめに .....	1
<b>ご注意</b> .....	1
1. 製品の内容について .....	2
2. 各部の名称 .....	3
2.1. 電源入力 .....	4
2.2. JTAG コネクタ .....	4
3. ジャンプスイッチの説明 .....	5
4. コンフィグレーション ROM の使い方 .....	8
5. XSP-009 参考資料について .....	8
6. 付属資料 .....	8

---

## はじめに

この度は、Virtex-E ブレッドボード / XSP-009 シリーズをお買い上げいただきまして誠にありがとうございます。

XSP-009 シリーズは、ザイリンクスの高性能 FPGA Virtex-E を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

## ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

## 1. 製品の内容について

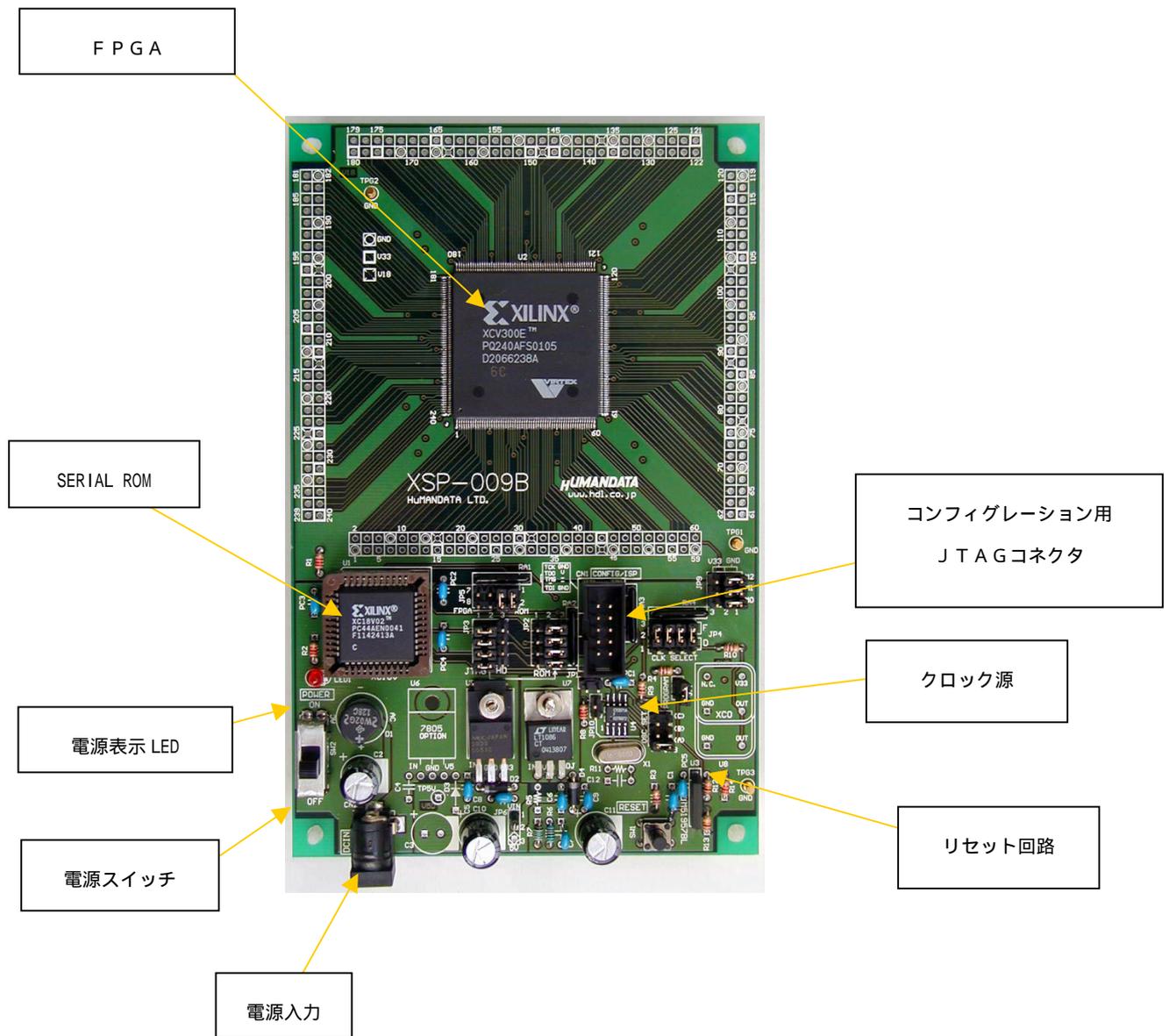
本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

Virtex-E ブレッドボード	1
付属品（予備ジャンパなど）	1
AC アダプタ(6V)	1
マニュアル（本書）	1
ユーザー登録はがき	1

## 型番と使用デバイス一覧

型番	使用デバイス
XSP-009-300	XCV300E-6PQ240C
XSP-009-200	XCV200E-6PQ240C
XSP-009-100	XCV100E-6PQ240C
XSP-009-50	XCV50E-6PQ240C
XSP-009-INST	無し(お客さまご支給)

2. 各部の名称



## 2.1. 電源入力

本ボードは、DC 6V 単一電源で動作します。

内部に必要な、3.3V、1.8V はオンボードのレギュレータにより生成されます。

内部でブリッジダイオードを使用しているため、電源ジャックに極性はありません。

2.1 の標準的な AC アダプタ (6V から 8V) を用いることができます。

付属の AC アダプタをご使用ください。

## 2.2. JTAG コネクタ

FPGA へのコンフィグレーション、ISP 可能なシリアル ROM への書込みに用います。

ピン配置は次表のとおりです。

信号名	ピン番号	ピン番号	信号名
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	9	-
TDI	9	10	GND

弊社製ダウンロードケーブル XC2、XCKIT の 10 ピンコネクタと 1 : 1 で対応しています。

シリアル ROM によりコンフィグレーションする場合は、内蔵の XC18V02PC44C に JTAG 経由で ISP (オンボード書込み) してください。

オンボードで、シリアル ROM に ISP するときは、ジャンパ設定で、JTAG チェインに ROM を接続してください。

### 3. ジャンパススイッチの説明

#### JP4 クロック選択 (次表を参照ください)

ピン番号	クロック名	F 側	D 側
1-2	FPGA の GCLK0	JP10 および JP8 により 設定された周波数	オプションの汎用発振器 (XCO) より
3-4	FPGA の GCLK1		
5-6	FPGA の GCLK2		
7-8	FPGA の GCLK3		

#### JP8、JP10 クロック設定 (次表を参照ください)

CY2071AF (クロック発生器 : 源発クリスタル 16.00MHz)

JP10=オープン				
JP8:いずれかショート (同時ショート禁止)	1-2 間	3-4 間	5-6 間	周波数
	SHORT	-	-	20 MHz
	-	SHORT	-	40 MHz
	-	-	SHORT	80 MHz
JP10=ショート				
JP8:いずれかショート (同時ショート禁止)	SHORT	-	-	16.5 MHz
	-	SHORT	-	33 MHz
	-	-	SHORT	66 MHz

#### 66MHz、80MHz クロックのご使用について

高速クロックを用いる場合は、FPGA のクロックの 1 本だけに供給するようにしてください。

**JP9 M0,M2 信号処理用 (回路図参照)**

**出荷時 : Master Serial mode**

JP8 1-2 間ショート M0=L

JP8 4-5 間ショート M1=L

JP8 7-8 間ショート M2=L

Configuration Mode	M2	M1	M0	Pull-ups
Master Serial	0	0	0	No
Slave Serial	1	1	1	No
SelectMAP	1	1	0	No
Boundary Scan	1	0	1	No
Master Serial (w/pull-ups)	1	0	0	Yes

表は : <http://www.xilinx.co.jp/isp/csapps.htm> より引用しました

**JP7 リセット回路無効 / 有効切り替え**

ショートで、パワーオンリセット回路およびリセットボタンが有効です。

(出荷時はショート)

**JP3 コンフィグレーションモード設定**

JTAG 側で、JTAG モードとなります。

HD 側でハードウェアデバッグモードとなります。

ハードウェアデバッグモード時には ROM と併用できませんので必ず ROM を取外しておいてください。

(出荷時は JTAG 側)

**JP2 コンフィグレーションソース設定**

3 側(2-3)で ROM からのコンフィグレーションとなります。

1 側(1-2)で、ケーブルからのコンフィグレーションとなります。

これは、ハードウェアデバッグモード時の設定です。

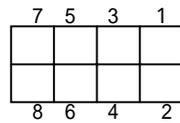
ジャンパは 4 個ともセットで切り替えてください。

**JP5 JTAG チェイン切り替え**

	1-2 間、3-4 間 ショート	5-6 間、7-8 間 ショート
JTAG チェイン	JTAG にはコンフィグレーション ROM が接続	JTAG には FPGA が接続

ジャンパの差し方を工夫することで、FPGA と ROM の両方を JTAG チェインに参加させることが可能です。

**JP3**



FPGA          ROM

#### 4. コンフィグレーション ROM の使い方

XSP-009 では、ISP 可能なコンフィグレーション ROM を内蔵しており、XILINX のツールから ISP(書込み)ができます。書込みのためのデータを作る際には、Generate PROM Fileにより、XC18V02 を選択してください。フォーマットは MCS です。

また、Generate Programming Fileのプロパティで、StartUP クロックを CCLKとしてください。  
(FPGA の直接コンフィグレーションするデータ\*.BIT をつくるときは、JTAG CCLKとしてください)

ボードのジャンパは以下ようになります。

- JP5 : 1-2 間 3-4 間ショート (即ち ROM 側)
- JP3 : JTAG 側
- JP2 : 2-3 側

#### 5. XSP-009 参考資料について

追加資料や参考資料がつけられた場合は  
製品サポートページ  
[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)  
にデータをアップロードすることにいたします。  
拡張子 “.exe” のときは、自己解凍ファイルといたします。  
ときどきチェックしていただき必要に応じてご利用くださいませ。  
パスワードを求められたときは”thanks”を入力していただければ開けます。

#### 6. 付属資料

- 1 . 基板回路図

---

Virtex-E ブレッドボード

XSP-009 シリーズ

---

ユーザーズマニュアル

---

2001/11/10 初版(R1) 2001/12/11 第2版(R1)

2002/ 7/11 第3版(R1) 2002/12/ 4 第4版(R1)

2003/ 2/12 第5版(R1)

2003/ 7/11 第6版(R1)

**有限会社ヒューマンデータ**

〒567-0034

大阪府茨木市中穂積1-2-51

シャトー春日第3ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>

Mail [support@hdl.co.jp](mailto:support@hdl.co.jp)

---