



スパルタンブレッドボード  
XSP-004  
ユーザーズマニュアル  
初版（R1）

ヒューマンデータ

---

## 目次

|                        |   |
|------------------------|---|
| はじめに .....             | 2 |
| ご注意 .....              | 2 |
| 製品の内容について .....        | 3 |
| 各部の名称 .....            | 4 |
| ジャンプスイッチの説明 .....      | 5 |
| コネクタピンアサイン表 .....      | 6 |
| SERIAL ROM について .....  | 8 |
| XSP-004 参考資料について ..... | 8 |
| 付属資料 .....             | 8 |

## はじめに

この度は、スパルタンブレッドボード / XSP-004 をお買い上げいただきまして誠にありがとうございます。

XSP-004 は、ザイリンクスの高性能 FPGA スパルタン ( X C S 1 0 ) を用いた評価用ボードで、4桁数字表示 L E D、汎用 LED、ディップスイッチ、クロック発生回路、パワーオンリセット回路などを装備した使いやすいボードになっています。

どうぞご活用ください。

## ご注意

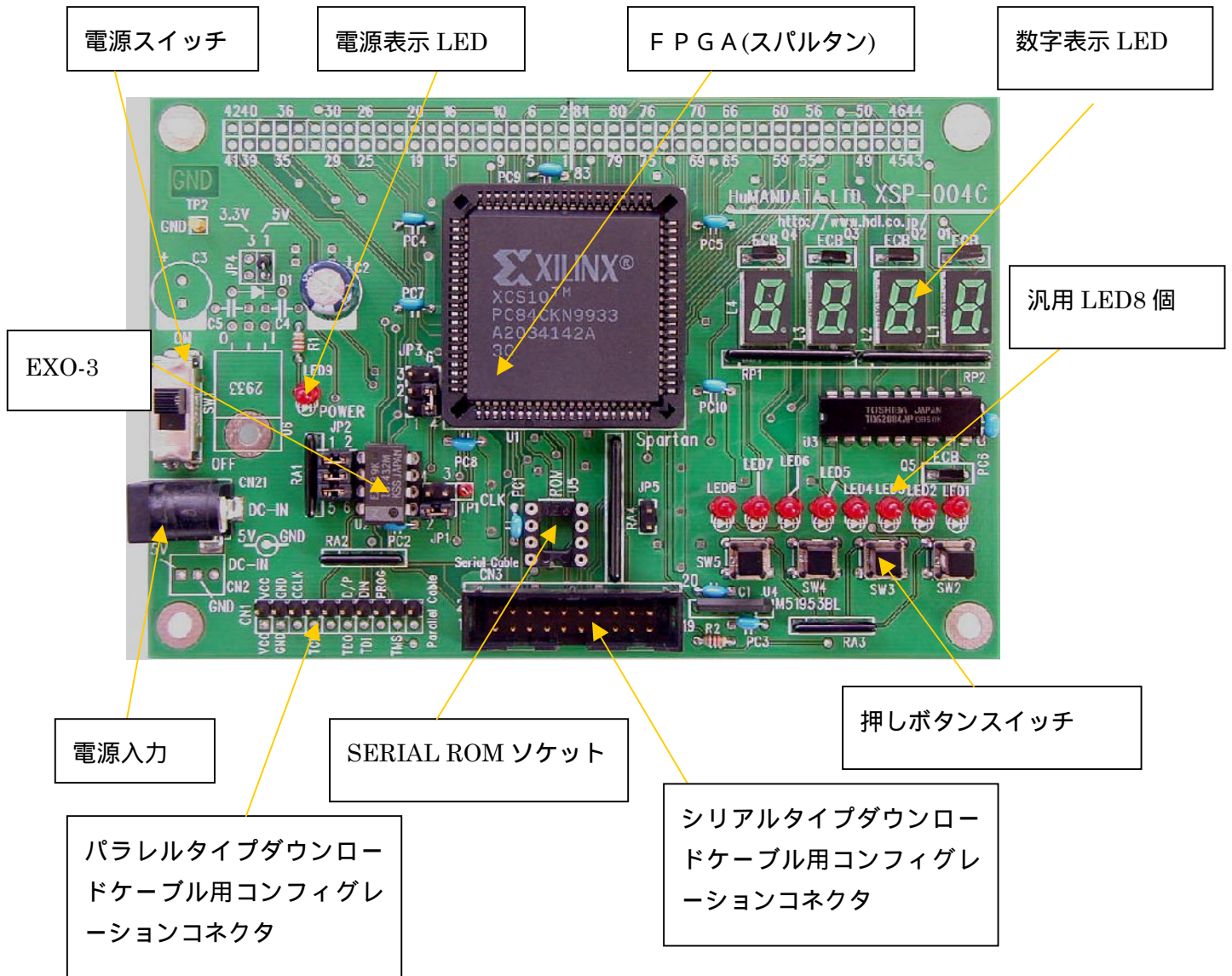
1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2 . 項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

**製品の内容について**

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

|                      |   |
|----------------------|---|
| FPGA ブレッドボード/XSP-004 | 1 |
| 付属品（予備ジャンパなど）        | 1 |
| マニュアル（本書）            | 1 |
| ユーザー登録はがき            | 1 |

各部の名称



## ジャンプスイッチの説明

### J P 1、J P 2 クロック設定 (次表を参照ください)

EX0-03(クロック発生器 1 8 . 4 3 2 M H z)

| J P 1 |       | J P 2 |       |       |           |  |
|-------|-------|-------|-------|-------|-----------|--|
| 3-4 間 | 1-2 間 | 1-2 間 | 2-3 間 | 4-5 間 | 周波数       |  |
| SHORT | OPEN  | -     | -     | -     | 18.432MHZ |  |
| OPEN  | SHORT | SHORT | SHORT | SHORT | 9.216     |  |
| OPEN  | SHORT | OPEN  | SHORT | SHORT | 4.608     |  |
| OPEN  | SHORT | SHORT | OPEN  | SHORT | 2.304     |  |
| OPEN  | SHORT | OPEN  | OPEN  | SHORT | 1152KHz   |  |
| OPEN  | SHORT | SHORT | SHORT | OPEN  | 576       |  |
| OPEN  | SHORT | OPEN  | SHORT | OPEN  | 288       |  |
| OPEN  | SHORT | SHORT | OPEN  | OPEN  | 144       |  |
| OPEN  | SHORT | OPEN  | OPEN  | OPEN  | 72        |  |
|       |       |       |       |       |           |  |

J P 3 MODE 信号処理用

J P 5 INIT 信号処理用

**(注意)** J P 5 は、JTAG モードでコンフィグレーションするときにショートします。  
ショート状態で、FPGA モードでのダウンロードケーブルの接続をしてはいけません。

シリアル ROM 使用時

JP3 : 1-2 間のみショート

JP5 : オープン

JTAG モードでコンフィグレーションするとき

JP3 : 2-3 間のみショート

JP5 : ショート

その他のモードについては、XILINX のデバイス資料や回路図を参照のうえジャンプ設定を行ってください。

## コネクタピンアサイン表

CN1 : パラレルタイプコンフィグレーション用

20ピンヘッダ

| ピン番号 | 記号   | 内容               | 備考     |
|------|------|------------------|--------|
| 1    | VCC  | 電源 +5V           |        |
| 2    | VCC  | 電源 +5V           |        |
| 3    | GND  | 信号 GND           |        |
| 4    | GND  | 信号 GND           |        |
| 5    | N.C  | 未使用              |        |
| 6    | CCLK | コンフィグレーション用 CLK  |        |
| 7    | N.C  | 未使用              |        |
| 8    | N.C  | 未使用              |        |
| 9    | N.C  | 未使用              |        |
| 10   | N.C  | 未使用              |        |
| 11   | TDO  | ISP 用データ出力       |        |
| 12   | D/P  | コンフィグレーション用 D/P  |        |
| 13   | TDI  | ISP 用データ入力       |        |
| 14   | DIN  | コンフィグレーション用 DIN  |        |
| 15   | N.C  | 未使用              |        |
| 16   | PROG | コンフィグレーション用 PROG | /RESET |
| 17   | TMS  | ISP 用モード入力       |        |
| 18   | N.C  | 未使用              |        |
| 19   | N.C  | 未使用              |        |
| 20   | N.C  | 未使用              |        |

ピン配置は、XILINX 製ダウンロードケーブルとあわせてありますが、**JTAG**と**非 JTAG**機能を同時に接続することはできませんのでご注意ください。

フラットケーブルにて接続する場合は不要の配線を切断しておいて下さい。

CN3: シリアルタイプコンフィグレーション用

20ピンヘッダ

| ピン番号 | 記号    | 内容               | 備考     |
|------|-------|------------------|--------|
| 1    | RT    | コンフィグレーション用 RT   |        |
| 2    | V C C | 電源 +5V           |        |
| 3    | RD    | コンフィグレーション用 RD   |        |
| 4    | GND   | 信号 GND           |        |
| 5    | N.C   | 未使用              |        |
| 6    | N.C   | 未使用              |        |
| 7    | N.C   | 未使用              |        |
| 8    | CCLK  | コンフィグレーション用 CLK  |        |
| 9    | TDI   | ISP用データ入力        |        |
| 10   | D/P   | コンフィグレーション用 D/P  |        |
| 1 1  | TDO   | ISP用データ出力        |        |
| 1 2  | DIN   | コンフィグレーション用 DIN  |        |
| 1 3  | TMS   | ISP用モード入力        |        |
| 1 4  | PROG  | コンフィグレーション用 PROG | /RESET |
| 1 5  | CLKI  | コンフィグレーション用 CLKI |        |
| 1 6  | INIT  | コンフィグレーション用 INIT |        |
| 1 7  | CLK0  | コンフィグレーション用 CLK0 |        |
| 1 8  | RST   | コンフィグレーション用 RST  |        |
| 1 9  | N.C   | 未使用              |        |
| 2 0  | N.C   | 未使用              |        |

ピン配置は、XILINX 製ダウンロードケーブルとあわせてありますが、J T A Gと非 JTAG機能を同時に接続することはできませんのでご注意ください。

フラットケーブルにて接続する場合は不要の配線を切断しておいて下さい。

CN2、CN2 1 : 電源入力コネクタ

DC 5 V 入力。

DC 5 V 0 . 5 A 以上のものをお使いください。

何れか都合の良いほうを一方だけご使用ください。

**極性、電圧にはくれぐれもご注意ください。**



## SERIAL ROM について

シリアルROMによりコンフィグレーションする場合は、ザイリンクス製のROMのほか、ATMEL社のAT17C256を使用することが可能です。

XSP-004には、テスト回路を書込んだAT17C256を1個実装しています。

## XSP-004 参考資料について

追加資料や参考資料がつけられた場合は<http://www.hdl.co.jp/hdlftphtml.html>にデータをアップロードすることにいたします。

拡張子“.exe”のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

パスワードを求められたときは”thanks”を入力していただければ開けます。

また、参考回路例は、バサロさんのホームページ「FPGA インフォメーション」にありますぜひ参照してください。

URL <http://member.nifty.ne.jp/fpga/>

弊社および、FPGA インフォメーションは、参考回路の内容について、いかなる保証もいたしません。あくまでも学習のご参考の範囲にてご利用ください。

## 付属資料

### 1. 基板回路図