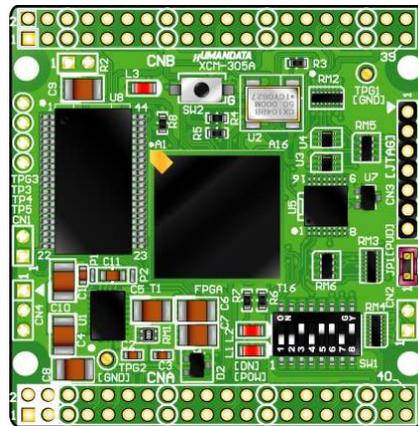


Spartan-3A ブレッドボード  
XCM-305  
ユーザーズマニュアル  
Ver. 1.2



ヒューマンデータ



## 目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品説明.....	3
3.1. 各部名称.....	3
3.2. ブロック図.....	4
3.3. 開発環境.....	4
3.4. 電源入力.....	5
3.5. JTAG コネクタ (CN3).....	5
3.6. 設定スイッチ (SW1).....	6
4. FPGA のコンフィギュレーション.....	6
4.1. JTAG/バウンダリスキャン.....	6
4.2. コンフィグ ROM ファイルの作成.....	7
4.3. コンフィグ ROM アクセス.....	7
5. FPGA ピン割付け表.....	8
5.1. ユーザ I/O (CNA).....	8
5.2. ユーザ I/O (CNB).....	9
5.3. オンボードクロック.....	9
5.4. 汎用 SW.....	9
5.5. 汎用 LED.....	9
5.6. シリアル I/F (CN4).....	9
5.7. MRAM.....	10
6. Configuration Rate の設定.....	11
7. サポートページ.....	11
8. 付属資料.....	11
9. お問い合わせについて.....	11

## ● はじめに

この度は、Spartan-3A ブレッドボード XCM-305 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-305 は、XILINX の高性能 FPGA Spartan-3A を用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。

どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。
 <b>注意</b>	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

## ● 改訂記録

日付	バージョン	改訂内容
2011/05/20	1.1	・仕様 付属品などの訂正
2013/02/12	1.2	・「4. FPGA のコンフィギュレーション」を改訂

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード	XCM-305	1
付属品		1
マニュアル（本書）		1 *
ユーザ登録はがき		1 *

\* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

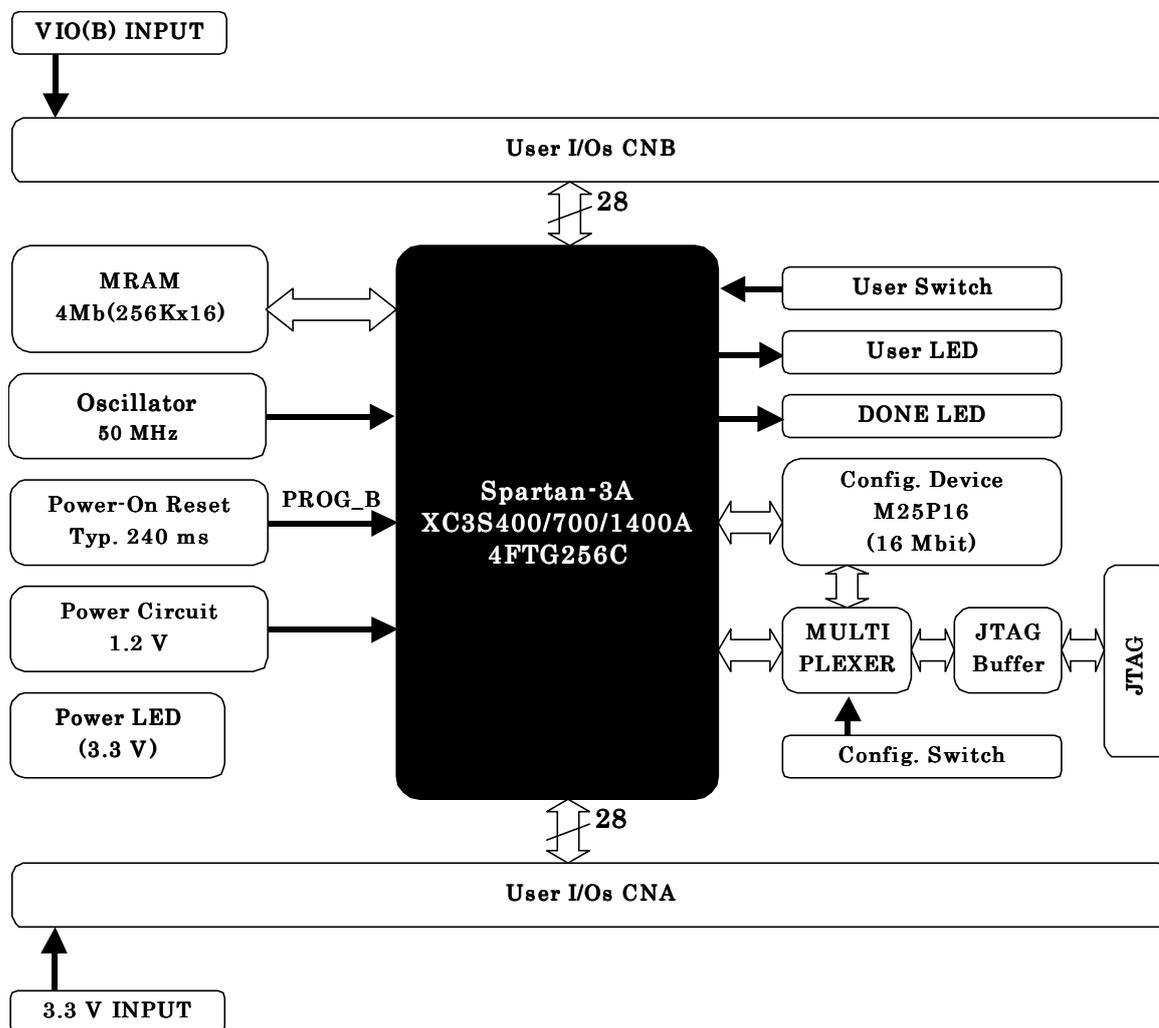
## 2. 仕様

製品型番	XCM-305-400A	XCM-305-700A	XCM-305-1400A
搭載 FPGA	XC3S400A -4FTG256C	XC3S700A -4FTG256C	XC3S1400A -4FTG256C
電源	DC 3.3[V]		
MRAM	MR2A16AYS35 (EVERSPIN 256Kx16bit)		
コンフィグ ROM	M25P16-VMF (Micron, 16Mbit)		
コンフィグ用リセット回路	内蔵 (240 ms TYP)		
オンボードクロック	50MHz		
基板寸法	53×54 [mm]		
質量	TYP 17 [g]		
ユーザ I/O	56 本		
汎用スイッチ	1		
汎用 LED	1		
I/O コネクタ	40 ピンスルーホール 0.9[mmφ]x2 組 2.54 mm ピッチ		
プリント基板	ガラスエポキシ 6 層基板 1.6t		
JTAG コネクタ	DIL7 ピン ピンソケット 2.54mm ピッチ		
ステータス LED	2 (POWER, DONE)		
付属品	SIL7 ロングピンヘッダ x1		
	DIL40 ピンヘッダ x2		
消費電流	N/A (詳細は FPGA データシートご参照)		

\*これらの部品や仕様は変更となる場合がございます



### 3.2. ブロック図



### 3.3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

### 3.4. 電源入力

本ボードは、DC **3.3V** 単一電源で動作します。内部に必要な、1.2V はオンボードのレギュレータにより生成されます。電源は、CNA、CNB から供給してください。適切な電源を供給してください。**いずれも 3.3V を超えることはできません。**

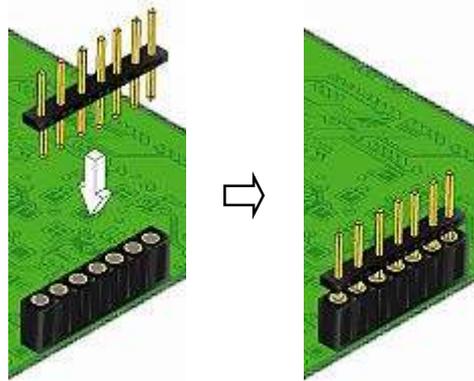
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。詳しくは FPGA のデータシート、回路図などを参照してください。

### 3.5. JTAG コネクタ (CN3)

FPGA へのコンフィギュレーションやコンフィグ ROM への ISP に使用します。ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。ピン配置は次表のとおりです。

CN3

ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT
6	TDI	IN
7	GND	I/O



使用例

**注意**

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

### 3.6. 設定スイッチ (SW1)

XCM-305 の設定スイッチは下表のように割り付けられています。

SW1

番号	1	2	3	4	5	6	7	8
記号	X_PROG	X_M0	X_M1	X_M2	VS2	VS1	VS0	X_SUSPEND
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON
説明	ターゲット 設定	コンフィギュレーション モード設定			SPI モード 設定			SUSPEND モード 設定

コンフィギュレーションモード	X_M0	X_M1	X_M2
マスタ SPI モード	OFF	ON	ON
JTAG モード	OFF	ON	OFF

(ON で Low に固定されます)

#### 1: ターゲット設定

JTAG 信号のターゲットを切り替えます。ON 設定により、コンフィグ ROM への直接アクセスが可能ですが、書込ツールが対応している必要があります。

通常は OFF 設定でご使用下さい。

#### 2-4 : コンフィギュレーションモード設定

FPGA のコンフィギュレーションモードを設定します

- ・マスタ SPI : コンフィグ ROM を使用する際に設定します。(アクセスや ROM からの起動)
- ・JTAG : コンフィグ ROM を使用しない場合は、JTAG モードでご使用下さい。

#### 5-7 : SPI モード設定

コンフィグ ROM のアクセス方法を設定します。出荷時状態でお使い下さい。

#### 8 : SUSPEND モード設定

FPGA のサスペンド機能を制御します。詳しくは FPGA のデータシートをご参照下さい。

## 4. FPGA のコンフィギュレーション

### 4.1. JTAG/バウンダリスキャン

バウンダリスキャンで認識される FPGA デバイスに、ユーザ回路のコンフィギュレーションを行います。

認識やコンフィギュレーションには、専用のダウンロードケーブルとツール(Xilinx 社 iMPACT など)を使用してください。



## 4.2. コンフィグ ROM ファイルの作成

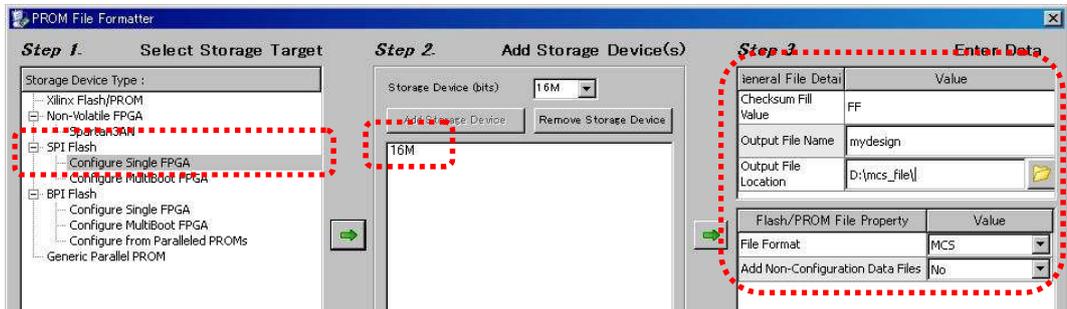
コンフィギュレーションROMへ書き込むためにはMCSファイルが必要です。書き込みたいbitファイルから、iMPACTを使用して作成することができます。作成方法の例を以下に示します。

- (1) iMPACTにて「Create PROM File」をダブルクリックします



- (2) 設定画面にて必要な項目を設定します

- Storage Target: SPI Flash – Configure Single FPGA
- Storage Device: 16M (1つ)
- File Format: MCS
- その他項目：任意



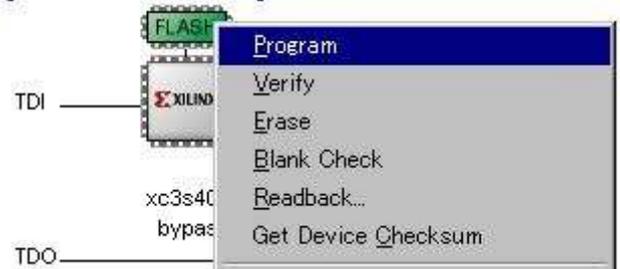
- (3) 使用する bit ファイルを選択します
- (4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします
- (5) 「Generate Succeeded」と表記されれば完了です

## 4.3. コンフィグ ROM アクセス

バウンダリスキャン画面にて、右図のようにコンフィグ ROM に MCS ファイルを割付けます。

デバイスには【SPI PROM – M25P16】を選択してください。右クリックから各コマンドを実行できます。

Right click device to select operations



**設定スイッチのコンフィギュレーションモードは「マスタ SPI モード」に設定してください。**

## 5. FPGA ピン割付け表

### 5.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK Group
		3.3V	1	2	3.3V		
		予約	3	4	予約		
		GND	5	6	GND		
A	IOA0	R5	7	8	T4	IOA1	A
A	IOA2	T6	9	10	T5	IOA3	A
A	IOA4	N8	11	12	P7	IOA5	A
A	IOA6	T7	13	14	R7	IOA7	A
		GND	15	16	GND		
A	IOA8	T8	17	18	P8	IOA9	A
A	IOA10	P11	19	20	N11	IOA11	A
A	IOA12	R13	21	22	T13	IOA13	A
A	IOA14	P13	23	24	N12	IOA15	A
		GND	25	26	GND		
A	IOA16	N14	27	28	N13	IOA17	A
A	IOA18	R15	29	30	P15	IOA19	A
A	IOA20	N16	31	32	P16	IOA21	A
A	IOA22	K13	33	34	L13	IOA23	A
		GND	35	36	GND		
A	IOA24	M16	37	38	M15	IOA25	A
A	IOA26	L16	39	40	L14	IOA27	A

## 5.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK Group
		V10(B)*	1	2	V10(B)*		
		予約	3	4	予約		
		GND	5	6	GND		
B	IOB0	A3	7	8	B3	IOB1	B
B	IOB2	A4	9	10	B4	IOB3	B
B	IOB4	C5	11	12	A5	IOB5	B
B	IOB6	D7	13	14	C6	IOB7	B
		GND	15	16	GND		
B	IOB8	A6	17	18	B6	IOB9	B
B	IOB10	A7	19	20	C7	IOB11	B
B	IOB12	A8	21	22	B8	IOB13	B
B	IOB14	C8	23	24	D8	IOB15	B
		GND	25	26	GND		
B	IOB16	B10	27	28	A10	IOB17	B
B	IOB18	C11	29	30	A11	IOB19	B
B	IOB20	B12	31	32	A12	IOB21	B
B	IOB22	A14	33	34	A13	IOB23	B
		GND	35	36	GND		
B	IOB24	C12	37	38	D11	IOB25	B
B	IOB26	D13	39	40	C13	IOB27	B

\* V10(B)は通常 3.3V。変更時は R2 を取り外す。

## 5.3. オンボードクロック

周波数	NET LABEL	FPGA Pin
50MHz	CLK0	R9
		T9
	CLK1	C10
		D9

## 5.4. 汎用 SW

SW	NET LABEL	FPGA Pin
SW2	PSW2	D4

## 5.5. 汎用 LED

LED	NET LABEL	FPGA Pin
L3	ULED3	D3

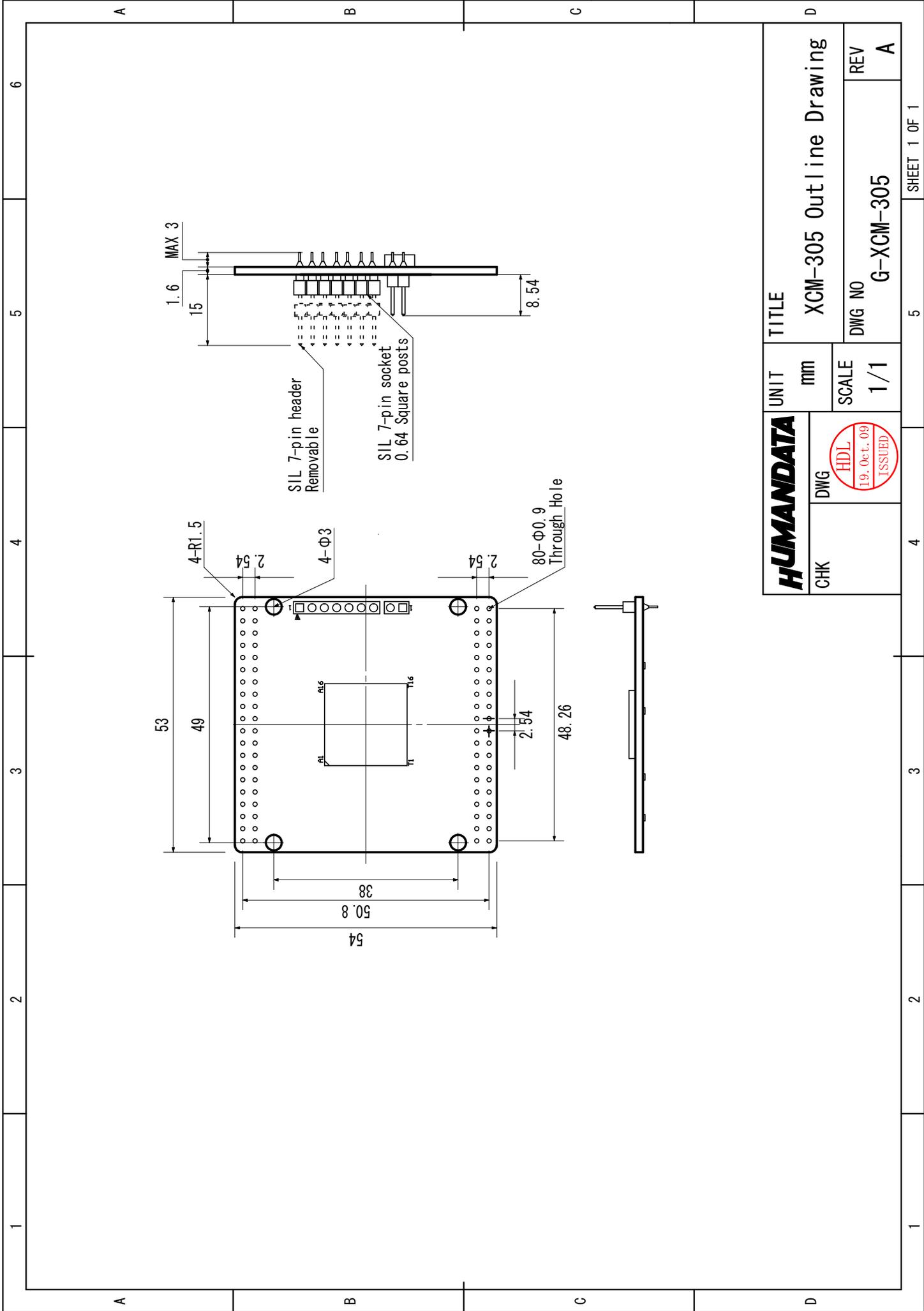
## 5.6. シリアル I/F (CN4)

TTL-SIO	NET LABEL	FPGA Pin
CN4-1	RXDB	L4
CN4-3	TXDB	M3

## 5.7. MRAM

MRAM PIN	NET LABEL	FPGA Pin	配線長[mm]
U8-1	MRAM_A1	C1	27
U8-2	MRAM_A2	G2	27
U8-3	MRAM_A3	D1	28
U8-4	MRAM_A4	E1	27
U8-5	MRAM_A5	E2	28
U8-18	MRAM_A6	N1	28
U8-19	MRAM_A7	N2	28
U8-20	MRAM_A8	P1	27
U8-21	MRAM_A9	P2	29
U8-22	MRAM_A10	R1	28
U8-23	MRAM_A11	K15	28
U8-24	MRAM_A12	K14	27
U8-25	MRAM_A13	J13	28
U8-26	MRAM_A14	J12	28
U8-27	MRAM_A15	H15	28
U8-42	MRAM_A16	C16	27
U8-43	MRAM_A17	D16	28
U8-44	MRAM_A18	E16	29
U8-39	MRAM_BE0	E14	29
U8-40	MRAM_BE1	C15	28
U8-6	MRAM_CE	F1	28
U8-7	MRAM_DQL0	G1	28
U8-8	MRAM_DQL1	G2	28
U8-9	MRAM_DQL2	H1	27
U8-10	MRAM_DQL3	J1	27
U8-13	MRAM_DQL4	J2	27
U8-14	MRAM_DQL5	K1	28
U8-15	MRAM_DQL6	L1	27
U8-16	MRAM_DQL7	L2	28
U8-29	MRAM_DQU8	F16	27
U8-30	MRAM_DQU9	H13	28
U8-31	MRAM_DQU10	G14	29
U8-32	MRAM_DQU11	F15	29
U8-35	MRAM_DQU12	F13	27
U8-36	MRAM_DQU13	F14	27
U8-37	MRAM_DQU14	E13	27
U8-38	MRAM_DQU15	D14	27
U8-41	MRAM_OE	D15	27
U8-17	MRAM_WE	M1	27





<b>HUMANDATA</b>	UNIT	mm	TITLE	XCM-305 Outline Drawing
	DWG	SCALE	DWG NO	G-XCM-305
CHK		1/1	REV	A



---

Spartan-3A ブレッドボード  
XCM-305 シリーズ  
ユーザーズマニュアル

---

2009/10/21 初版  
2011/05/20 Ver.1.1

2013/02/12 Ver.1.2

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---