

Spartan-3 ブレッドボード  
(セミカードサイズ)  
XCM-301-200  
**ユーザーズマニュアル**  
第2版



ヒューマンデータ

---

## 目次

はじめに .....	2
ご注意 .....	2
1. 製品の内容について .....	3
2. 仕様 .....	3
3. 各部の名称 .....	4
4. 電源入力 .....	4
5. JTAG コネクタ .....	5
6. FPGA へのコンフィグレーション方法 .....	6
7. コンフィグレーション ROM へのデータ書き込み方法 .....	7
8. コンフィグレーション ROM データの作成方法 .....	8
9. ジャンプスイッチの説明 .....	13
10. コネクタピン割付表 .....	14
11. XCM-301-200 参考資料について .....	16
12. 付属資料 .....	16

## はじめに

この度は、Spartan-3 ブレッドボード / XCM-301-200 をお買い上げいただきまして誠にありがとうございます。

XCM-301-200 は、XILINX の高性能 FPGA スパルタン (XC3S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

## ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

## 1. 製品の内容について

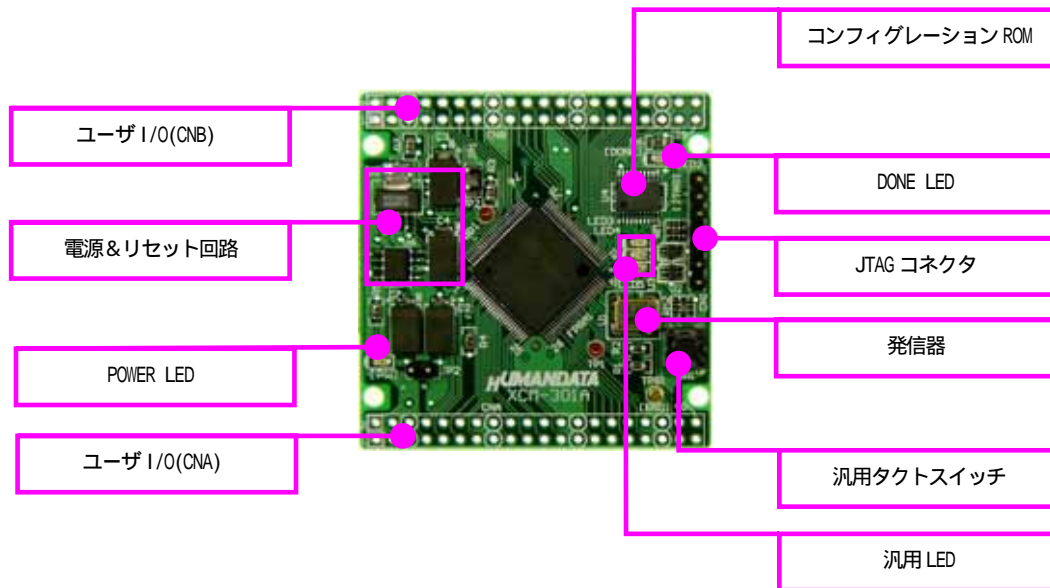
本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	XCM-301-200	1
付属品		1
マニュアル(本書)		1
ユーザー登録はがき		1

## 2. 仕様

製品型番	XCM-301-200
搭載 FPGA	XC3S200-4VQ100C
コンフィグレーション ROM	XCF01SV020C
電源	DC 3.3V (内部に必要な 1.2V、2.5V 生成回路内蔵)
消費電流	N/A (詳細は FPGA データシートご参照)
外形寸法	53 × 54 [mm]
重量	約 14[g]
ユーザ I/O	56 本
I/O コネクタ	40 ピンスルーホール 0.9[mm ] × 2 組 2.54mm ピッチ
プリント基板	ガラスエポキシ 4 層基板 1.6t
クロック	オンボード 48MHz
リセット回路	内蔵 (200ms TYP)
JTAG コネクタ	SIP7 ピンヘッダ
ステータス LED	2 個 (POWER-LED , DONE-LED)
汎用 LED	3 個
汎用タクトスイッチ	1 個
付属品	DIP40 ピンヘッダ 2 本 ジャンパソケット 2 個

### 3. 各部の名称



### 4. 電源入力

本ボードは、DC **3.3V** 単一電源で動作します。

内部に必要な、2.5V、1.2V はオンボードのレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は CNA、CNB から供給してください。

また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

VCC0 は 2 系統に分かれていますので、全て正しく接続して下さい。

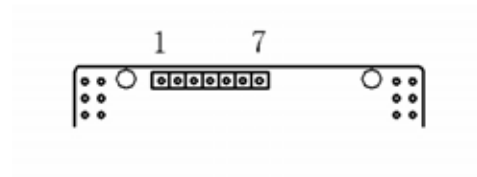
## 5. JTAG コネクタ

FPGA へのコンフィグレーション、内蔵の ISP 可能なシリアル ROM への書き込みに用います。

ピン配置は次表のとおりです。

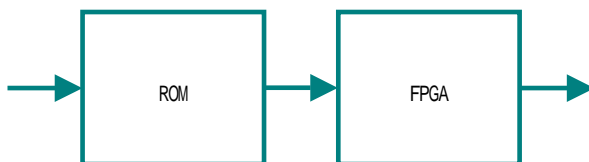
CN1

信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	IN(POW)	5
TDI	IN	6
GND	I/O	7



弊社製ダウンロードケーブルXC2、XCKITやXILINX社の純正ケーブルなどを用いることができます。

JTAG チェインには ROM と FPGA の両方が参加しています。

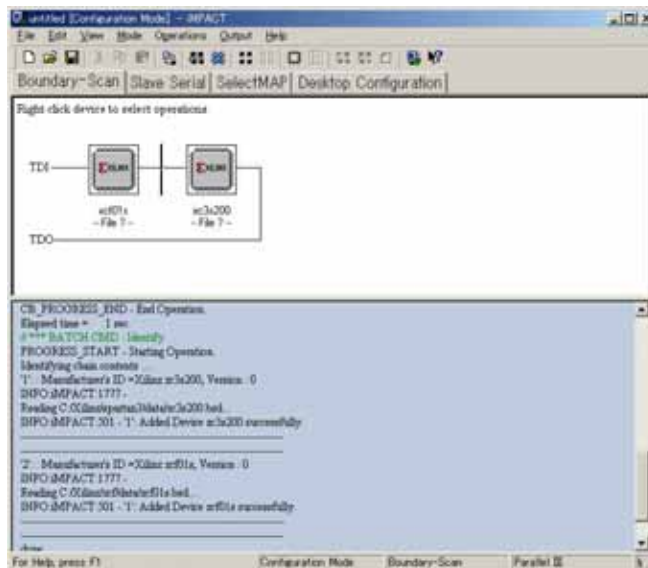


iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならば Configuration を行ってください。

## 6. FPGA へのコンフィグレーション方法

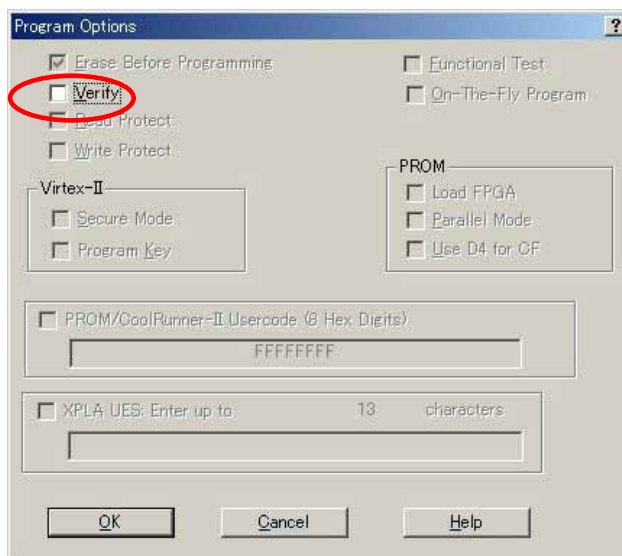
FPGA へのコンフィグレーションは iMPACT により行います。

通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます。



ROM は BYPASS とし、FPGA に対して bit ファイルを割り付けてください。

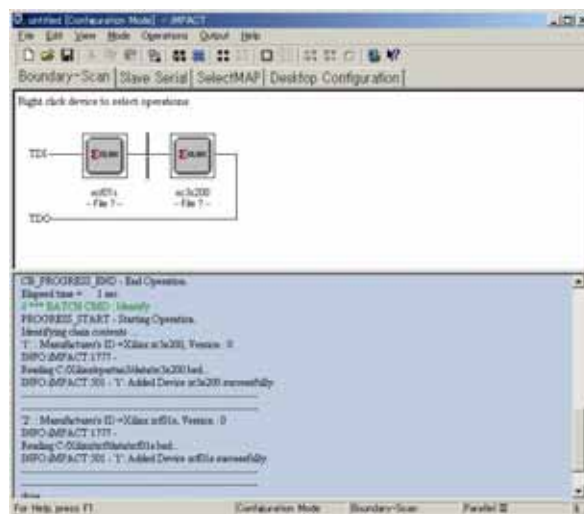
FPGA へのコンフィグレーションの際は、通常 Verify のチェックを外してください。



## 7. コンフィグレーション ROM へのデータ書き込み方法

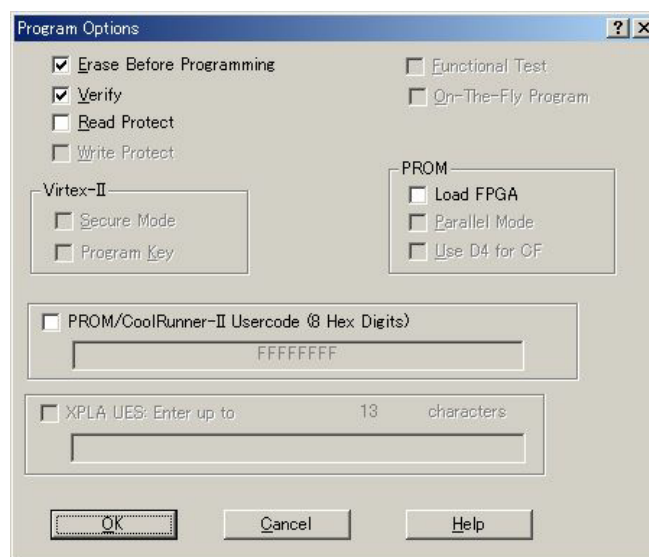
ROM へのデータ書き込みは iMPACT により行います。

通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます



FPGA は BYPASS とし、ROM に対して mcs ファイルを割り付けてください

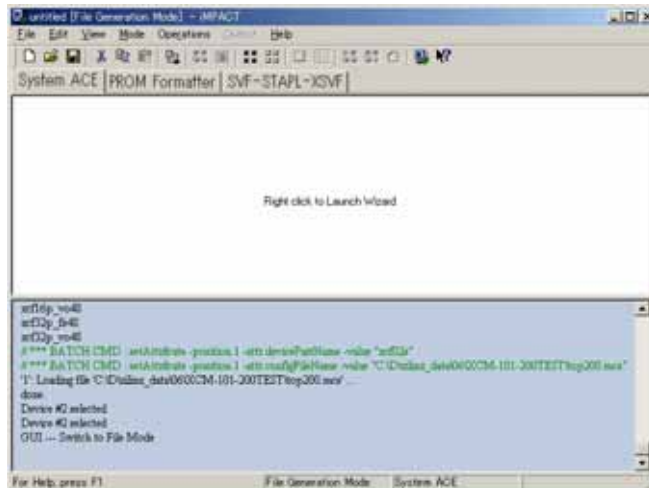
Program を実行し次のダイアログで「OK」をクリックすると ROM へのデータ書き込みが始まります。



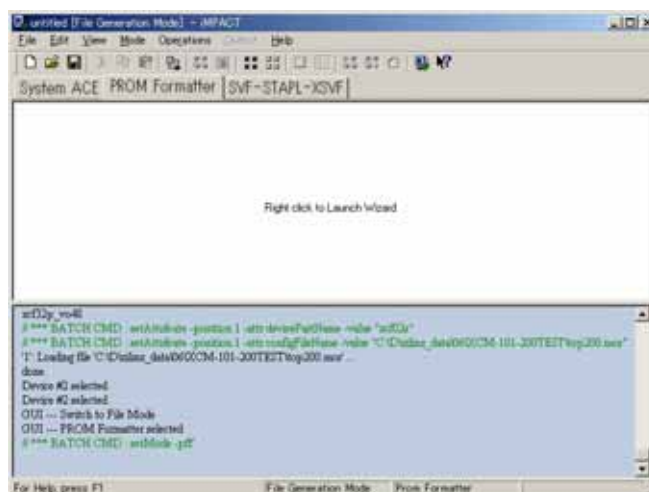


## 8. コンフィグレーション ROM データの作成方法

iMPACT を FileMode に切り替えます。



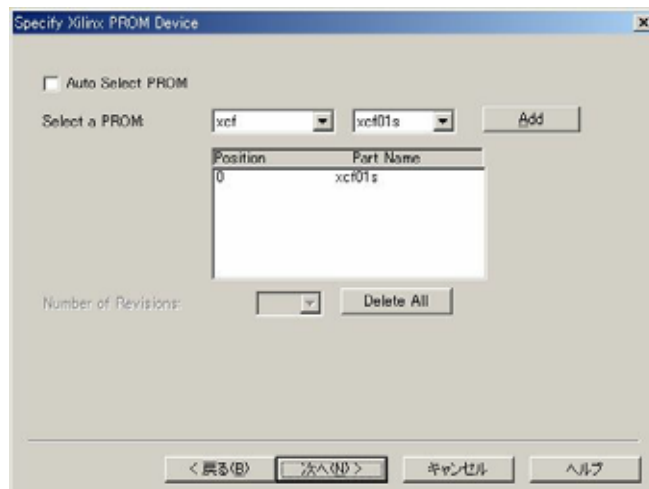
次に、PROM Formatter タブの、表示エリアで右ボタンメニューの Wizard を実行します。



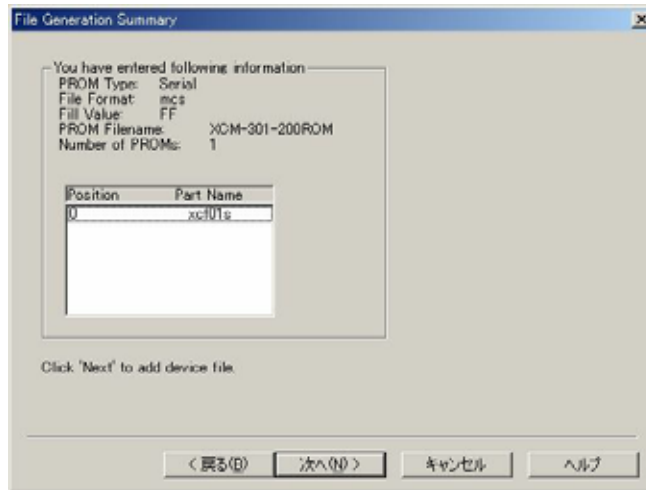
Xilinx Serial PROM、MCS を選択、生成するファイル名と、bit ファイルのあるフォルダを指定します。



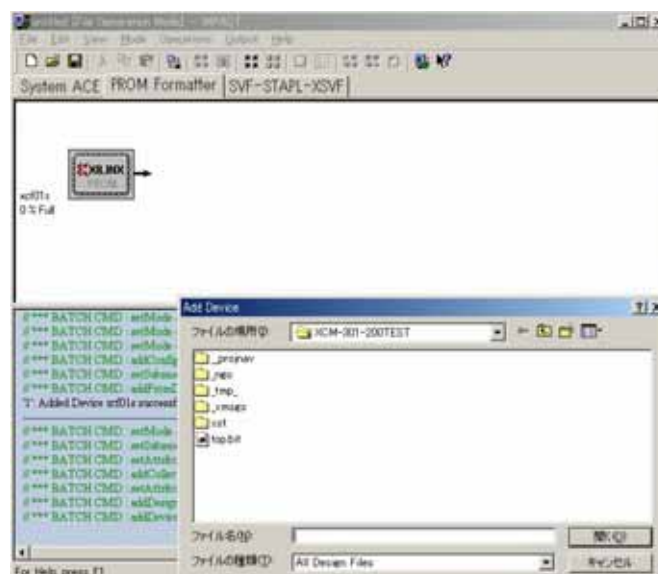
次に、ROM のタイプを xcf01s と指定します。



次のようなダイアログが表示されますので、次へをクリックします。



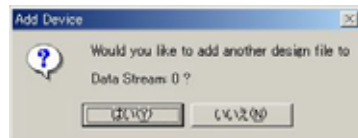
次のようなダイアログが表示されますので、Add File により Bit ファイルを指定します。



次のようなダイアログが表示されます。

追加したいBit ファイルがあれば「はい」をクリックし、Bit ファイルを追加指定して下さい。

なければ「いいえ」をクリックします。



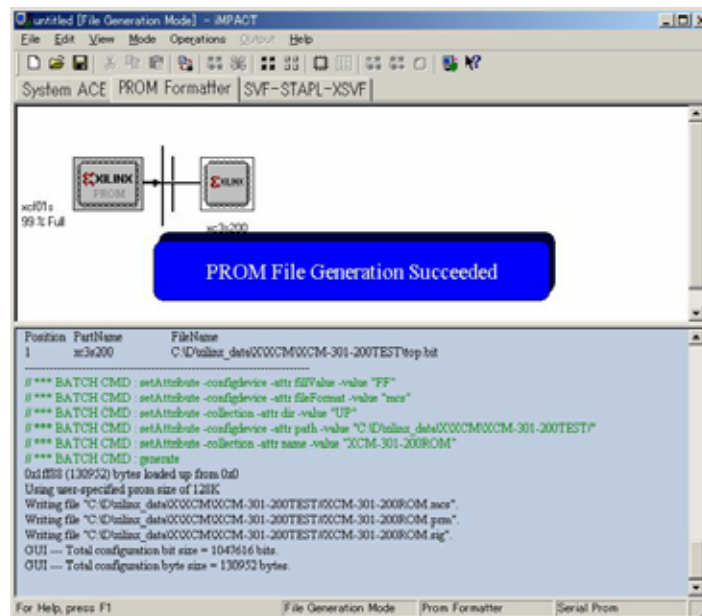
次のようなダイアログが表示されますので、完了をクリックします。



次のようなダイアログが表示されます。

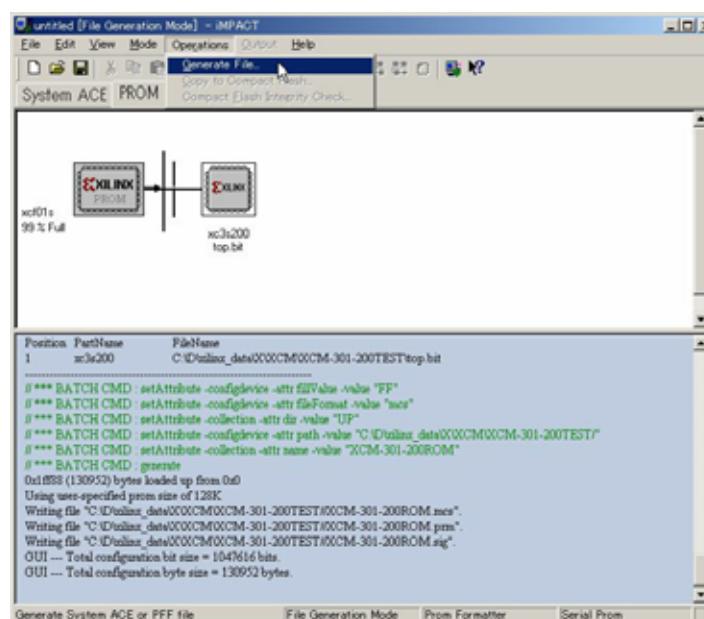


「はい」をクリックするとROMデータが作成されます。



「いいえ」をクリックし、後からROMデータを作成することもできます。

方法：メニューバーから[Operations]-[Generate File]をクリックします。



## 9. ジャンプスイッチの説明

**JP2 M0,M2 信号 設定用**

M1 は0に固定 (回路図参照)

JP2 により、M0 と M2 は同時に1または0に設定されます。

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode <sup>(1)</sup>	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT <sup>(2)</sup>
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

Notes:

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx 社データシートより)

**ROM 使用時 : Master Serial mode**

JP2 ショート M0 = 0

M1 = 0 (固定)

M2 = 0

**出荷時 : JTAG mode**

JP2 オープン M0 = 1

M1 = 0 (固定)

M2 = 1

**JP1 HSWAP ENABLE ピンの設定**

FPGA の HSWAP\_ENABLE ピンの設定を行います。

JP1 ショート : 0

JP1 オープン : 1

(出荷時はオープン)

## 10. コネクタピン割付表

CNA

BANK	NET LABEL	FPGA ピン#	CNA ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		N.C	3	4	N.C		
		GND	5	6	GND		
A	IOA0	1	7	8	2	IOA1	A
A	IOA2	4	9	10	5	IOA3	A
A	IOA4	8	11	12	9	IOA5	A
A	IOA6	11	13	14	12	IOA7	A
		GND	15	16	GND		
A	IOA8	13	17	18	14	IOA9	A
A	IOA10	15	19	20	16	IOA11	A
A	IOA12	17	21	22	21	IOA13	A
A	IOA14	22	23	24	23	IOA15	A
		GND	25	26	GND		
A	IOA16	27	27	28	28	IOA17	A
A	IOA18	30	29	30	32	IOA19	A
A	IOA20	34	31	32	35	IOA21	A
A	IOA22	36	33	34	43	IOA23	A
		GND	35	36	GND		
A	IOA24	44	37	38	37	IOA25	A
A	IOA26	39	39	40	40 *1	IOA27	A

\*1 40 ピンは DOUT/BUSY ピンです。コンフィグレーション中は出力ピンとなります。コンフィグレーション後に I/O として使用できますが、出力として使用することを推奨します。詳細は FPGA のデータシートをご覧ください。

CNB

BANK	NET LABEL	FPGA ピン#	CNB ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		N.C	3	4	N.C		
		GND	5	6	GND		
B	IOB0	97	7	8	96	IOB1	B
B	IOB2	92	9	10	91	IOB3	B
B	IOB4	86	11	12	85	IOB5	B
B	IOB6	81	13	14	80	IOB7	B
		GND	15	16	GND		
B	IOB8	79	17	18	75	IOB9	B
B	IOB10	74	19	20	72	IOB11	B
B	IOB12	71	21	22	68	IOB13	B
B	IOB14	67	23	24	65	IOB15	B
		GND	25	26	GND		
B	IOB16	64	27	28	63	IOB17	B
B	IOB18	62	29	30	61	IOB19	B
B	IOB20	60	31	32	59	IOB21	B
B	IOB22	55	33	34	54	IOB23	B
		GND	35	36	GND		
B	IOB24	53	37	38	90	IOB25	B
B	IOB26	88	39	40	89	IOB27	B

オンボード機能

NET LABEL	機能	FPGA ピン#
ULED0	汎用 LED LED3	47
ULED1	汎用 LED LED4	49
RESET	汎用 LED LED5 汎用 SW 兼用	50



## 11. XCM-301-200 参考資料について

追加資料や参考資料がつけられた場合は  
製品サポートページ

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

にデータをアップロードすることいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

## 12. 付属資料

1. 基板回路図
2. 外形寸法図

---

Spartan-3 ブレッドボード  
( セミカードサイズ )  
XCM-301-200

---

ユーザーズマニュアル

---

2005/10/14 初版(R1)  
2006/04/26 初版(A)(R1)  
2007/03/27 第2版(R1)

---

## 有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>

Mail [spc2@hdl.co.jp](mailto:spc2@hdl.co.jp)

---