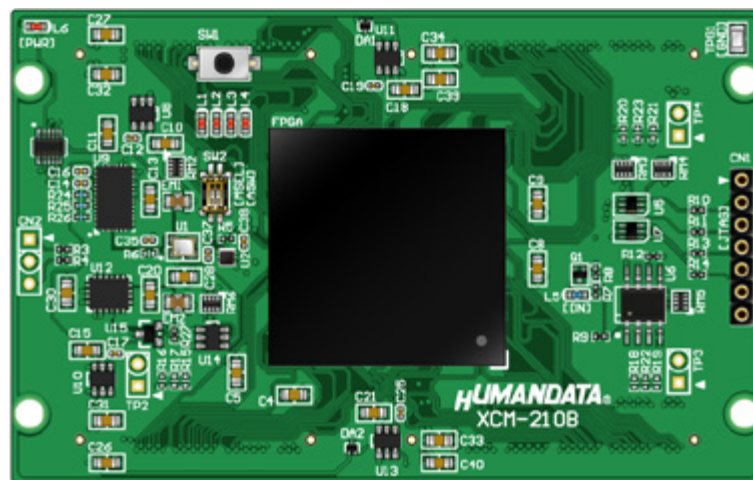


Spartan-7 FGGA676 FPGA ボード
XCM-210 シリーズ
ユーザーズマニュアル
Ver. 1. 1



ヒューマンデータ

目次


● はじめに.....	3
● ご注意.....	3
● 改訂記録.....	3
1. 共通ピンについて 【重要】	4
2. 製品の内容について.....	5
3. 開発環境.....	5
4. 仕様.....	6
5. 製品説明.....	7
5.1. 各部名称.....	7
5.2. ブロック図.....	8
5.3. 電源.....	8
5.4. ユーザI/O (CNA, CNB, CNC, CND)	9
5.5. クロック	9
5.6. 汎用LED, 汎用SW.....	9
5.7. デバッグI/F.....	9
5.8. 設定スイッチ.....	9
6. FPGAコンフィギュレーション.....	10
6.1. JTAG/バウンダリスキャン.....	11
6.2. コンフィグROMファイルの作成.....	11
6.3. コンフィグROMアクセス.....	12
7. サポートページ.....	14
8. お問い合わせについて.....	14


● はじめに

この度は Spartan-7 FPGA ボード XCM-210 をお買い上げいただきまして、誠にありがとうございます。
 ございます。

XCM-210 は、XILINX の高性能 FPGA Spartan-7 シリーズを用いた FPGA ボードで、電源回路、
 クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっていま
 す。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる 特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの 使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電圧を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、 ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気 づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負 いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載され ていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布するこ とはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

● 改訂記録

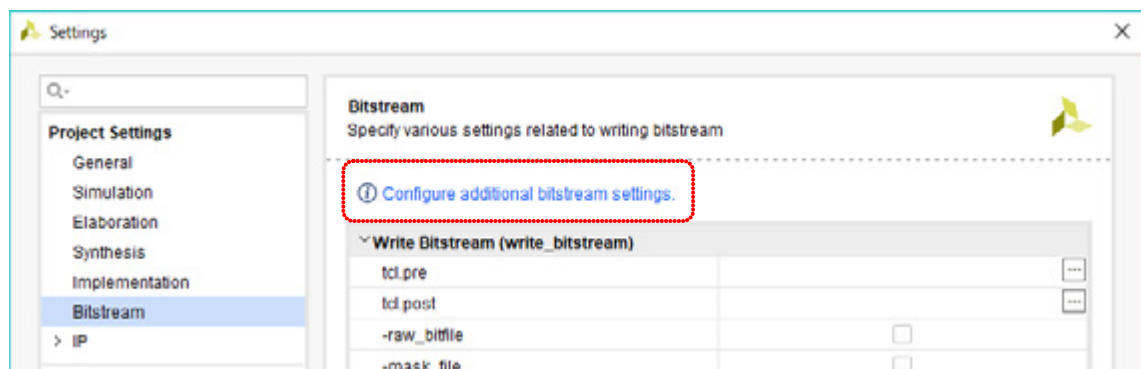
日付	バージョン	改訂内容
2018/09/28	1.0	・初版発行
2018/10/30	1.1	・誤植修正：「4.仕様」プリント基板

1. 共通ピンについて **【重要】**

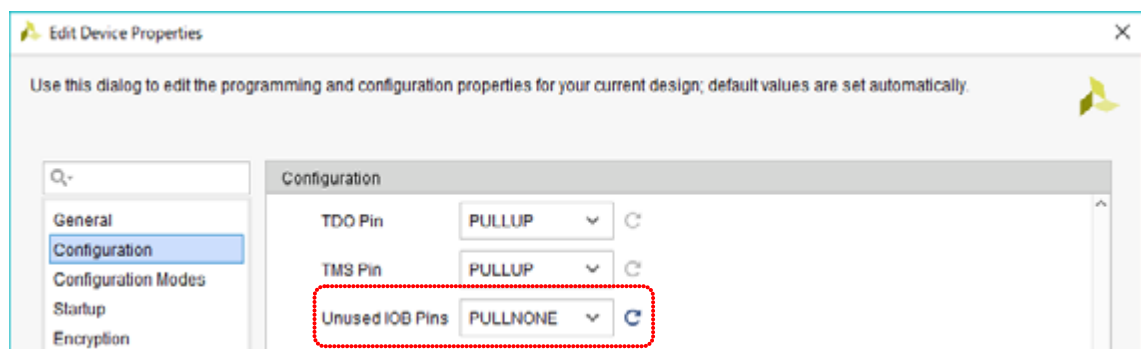
本ボードでは、下表のピンが共通になっています。
 意図しないショートを避けるため、未使用ピンの設定を【PULLNONE】としておくことを推奨します。未使用ピン処理設定の確認は下記をご参照ください。

VREFB	VREFC	VREFD
C14	AD11	B11
C21	AE3	C2
G26	R6	G7
K20	W4	N3

1. 【Implementation Design】を開いた状態で【Tools - Settings】を開きます
2. 【Bitstream】を開き【Configure additional bitstream settings.】をクリックします



3. 【Configuration】を開き【Unused IOB Pins】を変更します



2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード XCM-210	1
付属品	1
ユーザ登録はがき	1 (オーダー毎に各 1 部の場合があります)

3. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

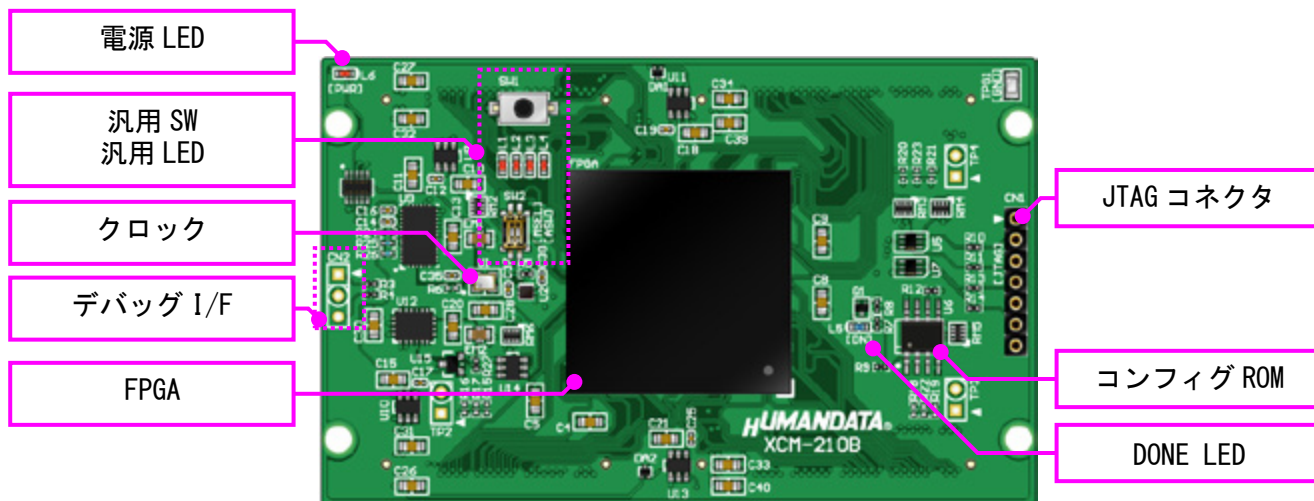
4. 仕様

製品型番	XCM-210-75	XCM-210-100
搭載 FPGA	XC7S75-1FGGA676C	XC7S100-1FGGA676C
コンフィグ ROM	MT25QL128ABA1EW9-0SIT (Micron, 128Mbit)	
オンボードクロック	50MHz (外部入力可能)	
電源	DC 3.3[V]	
ユーザ I/O	296 本	
汎用スイッチ	2 (Push x1, DIP x1bit)	
汎用 LED	4	
I/O コネクタ	FX10A-80P/8-SV1 x2 FX10A-100P/10-SV1 x2 (ヒロセ電機)	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
リセット信号	コンフィグ用リセット信号 (typ. 240ms)	
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ	
ステータス LED	POWER (赤), DONE (青)	
基板寸法	54 x 86 [mm]	
質量	約 31[g]	
付属品	SIL7 ロングピンヘッダ x1	
	FX10A-80S/8-SV x2 FX10A-100S/10-SV x2 (ヒロセ電機)	
	スペーサ x4	
消費電流	ユーザの FPGA デザインに依存します	

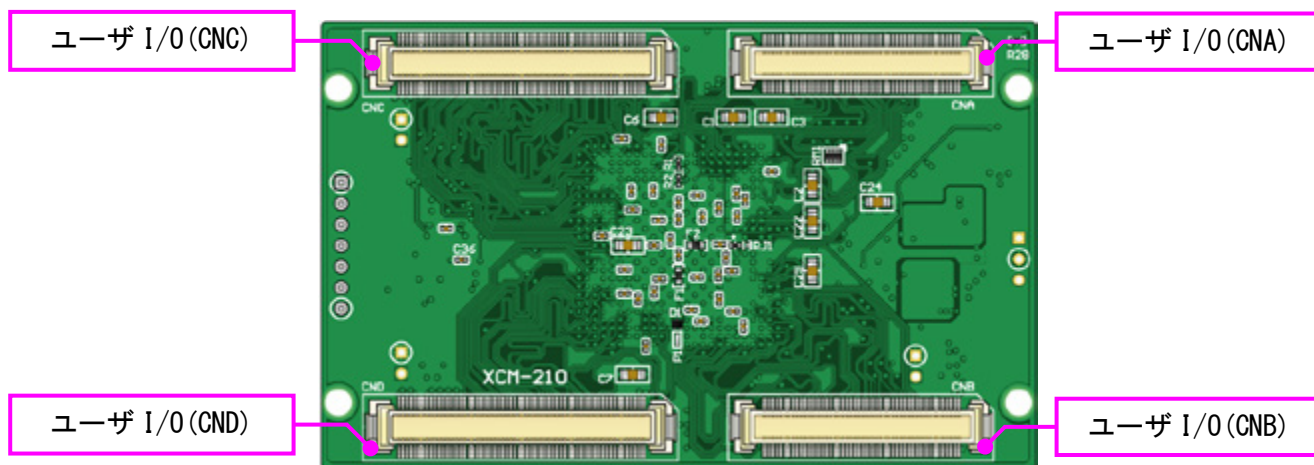
*これらの部品や仕様は変更となる場合がございます

5. 製品説明

5.1. 各部名称

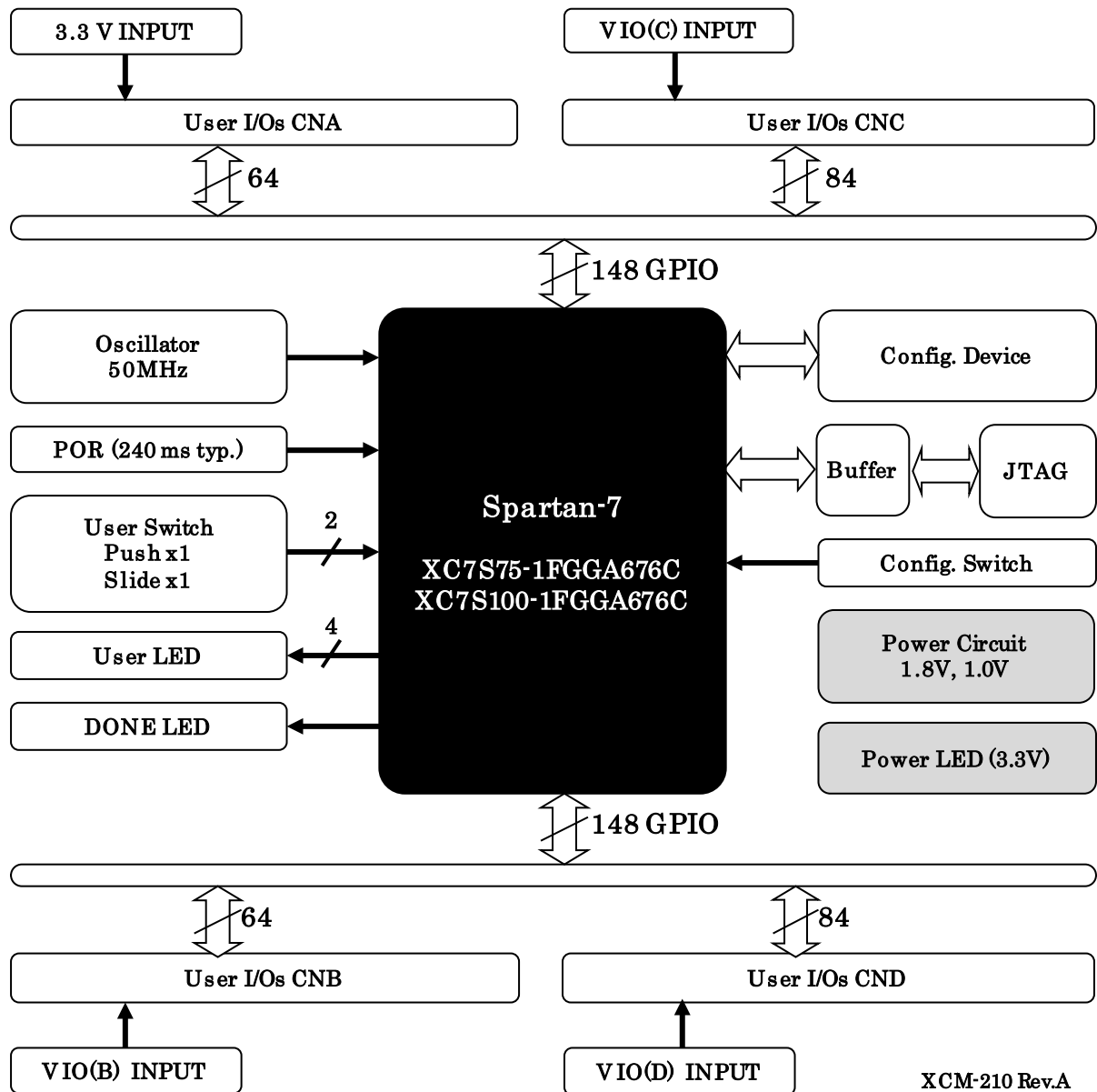


部品面



はんだ面

5.2. ブロック図



5.3. 電源

電源はCNAより3.3Vを供給してください。内部で必要になる電源はオンボードレギュレータにより生成されます。外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。

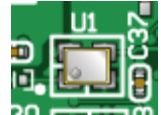
CNB, CNC, CNDからはそれぞれのコネクタに割り当てられたI/O用電源VIO(B), VIO(C), VIO(D)を入力することが可能です。

5.4. ユーザ I/O (CNA, CNB, CNC, CND)

FPGA の Bank は Bank Group A/B/C/D としてグループ化されています。
 CNA に接続された I/O が属する Bank Group A の Vcco は 3.3V に固定されています。
 CNB, CNC, CND に接続された I/O が属する Bank Group B/C/D の Vcco は各コネクタより入力可能です。設計にあった電圧を入力してください。詳しくは回路図をご参照ください。
 ピン割付、配線長については製品の資料ページより「ピン割付表」をご参照ください。

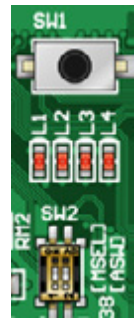
5.5. クロック

オンボードクロックとして 50MHz (U1) を搭載しています。各コネクタより外部クロックを入力することも可能です。
 詳しくは回路図をご参照ください。



5.6. 汎用 LED, 汎用 SW

汎用 LED (L1-4) は Low 出力で点灯させる事が出来ます。
 汎用プッシュスイッチ (SW1) はプルアップされていますので、ボタン押し込みにより Low 信号を FPGA に入力できます。
 汎用 DIP スイッチ (SW2[2]) はプルアップされていますので、ON 設定により Low 信号を FPGA に入力できます。



5.7. デバッグ I/F

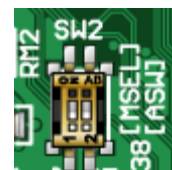
CN2 を汎用用途にご使用頂けます。抵抗を介して Bank Group A の FPGA ピンに接続されています。



5.8. 設定スイッチ

設定スイッチ (SW2[1]) によりコンフィギュレーションモードを変更することが可能です。

番号	1	2
記号	MSEL	ASW
説明	コンフィギュレーションモード設定	汎用



コンフィギュレーションモード	SW2[1]
Master Serial/SPI	ON (Low)
JTAG (Slave Serial)	OFF (High)

6. FPGA コンフィギュレーション

JTAG コネクタ (CN1) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

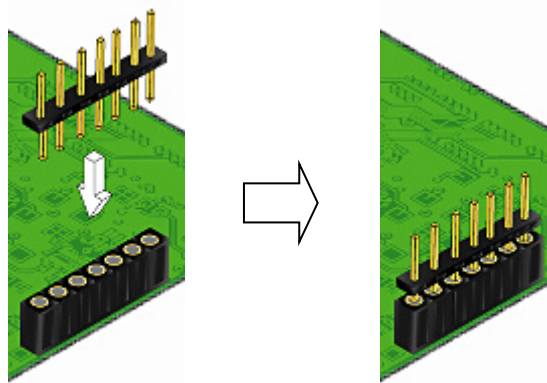
コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT
6	TDI	IN
7	GND	I/O



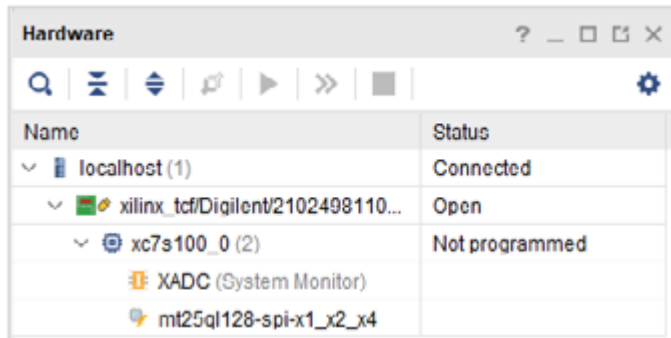
ダウンロードケーブルとの接続には付属のロングピンヘッダをご使用下さい。



使用例

6.1. JTAG/バウンダリスキャン

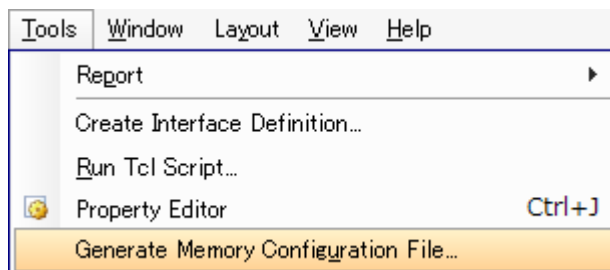
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションは次節をご参照ください。



6.2. コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。作成方法の一例を以下に示します。

(1) Hardware Manager にて【Tools - Generate Memory Configuration File】をクリックします



(2) 設定画面にて必要な項目を設定します

- Memory Part: mt25ql128-spi-x1_x2_x4
- Filename: 作成する MCS ファイル名
- Interface: 任意
- Bitfile: 変換する Bitstream ファイル

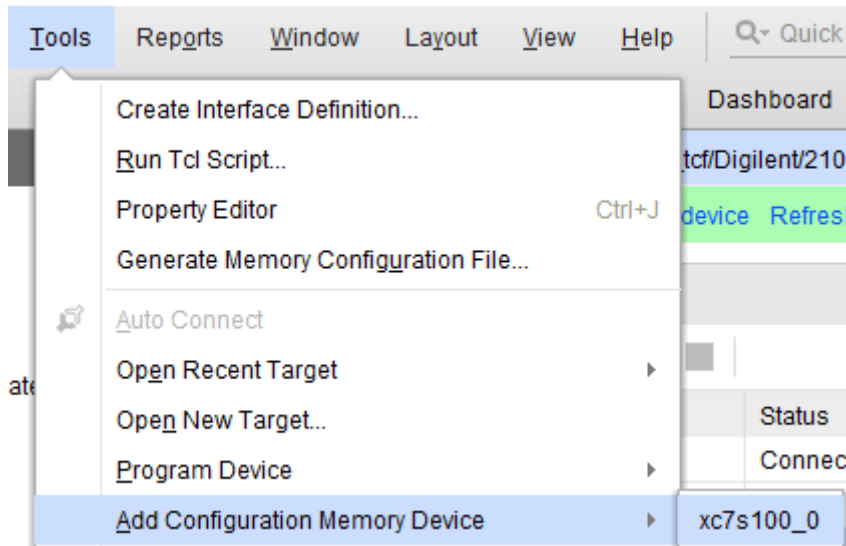


(3) OK をクリックします

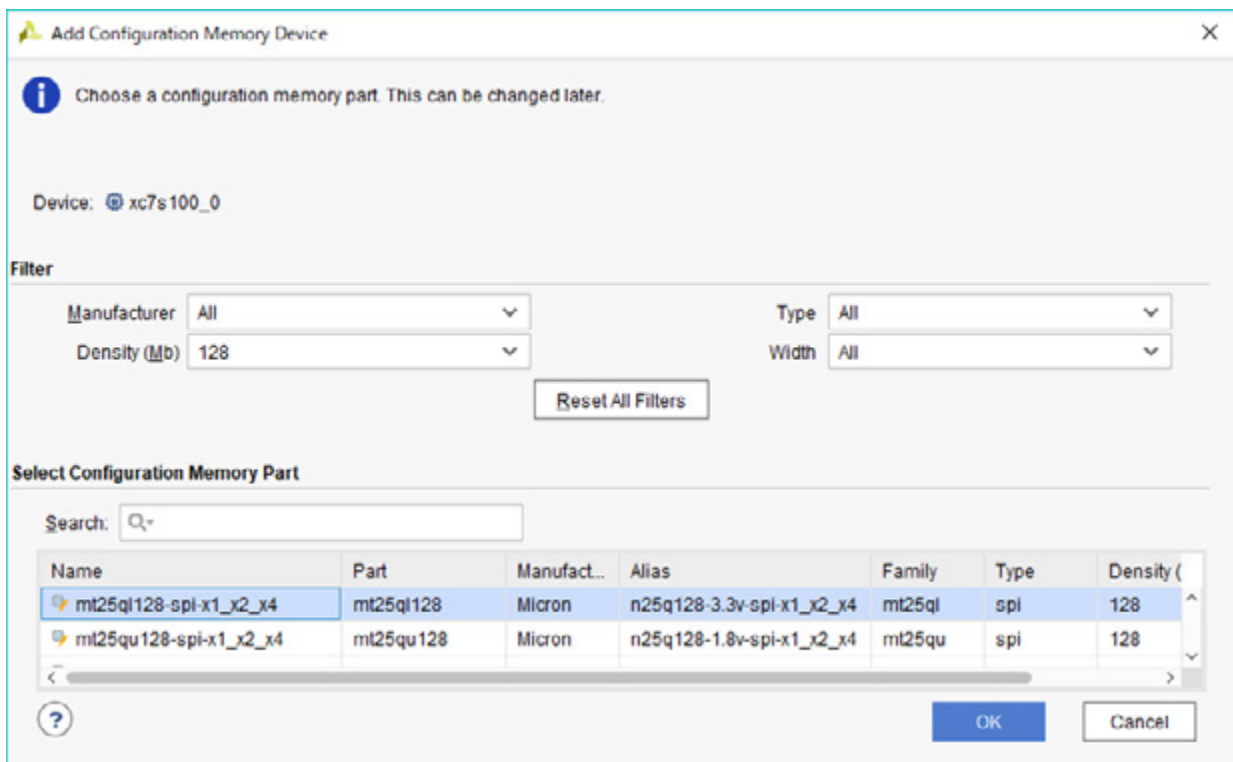
6.3. コンフィグ ROM アクセス

アクセスを行うには認識しているデバイスに対してコンフィグ ROM を追加します。

(1) 【Tools - Add Configuration Memory Device】 から認識中のデバイスを選択します



(2) デバイスは 【mt25ql128-spi-x1_x2_x4】 を選択します



(3) MCS ファイルと実行するコマンドを選択し【OK】をクリックします

Program Configuration Memory Device

Select a configuration file and set programming options.

Memory Device: ...

Configuration file: ...

PRM file: ...

State of non-config mem I/O pins: ▾

Program Operations

Address Range: ▾

Erase

Blank Check

Program

Verify

Verify Checksum

SVF Options

Create SVF Only (no program operations)

SVF File: ...

Spartan-7 FGGA676 FPGA ボード
XCM-210 シリーズ
ユーザーズマニュアル

2018/09/28 Ver.1.0

2018/10/30 Ver.1.1

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL : 072-620-2002

FAX : 072-620-2003

URL : <https://www.hdl.co.jp/> (Japan)

<https://www2.hdl.co.jp/en/> (Global)
