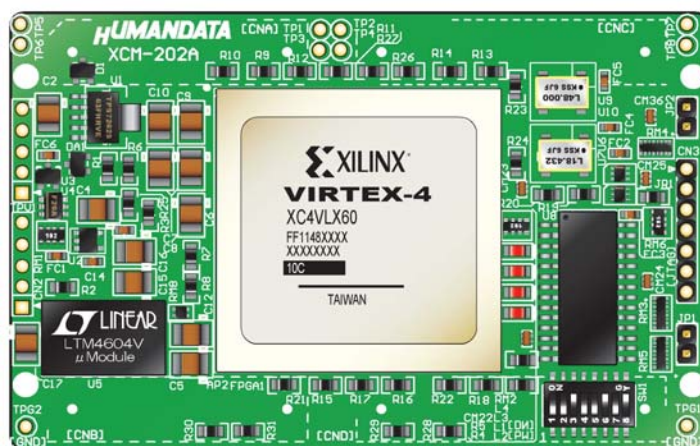


Virtex-4 ブレッドボード  
(高密度カードサイズ)  
XCM-202 シリーズ  
ユーザーズマニュアル  
第 4 版



ヒューマンデータ



# 目次


● はじめに.....	1
● ご注意 .....	1
● 改訂記録.....	2
1. 製品の内容について .....	3
2. 仕様.....	3
3. 製品概要 .....	4
3.1 各部の名称 .....	4
3.2 ブロック図.....	5
3.3 電源入力.....	5
3.4 JTAG コネクタ .....	6
4. 設定スイッチ.....	7
5. FPGA のコンフィギュレーション .....	8
5.1 ディップスイッチの設定.....	8
6. コンフィギュレーション ROM への書き込み .....	10
6.1 mcs データの作成方法.....	10
6.2 書き込み.....	13
7. ROM から FPGA へのコンフィギュレーション(パワーON 動作) .....	15
8. Configuration Rate の設定 .....	15
9. FPGA ピン割付け表 .....	17
9.1 CAN .....	17
9.2 CNB .....	18
9.3 CNC .....	19
9.4 CND .....	20
9.5 オンボードクロック .....	21
9.6 外部入力クロック .....	21
9.7 汎用 LED .....	21
9.8 設定スイッチ .....	22
9.9 SDRAM (MT48LC16M16A2P-75-D).....	22
9.10 FRAM (FM18L08-70-SG).....	23
10. 参考資料について .....	23
11. 付属資料.....	23


## ● はじめに

この度は、Virtex-4 ブレッドボード/XCM-202 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-202 シリーズは、アルテラ社の高性能 FPGA である Virtex-4 を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROM、SDRAM、FRAMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電源を加えないでください。

 <b>注意</b>	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

**● 改訂記録**

版	日付	改訂内容
第 4 版	2009/12/11	ユーザ I/O 数の誤植修正、ブロック図更新

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-202 シリーズ	1
付属品	1
マニュアル(本書)	1*
ユーザー登録はがき	1*

\* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

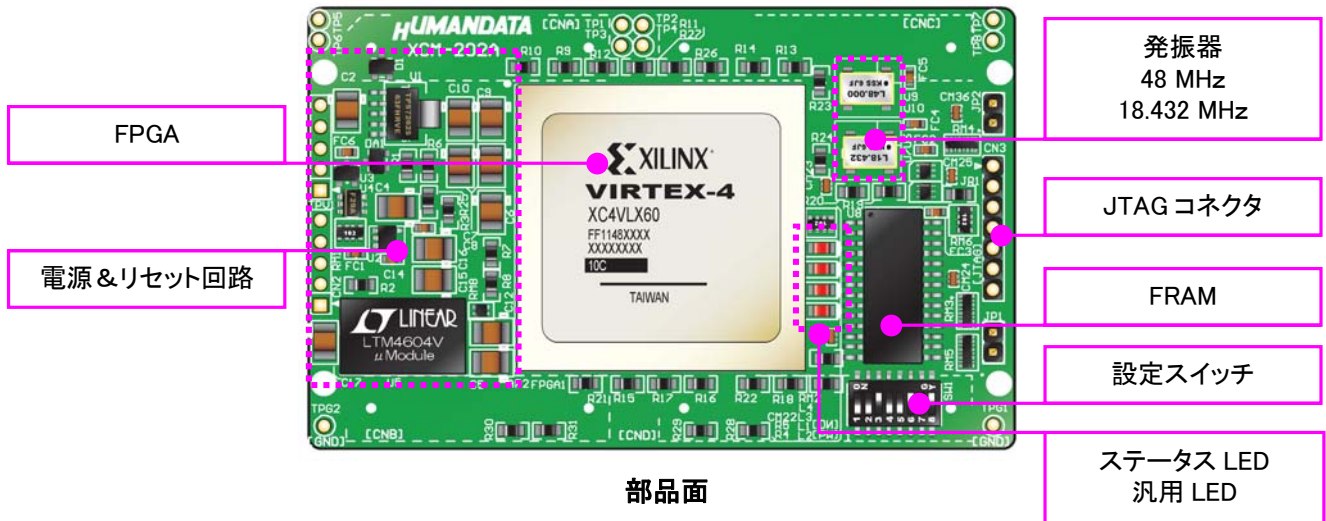
## 2. 仕様

製品型番	XCM-202-LX40	XCM-202-LX60	XCM-202-LX80	XCM-202-LX100	XCM-202-LX160
搭載 FPGA	XC4VLX40-10 FFG1148C	XC4VLX60-10 FFG1148C	XC4VLX80-10 FFG1148C	XC4VLX100-10 FFG1148C	XC4VLX160-10 FFG1148C
コンフィグ ROM	XCF32PVOG48C x 1				XCF32PVOG48C x 2
SDRAM	MT48LC16M16A2P-75-D (MICRON, 256Mbit)				*
FRAM	FM18L08-70-SG (RAMTRON, 256kbit)				*
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)				
消費電流	N/A (詳細は FPGA データシートご参照)				
外形寸法	86 x 54 [mm]				
質量	約 40 [g]				
ユーザ I/O	296 本				
I/O コネクタ	FX10A-80P/8-SV1(71)および、FX10A-100P/10-SV1(71) (ヒロセ電機) 各 2 個				
プリント基板	ガラスエポキシ 10 層基板 1.6t				
クロック	オンボード 48MHz、18.432MHz (外部供給可能)				
コンフィグ用リセット回路	内蔵 (240ms TYP)				
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ				
ステータス LED	2 個 (POWER、DONE)				
汎用 LED	2 個				
付属品	コネクタ:FX10A-80S/8-SV(71) (ヒロセ電機) 2 個 コネクタ:FX10A-100S/10-SV(71) (ヒロセ電機) 2 個 SIL7 ピン ピンヘッダ(本体に取付け済み) スペーサ 4 個				

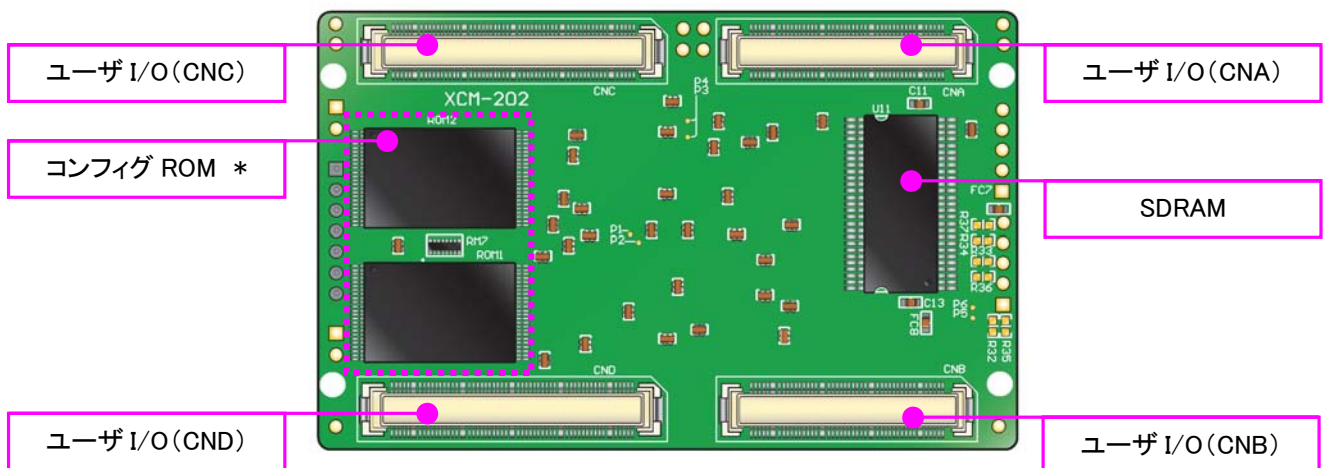
\* 互換品に変更されることがあります。

### 3. 製品概要

#### 3.1 各部の名称



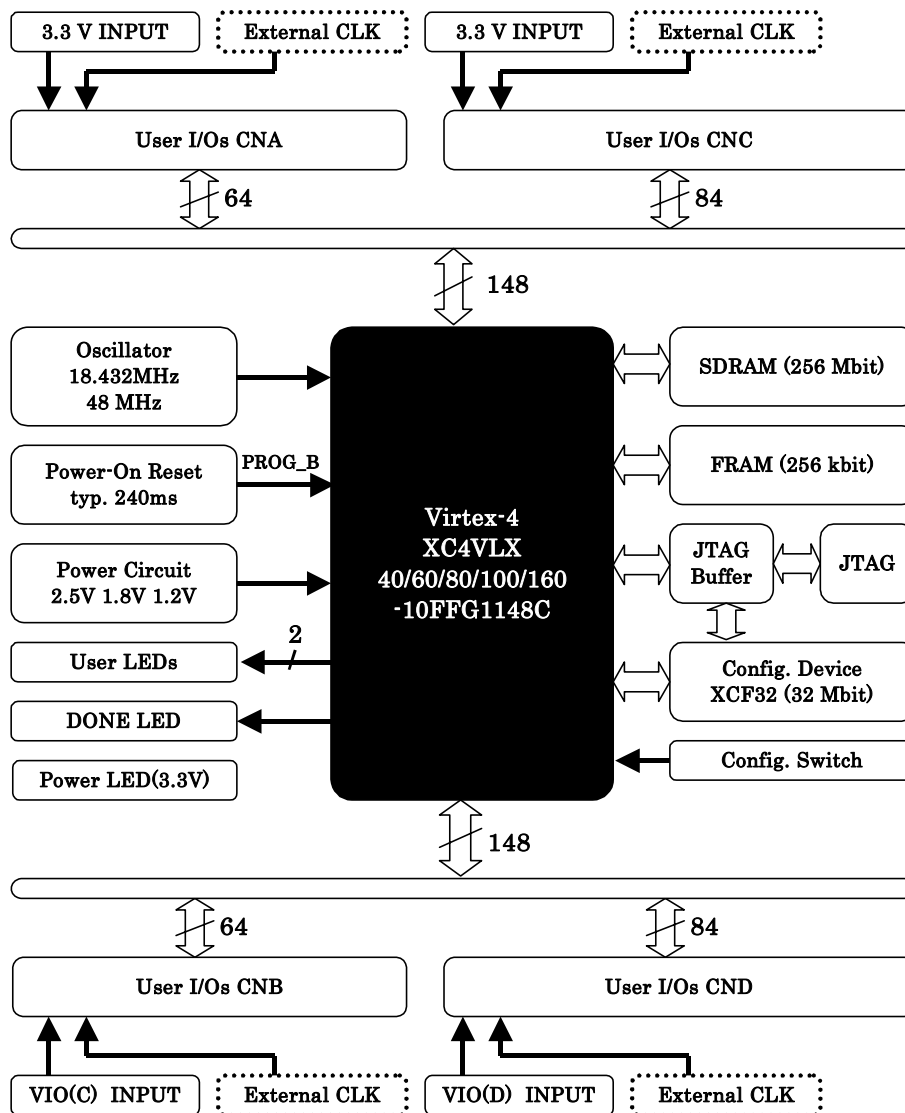
部品面



はんだ面

\* コンフィギュレーション ROM は FPGA の種類により 1 個または 2 個実装されています。

## 3.2 ブロック図



## 3.3 電源入力

本ボードは、DC 3.3V単一電源で動作します。内部で必要な、2.5V、1.8V、1.2V はオンボードのレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は、CNA、CNB、CNC、CND から供給してください。CNA、CNC が BANK-AB の VCCO と兼用になっております。CNB、CND はそれぞれ BANK-C、BANK-D の VCCO ですので、適切な電源を供給してください。いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

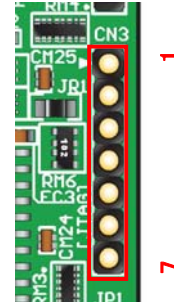


### 3.4 JTAG コネクタ

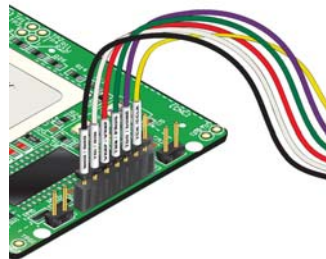
FPGA へのコンフィギュレーション、内蔵の ISP 可能なコンフィギュレーション ROM への書き込みに用います。ピン配置は次表のとおりです。

CN3

ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC (3.3V)	OUT (POW)
6	TDI	IN
7	GND	I/O



弊社製ダウンロードケーブル XC3 や XILINX 社の純正ケーブルなどを用いることができます。また、ダウンロードケーブルと本品との接続には付属品 SIL7 ピンヘッダや ZKB-031KIT を使用することが可能です。

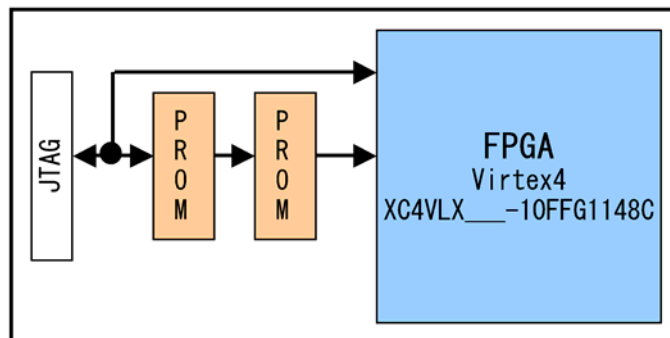


**注意**

ダウンロードケーブルとコネクタの対応に注意して接続して下さい。

JTAG チェインには ROM と FPGA の両方が接続されています。

JR1 の設定により ROM1 個時、2 個時の設定が可能です。詳しくは回路図をご覧ください。



## 4. 設定スイッチ

XCM-202 のディップスイッチ(SW1)は以下のように割り付けられています。

SW-ON で Low に固定されます。

番号	1	2	3	4	5	6	7	8
記号	M0	M1	M2	REVSELO	REVSEL1	REVSEL2	HSWAP_EN	SW0
出荷時	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
説明	コンフィギュレーションモード			コンフィギュレーション ROM リビジョン設定			プルアップ設定	汎用

表 1-1: Virtex-4 コンフィギュレーション モード

コンフィギュレーション モード	M2	M1	M0	データ幅	CCLK の方向
マスタ シリアル	0	0	0	1 ビット	出力
スレーブ シリアル	1	1	1	1 ビット	入力
マスタ SelectMAP	0	1	1	8 ビット	出力
スレーブ SelectMAP8	1	1	0	8 ビット	入力
スレーブ SelectMAP32 <sup>(3)</sup>	0	0	1	32 ビット	入力
JTAG/バウンダリ スキャンのみ <sup>(1)</sup>	1	0	1	1 ビット	-

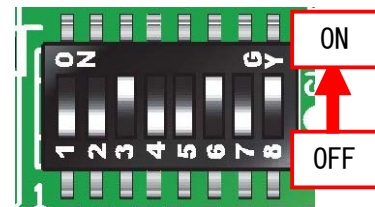
メモ:

- JTAG モードのコンフィギュレーションでは、コンフィギュレーションクロック (CCLK) ではなく、JTAG TCK ピンを使用します。
- コンフィギュレーション前の I/O プルアップ抵抗は、HSWAPEN ピンの設定によって有効になります。
- SelectMAP32 では、D0:D31 データビットはスワップしません。D0 が LSB であり、D31 が MSB です。
- ピンが未接続のままの場合、MODE ピンに付いている弱いプルアップ抵抗により、スレーブ シリアルがデフォルト モードとなります。

(Xilinx 社 Virtex-4 コンフィギュレーションガイドより)

### 1、2、3 : コンフィギュレーションモード

- ROM 使用時: Parallel mode
  - 1(OFF) M0 = 1
  - 2(OFF) M1 = 1
  - 3(ON) M2 = 0
- 出荷時: JTAG mode
  - 1(OFF) M0 = 1
  - 2(ON) M1 = 0
  - 3(OFF) M2 = 1



### 4、5、6 : コンフィギュレーション ROM のリビジョン設定

コンフィギュレーション ROM(XCF32P)には、リビジョン管理機能があります。

4、5、6 により各ピンを設定することができます。

回路図および、ROM のデータシートを参照してください。

### 7 : HSWAP\_EN の設定

コンフィギュレーション前の I/O のプルアップの状態を設定することができます。

### 8 : 汎用

ユーザーが自由に使用することができます。

## 5. FPGA のコンフィギュレーション

### 5.1 ディップスイッチの設定

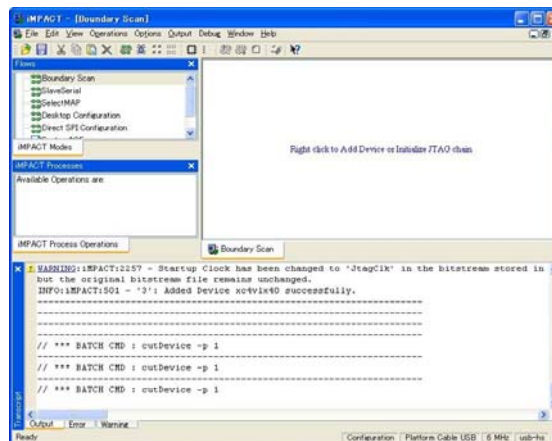
FPGA にコンフィギュレーションする際、ディップスイッチの設定が必要です。  
ディップスイッチを下記のように設定してください。

SW1

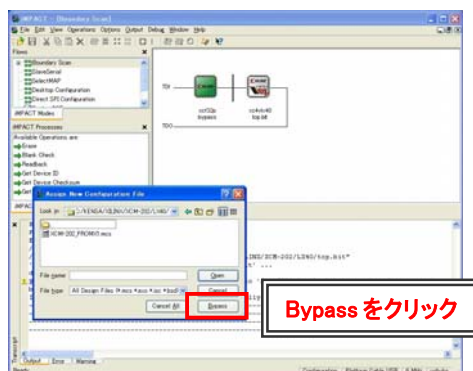
	1	2	3	4	5	6	7	8
ON		■		X	X	X	X	
OFF	■		■	X	X	X	X	■

X: Don't care

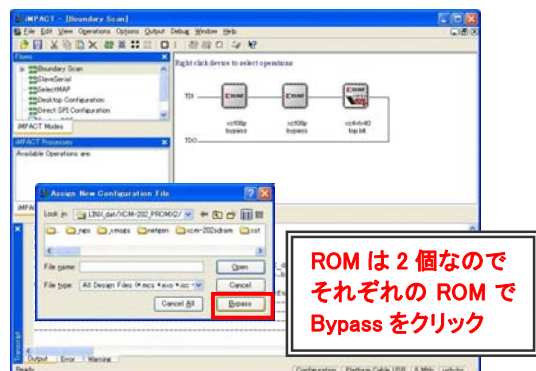
1. FPGA へのコンフィギュレーションは iMPACT により行います。iMPACT を起動します。  
iMPACT Mode は[Boundary Scan]にします。  
[File]-[Initialize Chain]をクリックすると、ROM と FPGA が認識されます。  
ROM は bypass とし FPGA に対して bit ファイルを割り付けてください。



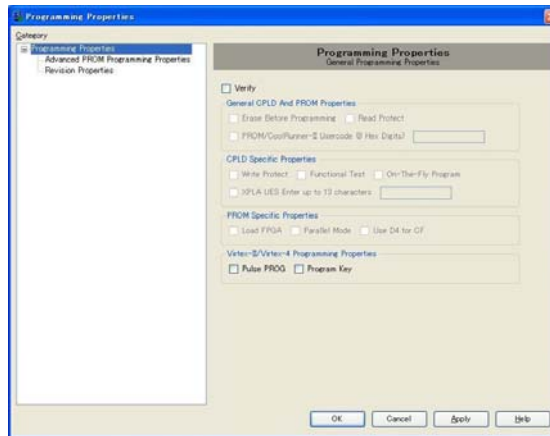
XCM-202-LX40/LX60/LX80/LX100



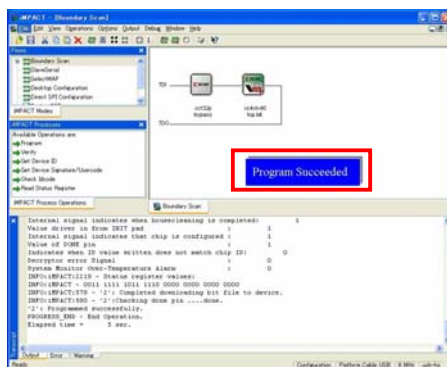
XCM-202-LX160



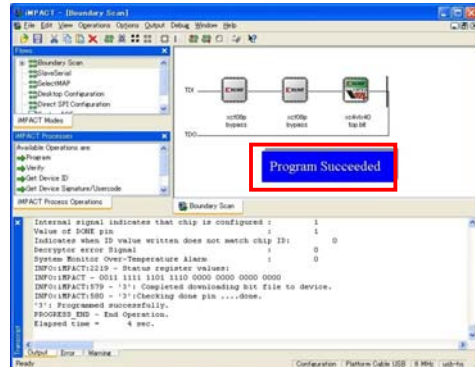
- 次にデバイスのアイコン上で右クリックをし、[Program...]をクリックします。  
FPGA へのコンフィギュレーションの際は、通常[Verify]のチェックを外してください。  
コンフィギュレーションが成功すると、[Program Succeeded]と表記されます。



XCM-202-LX40/LX60/LX80/LX100



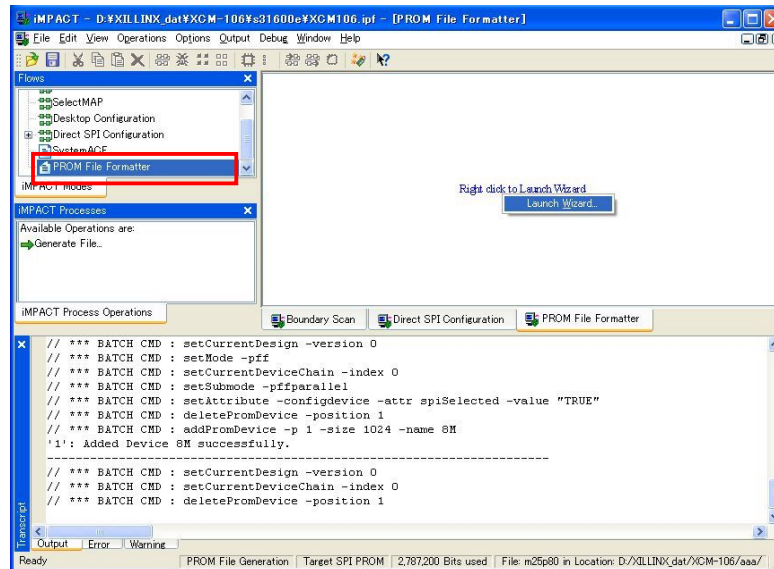
XCM-202-LX160



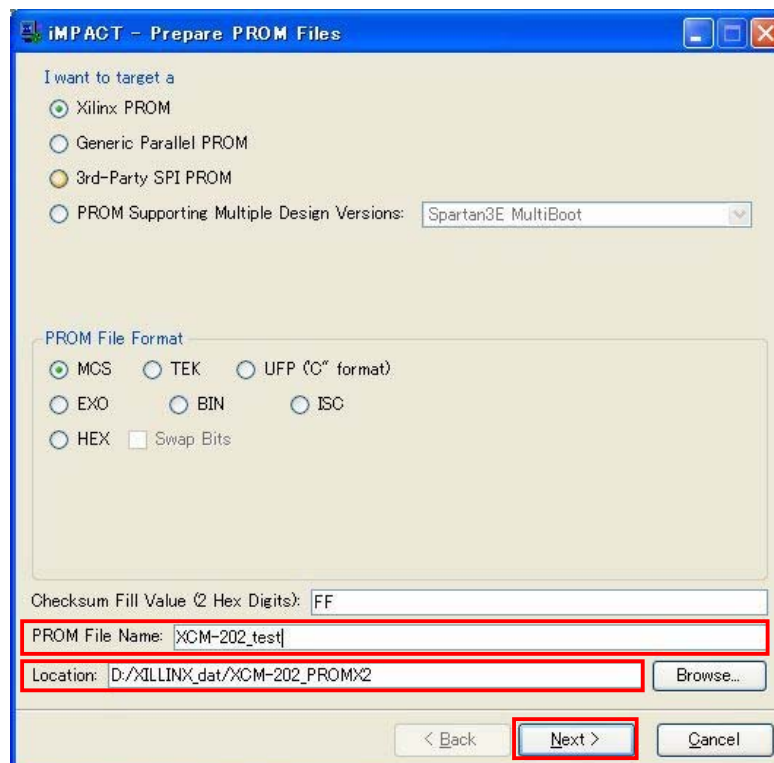
## 6. コンフィギュレーション ROM への書き込み

### 6.1 mcs データの作成方法

1. iMPACT Mode にある[PROM File Formatter]をクリックします。

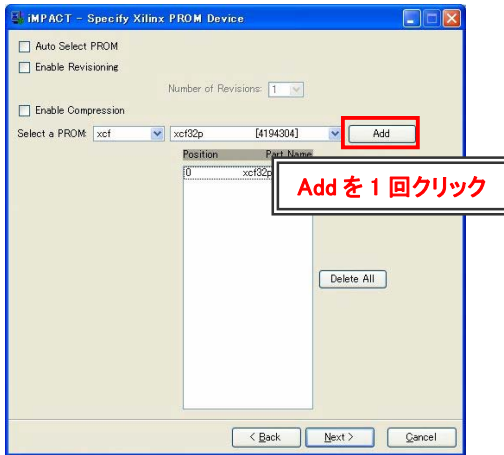


2. 次に File Name と Location(保存先)を指定し[Next>]をクリックします。

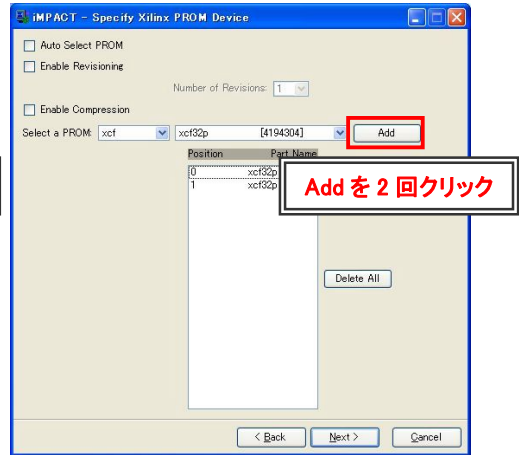


3. 次に PROM の種類を[XCF][xcf32p]を選択し[Add]をデバイスの種類により 1 回または 2 回クリックし[Next>]をクリックしてください。

### XCM-202-LX40/LX60/LX80/LX100

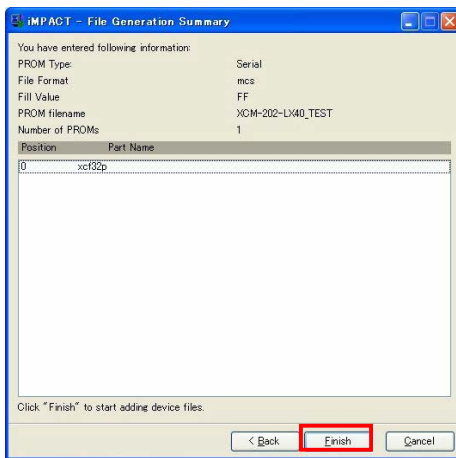


### XCM-202-LX160

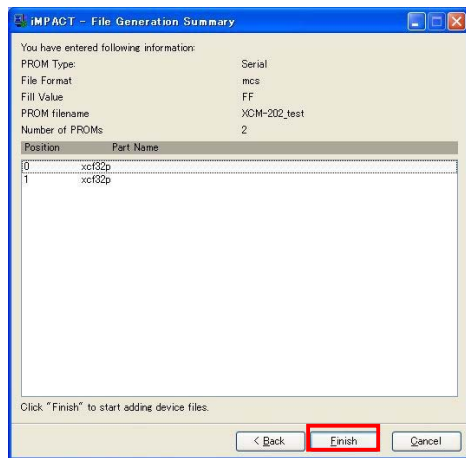


4. 次に[Finish]をクリックします。

### XCM-202-LX40/LX60/LX80/LX100



### XCM-202-LX160

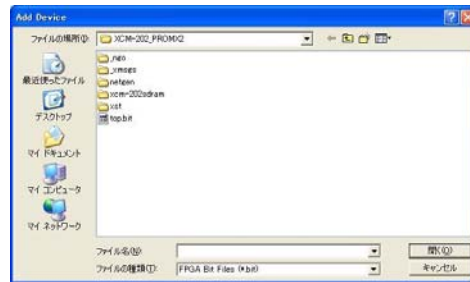


5. 次に下記 4 種類のダイアログが順にでます。

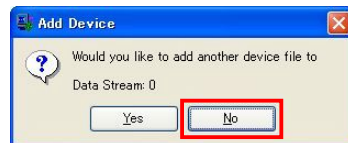
- ① [OK]をクリックします。



② 割り当てる bit File を選択します。



③ [NO]をクリックします。

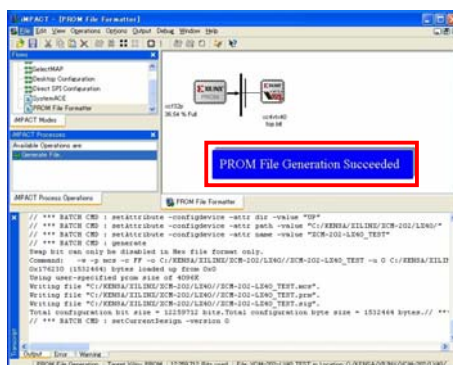


④ [OK]をクリックします。

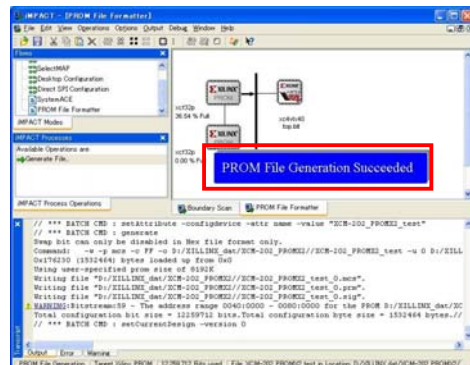


6. 次に iMPACT Process にある [Generate File] をダブルクリックします。  
[PROM File Generation Succeeded] と表示されれば完了です。

XCM-202-LX40/LX60/LX80/LX100



XCM-202-LX160



これでコンフィギュレーション ROM に書き込むための .mcs ファイルが生成されました。

## 注意

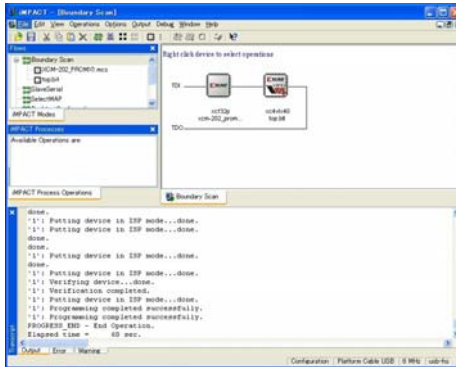
ROM に書き込む前に必ず FPGA にコンフィギュレーションを行い、回路の動作確認を行ってから書き込みを行ってください。



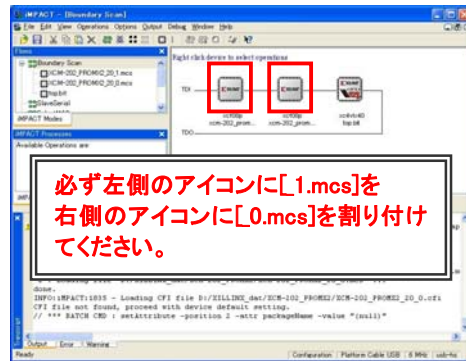
## 6.2 書き込み

1. iMPACT Mode を[Boundary Scan]にし、ROM に.mcs を割り付けます。  
先に作った.mcs はデバイスの種類により 1 個 or 2 個生成されています。

XCM-202-LX40/LX60/LX80/LX100

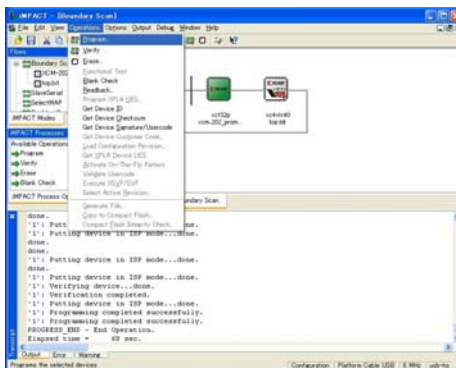


XCM-202-LX160

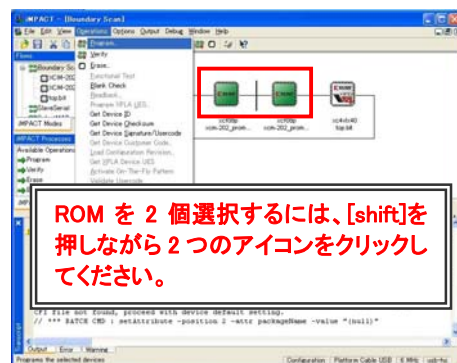


2. ROM をデバイスの種類により 1 個または 2 個選択し、  
[Operations]-[Program...]もしくは[Program]のアイコンをクリックしてください。

XCM-202-LX40/LX60/LX80/LX100

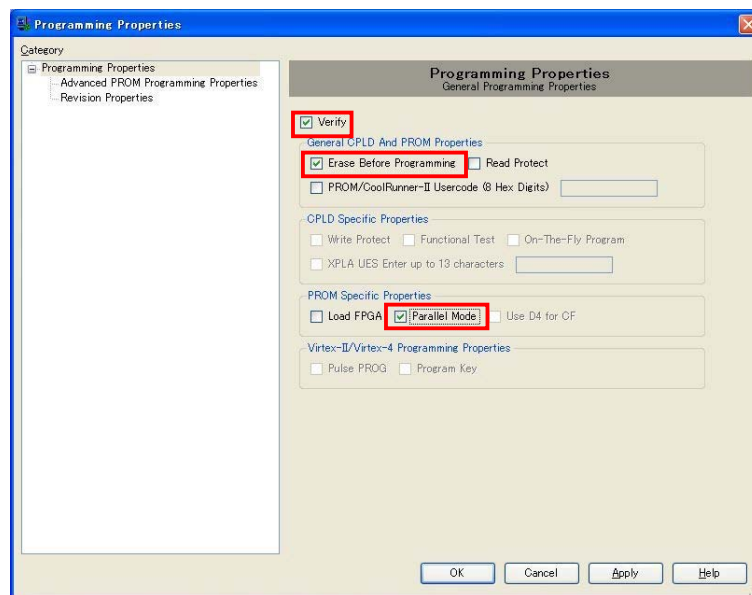


XCM-202-LX160



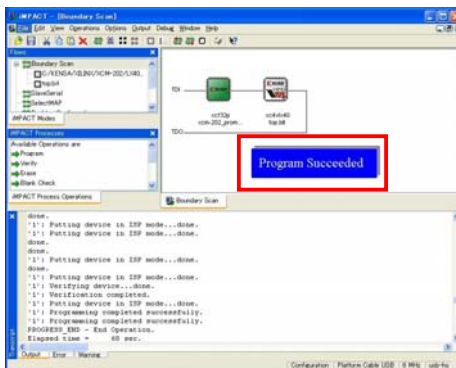


3. [Verify][Erase Before Programming][Parallel Mode]にチェックを入れ  
[OK]をクリックしてください。

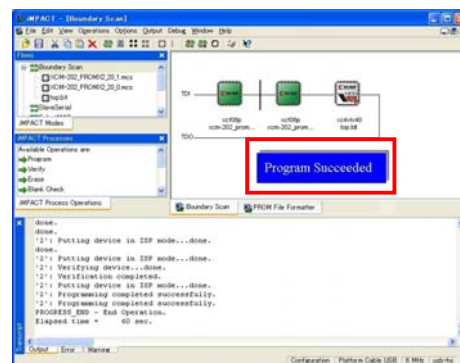


4. [Program Succeeded]と表示されれば完了です。

XCM-202-LX40/LX60/LX80/LX100



XCM-202-LX160



## 7. ROM から FPGA へのコンフィギュレーション(パワーON 動作)

ROM から FPGA にコンフィギュレーションする際、ディップスイッチの設定が必要です。  
ディップスイッチを下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON			■	U	U	U	X	
OFF	■	■		U	U	U	X	■

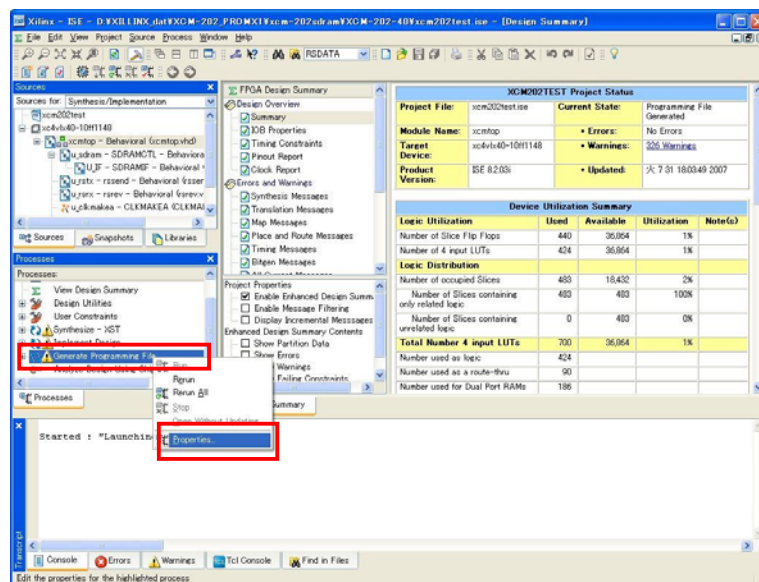
U : ユーザ設定  
X : Don't care

ディップスイッチの設定後、ボードの電源を入れます。

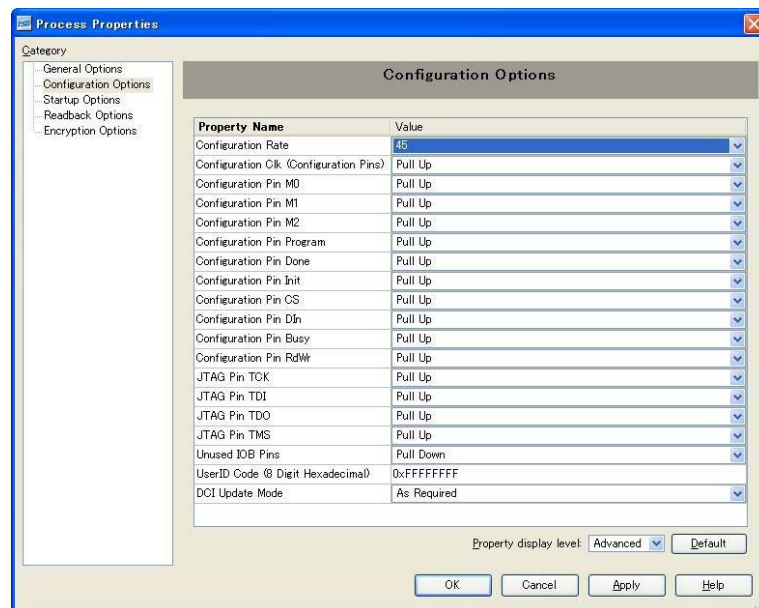
## 8. Configuration Rate の設定

XCM-202 では Configuration Rate の設定が可能です。  
以下に Configuration Rate の設定方法を示します。

1. ISE の Processes のタブにある[Generate Programming File]で右クリックし、  
[Properties...]をクリックしてください。



2. [Configuration Options]の[Configuration Rate]を「45」に設定し、[OK]をクリックしてください。



### Note

Configuration Rate を変更後 ROM に書き込む場合、新しく.mcs ファイルを作成する必要があります。

## 9. FPGA ピン割付け表

### 9.1 CNA

BANK	NET LABEL	FPGA	コネクタ		FPGA	NET LABEL	BANK
AB	V33_A	VCCO	1	2	VCCO	V33_A	AB
AB	V33_A	VCCO	3	4	VCCO	V33_A	AB
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
	GND	GND	-	-	GND	GND	
AB	CLK1P	AF18	11	12	AE18	CLK1N	AB
		N.C	13	14	N.C		
		N.C	15	16	N.C		
AB	IOA0	G3	17	18	T11	IOA32	AB
AB	IOA1	G2	19	20	R11	IOA33	AB
AB	IOA2	G1	21	22	T10	IOA34	AB
AB	IOA3	F1	23	24	R9	IOA35	AB
AB	IOA4	E1	25	26	L8	IOA36	AB
AB	IOA5	D1	27	28	M8	IOA37	AB
AB	IOA6	D2	29	30	N7	IOA38	AB
	GND	GND	-	-	GND	GND	
AB	IOA7	C2	31	32	M7	IOA39	AB
AB	IOA8	C3	33	34	P5	IOA40	AB
AB	IOA9	C4	35	36	N5	IOA41	AB
AB	IOA10	D4	37	38	M6	IOA42	AB
AB	IOA11	E4	39	40	M5	IOA43	AB
AB	IOA12	C5	41	42	L5	IOA44	AB
AB	IOA13	D5	43	44	L4	IOA45	AB
AB	IOA14	D6	45	46	M1	IOA46	AB
AB	IOA15	D7	47	48	L1	IOA47	AB
AB	IOA16	D9	49	50	K2	IOA48	AB
	GND	GND	-	-	GND	GND	
AB	IOA17	E9	51	52	K1	IOA49	AB
AB	IOA18	B10	53	54	K4	IOA50	AB
AB	IOA19	C10	55	56	J4	IOA51	AB
AB	IOA20	B11	57	58	H2	IOA52	AB
AB	IOA21	A11	59	60	H3	IOA53	AB
AB	IOA22	B12	61	62	B2	IOA54	AB
AB	IOA23	B13	63	64	B3	IOA55	AB
AB	IOA24	A13	65	66	B5	IOA56	AB
AB	IOA25	A14	67	68	A5	IOA57	AB
AB	IOA26	E14	69	70	C7	IOA58	AB
	GND	GND	-	-	GND	GND	
AB	IOA27	D14	71	72	B7	IOA59	AB
AB	IOA28	C13	73	74	B8	IOA60	AB
AB	IOA29	C14	75	76	A8	IOA61	AB
AB	IOA30	B15	77	78	A9	IOA62	AB
AB	IOA31	A15	79	80	A10	IOA63	AB

## 9.2 CNB

BANK	NET LABEL	FPGA	コネクタ		FPGA	NET LABEL	BANK
C	V33_C	VIO(C)	1	2	VIO(C)	V33_C	C
C	V33_C	VIO(C)	3	4	VIO(C)	V33_C	C
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
	GND	GND	-	-	GND	GND	
C	CLK2P	AG16	11	12	AF16	CLK2N	C
		N.C	13	14	N.C		
		N.C	15	16	N.C		
C	IOC0	AJ6	17	18	AJ12	IOC32	C
C	IOC1	AJ5	19	20	AK12	IOC33	C
C	IOC2	AJ4	21	22	AK8	IOC34	C
C	IOC3	AK4	23	24	AL8	IOC35	C
C	IOC4	AK6	25	26	AL10	IOC36	C
C	IOC5	AL6	27	28	AL11	IOC37	C
C	IOC6	AL4	29	30	AM10	IOC38	C
	GND	GND	-	-	GND	GND	
C	IOC7	AL5	31	32	AN10	IOC39	C
C	IOC8	AM5	33	34	AM11	IOC40	C
C	IOC9	AM6	35	36	AM12	IOC41	C
C	IOC10	AK7	37	38	AM13	IOC42	C
C	IOC11	AJ7	39	40	AN13	IOC43	C
C	IOC12	AJ9	41	42	AL13	IOC44	C
C	IOC13	AJ10	43	44	AK13	IOC45	C
C	IOC14	AH10	45	46	AN9	IOC46	C
C	IOC15	AG10	47	48	AP9	IOC47	C
C	IOC16	AG11	49	50	AP10	IOC48	C
	GND	GND	-	-	GND	GND	
C	IOC17	AH12	51	52	AP11	IOC49	C
C	IOC18	AF11	53	54	AN12	IOC50	C
C	IOC19	AE11	55	56	AP12	IOC51	C
C	IOC20	AN2	57	58	AN14	IOC52	C
C	IOC21	AN3	59	60	AP14	IOC53	C
C	IOC22	AN4	61	62	AH19	IOC54	C
C	IOC23	AP4	63	64	AH18	IOC55	C
C	IOC24	AN5	65	66	AG18	IOC56	C
C	IOC25	AP5	67	68	AG17	IOC57	C
C	IOC26	AM7	69	70	AE17	IOC58	C
	GND	GND	-	-	GND	GND	
C	IOC27	AN7	71	72	AE16	IOC59	C
C	IOC28	AP6	73	74	AF10	IOC60	C
C	IOC29	AP7	75	76	AD10	IOC61	C
C	IOC30	AM8	77	78	AH17	IOC62	C
C	IOC31	AN8	79	80	AJ17	IOC63	C

## 9.3 CNC

BANK	NET LABEL	FPGA	コネクタ		FPGA	NET LABEL	BANK
AB	V33_A	VIO(D)	1	2	VIO(D)	V33_A	AB
AB	V33_A	VIO(D)	3	4	VIO(D)	V33_A	AB
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
	GND	GND	-	-	GND	GND	
		N.C	11	12	N.C		
		N.C	13	14	N.C		
		N.C	15	16	N.C		
AB	IOA64	B20	17	18	D21	IOA106	AB
AB	IOA65	A20	19	20	E21	IOA107	AB
AB	IOA66	B21	21	22	B22	IOA108	AB
AB	IOA67	A21	23	24	C22	IOA109	AB
AB	IOA68	B23	25	26	C23	IOA110	AB
AB	IOA69	A23	27	28	C24	IOA111	AB
AB	IOA70	A24	29	30	D24	IOA112	AB
	GND	GND	-	-	GND	GND	
AB	IOA71	A25	31	32	D25	IOA113	AB
AB	IOA72	B26	33	34	E29	IOA114	AB
AB	IOA73	A26	35	36	D29	IOA115	AB
AB	IOA74	A28	37	38	D30	IOA116	AB
AB	IOA75	A29	39	40	D31	IOA117	AB
AB	IOA76	B30	41	42	B32	IOA118	AB
AB	IOA77	A30	43	44	B33	IOA119	AB
AB	IOA78	B31	45	46	F31	IOA120	AB
AB	IOA79	A31	47	48	E31	IOA121	AB
AB	IOA80	N19	49	50	B28	IOA122	AB
	GND	GND	-	-	GND	GND	
AB	IOA81	N18	51	52	C28	IOA123	AB
AB	IOA82	N20	53	54	E28	IOA124	AB
AB	IOA83	M20	55	56	F28	IOA125	AB
AB	IOA84	L19	57	58	G27	IOA126	AB
AB	IOA85	J20	59	60	G28	IOA127	AB
AB	IOA86	F20	61	62	J24	IOA128	AB
AB	IOA87	F21	63	64	K24	IOA129	AB
AB	IOA88	G21	65	66	J25	IOA130	AB
AB	IOA89	H20	67	68	K26	IOA131	AB
AB	IOA90	E23	69	70	L25	IOA132	AB
	GND	GND	-	-	GND	GND	
AB	IOA91	F23	71	72	L26	IOA133	AB
AB	IOA92	D26	73	74	AA23	IOA134	AB
AB	IOA93	E26	75	76	AA24	IOA135	AB
AB	IOA94	F25	77	78	AD27	IOA136	AB
AB	IOA95	F26	79	80	AC27	IOA137	AB
AB	IOA96	C18	81	82	AC28	IOA138	AB
AB	IOA97	C19	83	84	AB28	IOA139	AB
AB	IOA98	J21	85	86	AC29	IOA140	AB

AB	IOA99	H22	87	88	AC30	IOA141	AB
AB	IOA100	G23	89	90	AD29	IOA142	AB
	GND	GND	-	-	GND	GND	
AB	IOA101	H24	91	92	AE29	IOA143	AB
AB	IOA102	B25	93	94	AD32	IOA144	AB
AB	IOA103	C25	95	96	AE32	IOA145	AB
AB	IOA104	C27	97	98	AE31	IOA146	AB
AB	IOA105	B27	99	100	AF31	IOA147	AB

#### 9.4 CND

BANK	NET LABEL	FPGA	コネクタ		FPGA	NET LABEL	BANK
D	V33_D	VCCO	1	2	VCCO	V33_D	D
D	V33_D	VCCO	3	4	VCCO	V33_D	D
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
	GND	GND	-	-	GND	GND	
		N.C	11	12	N.C		
		N.C	13	14	N.C		
		N.C	15	16	N.C		
D	IOD0	AM21	17	18	AP21	IOD42	D
D	IOD1	AM22	19	20	AP22	IOD43	D
D	IOD2	AN22	21	22	AN24	IOD44	D
D	IOD3	AN23	23	24	AP24	IOD45	D
D	IOD4	AL23	25	26	AP25	IOD46	D
D	IOD5	AM23	27	28	AP26	IOD47	D
D	IOD6	AM26	29	30	AN27	IOD48	D
	GND	GND	-	-	GND	GND	
D	IOD7	AM27	31	32	AP27	IOD49	D
D	IOD8	AM28	33	34	AN29	IOD50	D
D	IOD9	AN28	35	36	AP29	IOD51	D
D	IOD10	AM30	37	38	AN30	IOD52	D
D	IOD11	AL30	39	40	AP30	IOD53	D
D	IOD12	AM25	41	42	AL21	IOD54	D
D	IOD13	AN25	43	44	AK21	IOD55	D
D	IOD14	AL25	45	46	AK22	IOD56	D
D	IOD15	AL24	47	48	AK23	IOD57	D
D	IOD16	AL26	49	50	AK24	IOD58	D
	GND	GND	-	-	GND	GND	
D	IOD17	AK26	51	52	AJ24	IOD59	D
D	IOD18	AE27	53	54	AG25	IOD60	D
D	IOD19	AF28	55	56	AG26	IOD61	D
D	IOD20	AK29	57	58	AJ27	IOD62	D
D	IOD21	AJ29	59	60	AH27	IOD63	D
D	IOD22	AH28	61	62	AF26	IOD64	D
D	IOD23	AH29	63	64	AE26	IOD65	D
D	IOD24	AG27	65	66	M32	IOD66	D
D	IOD25	AG28	67	68	M33	IOD67	D
D	IOD26	R19	69	70	L33	IOD68	D

	GND	GND	-	-	GND	GND	
D	IOD27	P20	71	72	L34	IOD69	D
D	IOD28	R21	73	74	K34	IOD70	D
D	IOD29	P22	75	76	J34	IOD71	D
D	IOD30	R22	77	78	H33	IOD72	D
D	IOD31	R23	79	80	H34	IOD73	D
D	IOD32	R24	81	82	G32	IOD74	D
D	IOD33	P24	83	84	G33	IOD75	D
D	IOD34	P27	85	86	F34	IOD76	D
D	IOD35	N27	87	88	F33	IOD77	D
D	IOD36	M27	89	90	E32	IOD78	D
	GND	GND	-	-	GND	GND	
D	IOD37	M28	91	92	E33	IOD79	D
D	IOD38	N29	93	94	D32	IOD80	D
D	IOD39	N30	95	96	C32	IOD81	D
D	IOD40	L30	97	98	C33	IOD82	D
D	IOD41	L31	99	100	C34	IOD83	D

## 9.5 オンボードクロック

周波数	NET LABEL	FPGA
48 MHz	GCLK0	D19
		E19
18.432 MHz	GCLK1	C15
		D16

## 9.6 外部入力クロック

コネクタ	NET LABEL	FPGA
CNA-11	CLK1P	AF18
CNA-12	CLK1N	AE18
CNB-11	CLK2P	AG16
CNB-12	CLK2N	AF16

## 9.7 汎用 LED

LED	NET LABEL	FPGA
LED0	LED0	AF29
LED1	LED1	AF30



## 9.8 設定スイッチ (SW1)

SW1	NET LABEL	FPGA	ROM1, ROM2
1	X_M0	W20	-
2	X_M1	W19	-
3	X_M2	V20	-
4	REVSELO	-	REV_SEL0
5	REVSEL1	-	REV_SEL1
6	REVSEL2	-	nEN_EXT_SEL
7	HSWAP_EN	T18	-
8	SW0	AB15	-

## 9.9 SDRAM [MT48LC16M16A2P-75-D] (U11)

SDRAM		NET LABEL	FPGA
Pin No.	Pin Name		
2	DQ0	SDD0	Y16
4	DQ1	SDD1	AA15
5	DQ2	SDD2	Y14
7	DQ3	SDD3	Y13
8	DQ4	SDD4	AA13
10	DQ5	SDD5	Y12
11	DQ6	SDD6	Y11
13	DQ7	SDD7	AA11
42	DQ8	SDD8	AE2
44	DQ9	SDD9	AD6
45	DQ10	SDD10	AD2
47	DQ11	SDD11	AC2
48	DQ12	SDD12	AC3
50	DQ13	SDD13	AC4
51	DQ14	SDD14	AC5
53	DQ15	SDD15	AB5

SDRAM		NET LABEL	FPGA
Pin No.	Pin Name		
23	A0	SDADD0	AD5
24	A1	SDADD1	AD4
25	A2	SDADD2	AE4
26	A3	SDADD3	AE3
29	A4	SDADD4	AM1
30	A5	SDADD5	AM2
31	A6	SDADD6	AL1
32	A7	SDADD7	AK2
33	A8	SDADD8	AK1
34	A9	SDADD9	AJ2
22	A10	SDADD10	AC8
35	A11	SDADD11	AJ1
36	A12	SDADD12	AG2
20	BA0	SDBS0	AB6
21	BA1	SDBS1	AC7
15	DQML	SDL DQM	AB10
39	DQMH	SDUDQM	AF1
16	WE#	nSDWE	AC10
17	CAS#	nSDCAS	AA9
18	RAS#	nSDRAS	AA8
19	CS#	nSDCS	AC9
37	CKE	nSDCLKE	AG1
38	CLK	nSDCLKE	H18 *1
			F18 *2

\*1 FPGA-SDCLK 出力

\*2 FPGA-SDCLK 入力

## 9.10 FRAM [FM18L08-70-SG] (U8)

FRAM		NET LABEL	FPGA
Pin No.	Pin Name		
20	CE#	FRAMCEn	AL33
10	A0	FRAM_A0	AC34
9	A1	FRAM_A1	AB30
8	A2	FRAM_A2	AA30
7	A3	FRAM_A3	AA29
6	A4	FRAM_A4	AA28
5	A5	FRAM_A5	AA26
4	A6	FRAM_A6	AA25
3	A7	FRAM_A7	W25
25	A8	FRAM_A8	AF34
24	A9	FRAM_A9	AD30
21	A10	FRAM_A10	AL34
23	A11	FRAM_A11	AH34

FRAM		NET LABEL	FPGA
Pin No.	Pin Name		
2	A12	FRAM_A12	Y24
26	A13	FRAM_A13	AF33
1	A14	FRAM_A14	W24
11	DQ0	FRAM_D0	AC33
12	DQ1	FRAM_D1	AD34
13	DQ2	FRAM_D2	AC32
15	DQ3	FRAM_D3	AJ30
16	DQ4	FRAM_D4	AH30
17	DQ5	FRAM_D5	AJ31
18	DQ6	FRAM_D6	AH32
19	DQ7	FRAM_D7	AG33
22	OE#	FRAM_OEn	AJ34
27	WE#	FRAM_WEn	AE34

## 10. 参考資料について

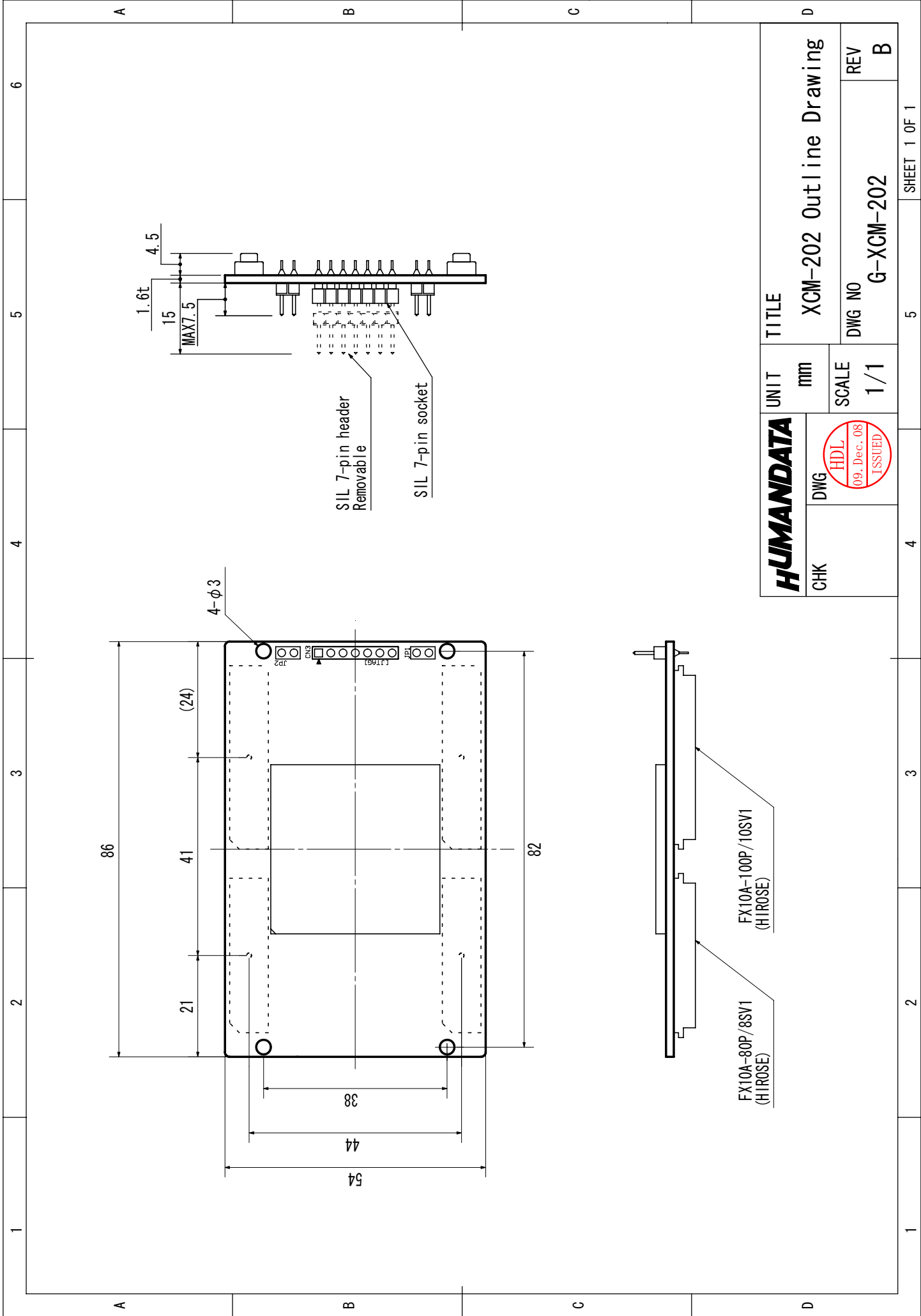
下記資料につきましては製品サポートページにて公開しております。  
必要に応じてご利用くださいませ。

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

- 回路図
- ピンリスト
- 外形図
- パターン図
- ネットリスト ...等

## 11. 付属資料

1. 基板外形図
2. 回路図 (別紙)



<b>HUMANDATA</b>	UNIT	TITLE	
	mm	XCM-202 Outline Drawing	
CHK	DWG	SCALE	DWG NO
		1/1	G-XCM-202
			REV
			B



---

## **Virtex-4 ブレッドボード**

XCM-202 シリーズ  
ユーザーズマニュアル

2007/8/29 (初版)  
2008/5/23 (第 3 版)

2008/5/13 (第 2 版)

**2009/12/11 第 4 版**

---

### **有限会社ヒューマンデータ**

〒567-0034  
大阪府茨木市中穂積 1-2-10  
ジブラルタ生命茨木ビル

TEL 072-620-2002  
FAX 072-620-2003  
URL <http://www.hdl.co.jp/>

---