

Virtex-4 ブレッドボード
(高密度カードサイズ)

XCM-201-LX25

XCM-201-LX40

XCM-201-LX60

ユーザズマニュアル

第5版 (Rev2)



ヒューマンデータ

目次

はじめに	2
ご注意	2
1. 製品の内容について	3
2. 仕様	3
3. 各部の名称	4
4. 電源入力	5
5. JTAG コネクタ	5
6. FPGA へのコンフィグレーション方法	7
7. コンフィグレーション ROM へのデータ書き込み方法	8
8. コンフィグレーション ROM データの作成方法	9
9. ディップスイッチの説明	12
10. コネクタピン割付表	14
11. XCM-201-LX25/LX40/LX60 参考資料について	19
12. 付属資料	19

はじめに

この度は、Virtex-4 ブレッドボード / XCM-201 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-201-LX25/LX40/LX60 は、XILINX の高性能 FPGA Virtex-4 を用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROM、SDRAM、SERIAL-ROM などを装備した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	XCM-201-LX25/LX40/LX60	1
付属品(ターゲット用コネクタ等)		1
マニュアル(本書)		1
ユーザー登録はがき		1

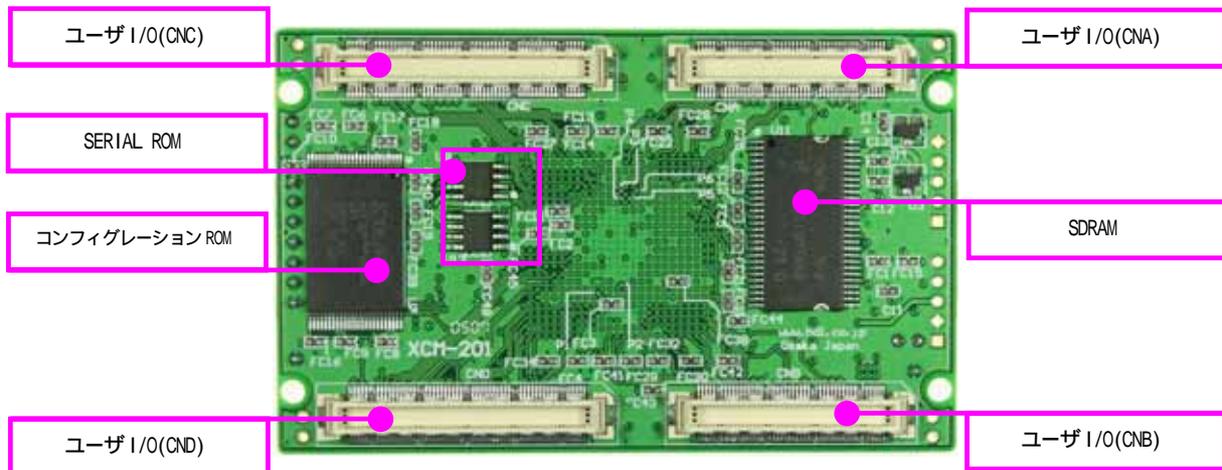
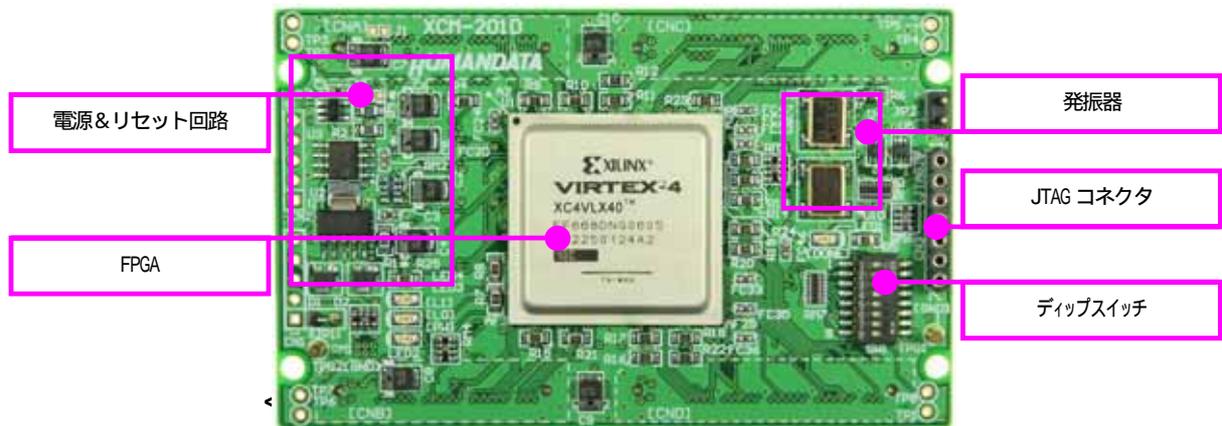
2. 仕様

製品型番	XCM-201-LX25	XCM-201-LX40	XCM-201-LX60
搭載 FPGA	XC4VLX25-10FF668C	XC4VLX40-10FF668C	XC4VLX60-10FF668C
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)		
消費電流	N/A (詳細は FPGA データシートご参照)		
外形寸法	86 × 54 [mm]		
重量	約 32 [g]		
ユーザ I/O	306 本		
I/O コネクタ	FX10A-80P/8-SV1 および、FX10A-100P/8-SV1 (ヒロセ電機)各 2 個		
プリント基板	ガラスエポキシ 10 層基板 1.6t		
コンフィグレーション ROM	XCF32P		
SDRAM	MT48LC16M16A2TG-75 (MICRON) *1		
シリアル FLASH-ROM	M25P40-VMN6P (STM) を 2 個 *1		
クロック	オンボード 48MHz、18.432MHz 外部供給可能		
コンフィグレーション用リセット回路	内蔵 (120ms TYP)		
JTAG コネクタ	SIP7 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER-LED , DONE-LED)		
汎用 LED	2 個		
付属品	コネクタ:FX10A-80S/8-SV (ヒロセ電機) 2 個 コネクタ:FX10A-100S/10-SV (ヒロセ電機) 2 個 SIP7 ピン ピンヘッダ(本体に取付け済み) ジャンパソケット 2 個		

*1 互換品に変更されることがあります

3. 各部の名称

<表面>



4. 電源入力

本ボードは、DC **3.3V** 単一電源で動作します。

内部に必要な、2.5V、1.8V、1.2V はオンボードのレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は、CNA、CNB、CNC、CND から供給してください。CNA、CNC が BANK-AB の VCCO と兼用になっております。

CNB、CND はそれぞれ BANK-C、BANK-D の VCCO です。適切な電源を供給してください。

いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

5. JTAG コネクタ

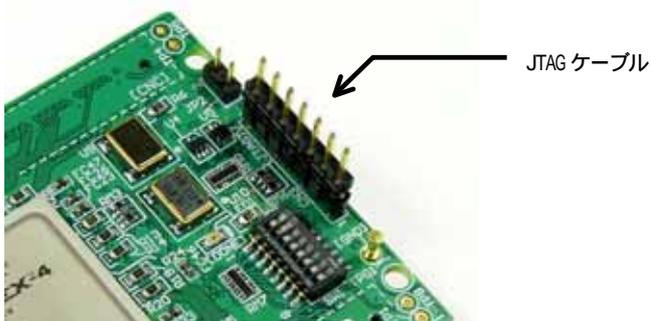
FPGA へのコンフィグレーション、内蔵の ISP 可能なコンフィグレーション ROM への書込みに用います。

ピン配置は次表のとおりです。

信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	IN(POW)	5
TDI	IN	6
GND	I/O	7

弊社製ダウンロードケーブル XC2、XCKIT や XILINX 社の純正ケーブルなどを用いることができます。

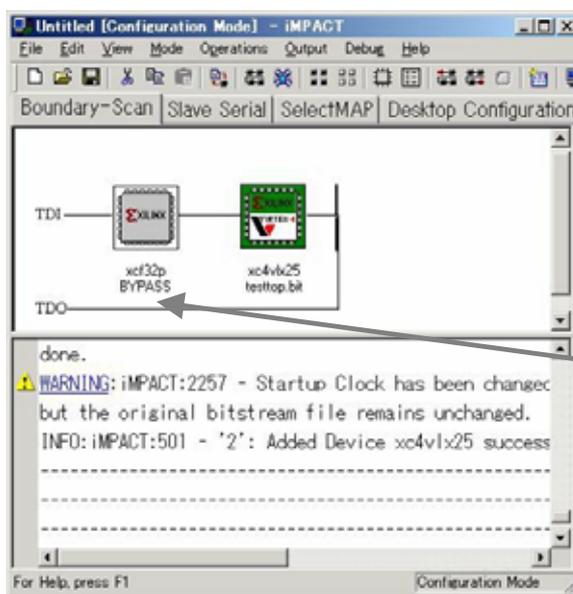
また、ダウンロードケーブルと本品との接続には付属品 SIP7 ピンヘッドをご利用できます。



JTAG チェインにはROM と FPGA の両方が接続されています。



iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならば Configuration を行ってください。

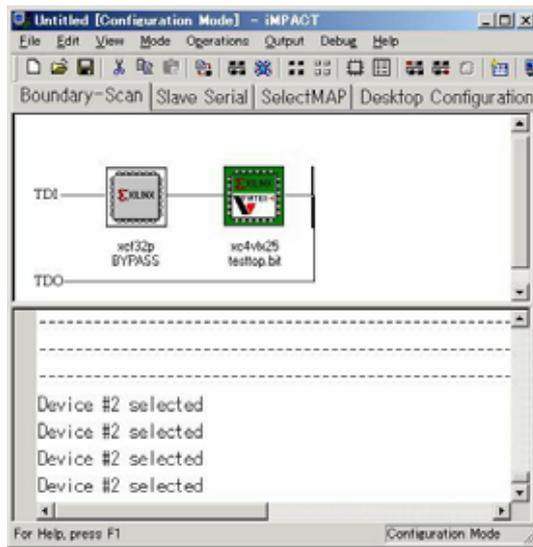


操作が必要ないときは、
BYPASS とすれば良い

6. FPGA へのコンフィグレーション方法

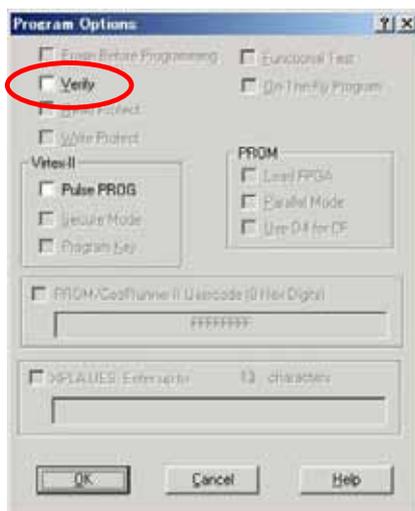
FPGA へのコンフィグレーションは iMPACT により行います。

通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます。



ROM は BYPASS とし、FPGA に対して bit ファイルを割り付けてください。

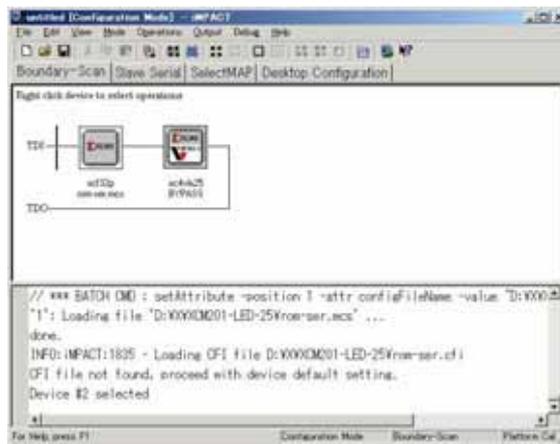
FPGA へのコンフィグレーションの際は、通常 Verify のチェックを外してください。



7. コンフィグレーション ROM へのデータ書き込み方法

ROM へのデータ書き込みは iMPACT により行います。

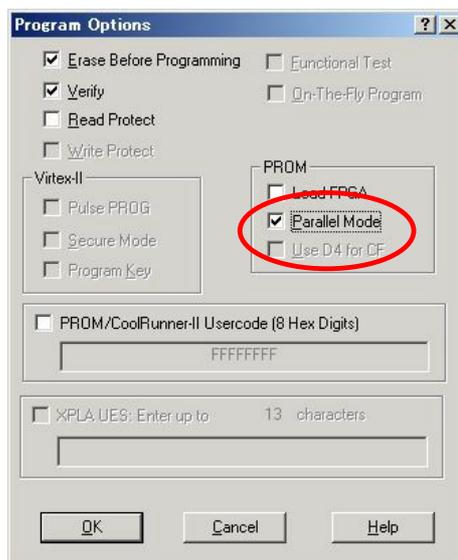
通電状態で、iMPACT を起動すると、自動的に ROM と FPGA が認識されます



FPGA は BYPASS とし、ROM に対して bit ファイルを割り付けてください

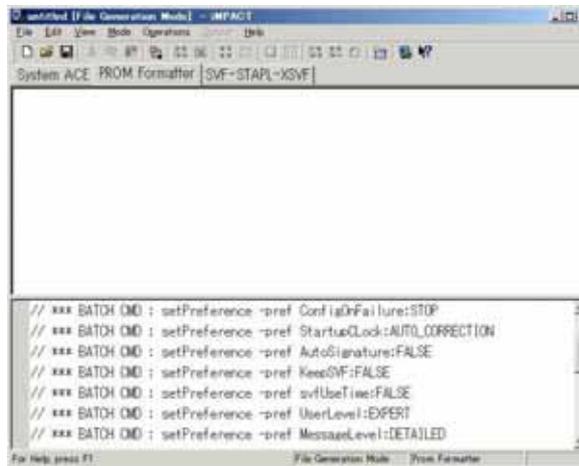
Program を実行し次のダイアログで「OK」をクリックすると ROM へのデータ書き込みが始まります。

XCM-201 シリーズはパラレルモードで高速にコンフィグレーションすることが可能です。



8. コンフィグレーション ROM データの作成方法

iMPACT を FileMode に切り替えます。

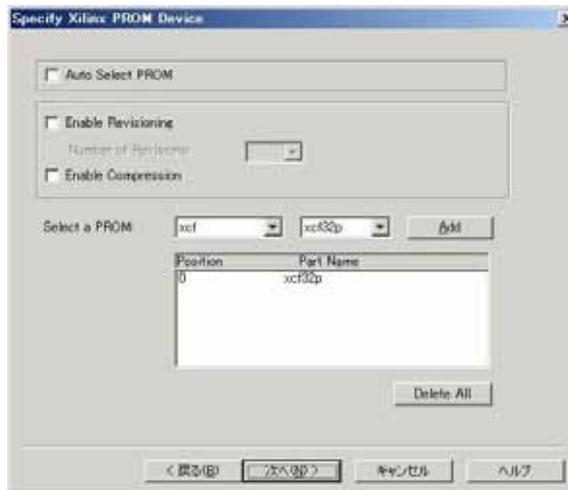


次に、PROM Formatter タブの、表示エリアで右ボタンメニューの Wizard を実行します。

Xilinx Serial PROM、MCS を選択、生成するファイル名と、bit ファイルのあるフォルダを指定します。



次に、ROM のタイプを xcf32p と指定します。



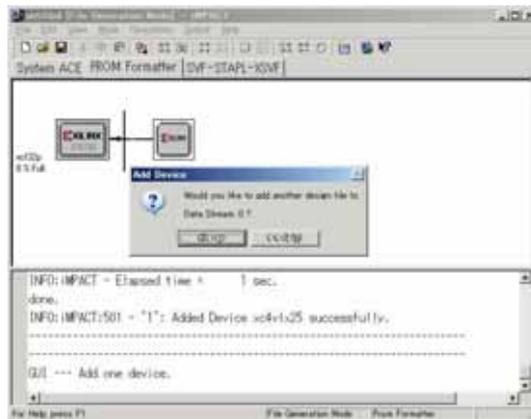
次のようなダイアログが表示されますので、次へをクリックします。



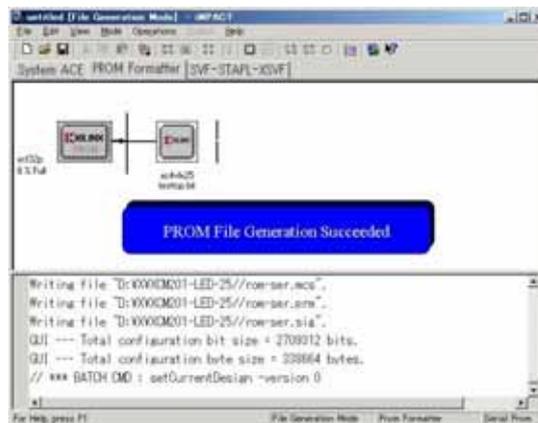
次のようなダイアログが表示されますので、Add File により Bit ファイルを指定します。



次のようなダイアログが表示されますので、完了をクリックします。



「はい」をクリックするとROMデータが作成されます。



「いいえ」をクリックし、後からROMデータを作成することもできます。

方法：メニューバーから[Operations]-[Generate File]をクリックします。

9. ディップスイッチの説明

XCM-201 のディップスイッチは以下のように割り付けられています。

番号	S1	S2	S3	S4	S5	S6	S7	S8
記号	M0	M1	M2	REVSELO	REVSEL1	EN_REV	HSWAP_EN	SWO
出荷時	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
	コンフィグレーションモード			コンフィグレーションROM リビジョン設定		リビジョンイネーブル 設定	FPGA HSWAP_EN	汎用

表 1-1: Virtex-4 コンフィギュレーション モード

コンフィギュレーション モード	M2	M1	M0	データ幅	CCLK の方向
マスタ シリアル	0	0	0	1 ビット	出力
スレーブ シリアル	1	1	1	1 ビット	入力
マスタ SelectMAP	0	1	1	8 ビット	出力
スレーブ SelectMAP8	1	1	0	8 ビット	入力
スレーブ SelectMAP32 ⁽³⁾	0	0	1	32 ビット	入力
JTAG/バウンダリ スキャンのみ ⁽¹⁾	1	0	1	1 ビット	-

メモ:

1. JTAG モードのコンフィギュレーションでは、コンフィギュレーション クロック (CCLK) ではなく、JTAG TCK ピンを使用します。
2. コンフィギュレーション前の I/O プルアップ抵抗は、HSWAPEN ピンの設定によって有効になります。
3. SelectMAP32 では、D0:D31 データ ビットはスワップしません。D0 が LSB であり、D31 が MSB です。
4. ピンが未接続のままの場合、MODE ピンに付いている弱いプルアップ抵抗により、スレーブ シリアルがデフォルト モードとなります。

(Xilinx 社 Virtex-4 コンフィギュレーションガイドより)

S1、S2、S3 : コンフィギュレーションモード

ROM 使用時: MasterSelectMAP mode

S1(OFF) M0 = 1

S2(OFF) M1 = 1

S3(ON) M2 = 0

出荷時: JTAG mode

S1(OFF) M0 = 1

S2(ON) M1 = 0

S3(OFF) M2 = 1

S4、S5、S6 : コンフィグレーションROMのリビジョン設定

コンフィグレーションROM(XCF32P)には、リビジョン管理機能があります。S4、S5、S6により各ピンを設定することができます。
回路図および、ROMのデータシートを参照してください。

S7 : HSWAPENの設定

コンフィグレーション前のI/Oのプルアップの状態を設定することができます。

S8 : 汎用

ユーザーが自由に使用することができます。

10. コネクタピン割付表

XCM-201 REV2 基板 I/O
CNA

注1

{

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
AB	V33 A	3.3V	1	2	3.3V	V33 A	AB
AB	V33 A	3.3V	3	4	3.3V	V33 A	AB
		NC	5	6	NC		
		NC	7	8	NC		
		NC	9	10	NC		
	GND	GND	-	-	GND	GND	
AB	CLK1P	AB17	11	12	AC17	CLK1N	AB
AB	OLD-B	B14	13	14	C14	OLD-A	AB
		NC	15	16	NC		
AB	IOA0	L7	17	18	L6	IOA32	AB
AB	IOA1	L8	19	20	K4	IOA33	AB
AB	IOA2	J5	21	22	K5	IOA34	AB
AB	IOA3	J6	23	24	K6	IOA35	AB
AB	IOA4	J7	25	26	K7	IOA36	AB
AB	IOA5	G7	27	28	H4	IOA37	AB
AB	IOA6	G8	29	30	H5	IOA38	AB
	GND	GND	-	-	GND	GND	
AB	IOA7	G9	31	32	H6	IOA39	AB
AB	IOA8	G10	33	34	H7	IOA40	AB
AB	IOA9	E4	35	36	H8	IOA41	AB
AB	IOA10	E5	37	38	F7	IOA42	AB
AB	IOA11	E6	39	40	F8	IOA43	AB
AB	IOA12	E7	41	42	F9	IOA44	AB
AB	IOA13	E9	43	44	F10	IOA45	AB
AB	IOA14	E10	45	46	F11	IOA46	AB
AB	IOA15	C2	47	48	F12	IOA47	AB
AB	IOA16	C4	49	50	F13	IOA48	AB
	GND	GND	-	-	GND	GND	
AB	IOA17	C5	51	52	D4	IOA49	AB
AB	IOA18	C6	53	54	D6	IOA50	AB
AB	IOA19	C7	55	56	D8	IOA51	AB
AB	IOA20	C8	57	58	D9	IOA52	AB
AB	IOA21	C10	59	60	D10	IOA53	AB
AB	IOA22	D11	61	62	E13	IOA54	AB
AB	IOA23	D12	63	64	B3	IOA55	AB
AB	IOA24	A3	65	66	B4	IOA56	AB
AB	IOA25	A4	67	68	B6	IOA57	AB
AB	IOA26	A5	69	70	B7	IOA58	AB
	GND	GND	-	-	GND	GND	
AB	IOA27	A6	71	72	B9	IOA59	AB
AB	IOA28	A7	73	74	B10	IOA60	AB
AB	IOA29	A8	75	76	C11	IOA61	AB
AB	IOA30	A9	77	78	C12	IOA62	AB
AB	IOA31	A10	79	80	B13	IOA63	AB

}

注1

注1 XCM-201 Rev1(XCM-201B, XCM-201C 基板)

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
AB	CLK-B	B14	11	12	C14	CLK-A	AB
		NC	13	14	NC		

CN B

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
C	V33_C	VIOx	1	2	VIOx	V33_C	C
C	V33_C	VIOx	3	4	VIOx	V33_C	C
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
	GND	GND	-	-	GND	GND	
C	CLK2P	AD11	11	12	AD12	CLK2N	C
		N.C	13	14	N.C		
		N.C	15	16	N.C		
C	IOC0	W1	17	18	Y1	IOC32	C
C	IOC1	W2	19	20	Y2	IOC33	C
C	IOC2	W4	21	22	Y3	IOC34	C
C	IOC3	W5	23	24	Y4	IOC35	C
C	IOC4	W6	25	26	Y5	IOC36	C
C	IOC5	W7	27	28	Y6	IOC37	C
C	IOC6	AA1	29	30	Y8	IOC38	C
	GND	GND	-	-	GND	GND	
C	IOC7	AA3	31	32	Y9	IOC39	C
C	IOC8	AA4	33	34	Y10	IOC40	C
C	IOC9	AA7	35	36	AB1	IOC41	C
C	IOC10	AA8	37	38	AB3	IOC42	C
C	IOC11	AA9	39	40	AB4	IOC43	C
C	IOC12	AA10	41	42	AB5	IOC44	C
C	IOC13	AC1	43	44	AB6	IOC45	C
C	IOC14	AC2	45	46	AB9	IOC46	C
C	IOC15	AC3	47	48	AB10	IOC47	C
C	IOC16	AC4	49	50	AD1	IOC48	C
	GND	GND	-	-	GND	GND	
C	IOC17	AC5	51	52	AD2	IOC49	C
C	IOC18	AC6	53	54	AD3	IOC50	C
C	IOC19	AC7	55	56	AD4	IOC51	C
C	IOC20	AC8	57	58	AD5	IOC52	C
C	IOC21	AC9	59	60	AD6	IOC53	C
C	IOC22	AC10	61	62	AD10	IOC54	C
C	IOC23	AD8	63	64	AF3	IOC55	C
C	IOC24	AE3	65	66	AF4	IOC56	C
C	IOC25	AE4	67	68	AF5	IOC57	C
C	IOC26	AE6	69	70	AF6	IOC58	C
	GND	GND	-	-	GND	GND	
C	IOC27	AE9	71	72	AF7	IOC59	C
C	IOC28	AE10	73	74	AF8	IOC60	C
C	IOC29	AE12	75	76	AF9	IOC61	C
C	IOC30	AE13	77	78	AF11	IOC62	C
C	IOC31	AE14	79	80	AF12	IOC63	C

注2

注2 XCM-201 Rev1(XCM-201B, XCM-201C 基板)ではクロックとして使用できません。

CN C

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
AB	V33_A	3.3V	1	2	3.3V	V33_A	AB
AB	V33_A	3.3V	3	4	3.3V	V33_A	AB
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
	GND	GND	-	-	GND	GND	
		N.C	11	12	N.C		
		N.C	13	14	N.C		
		N.C	15	16	N.C		
AB	IOA64	M5	17	18	P4	IOA106	AB
AB	IOA65	M6	19	20	P5	IOA107	AB
AB	IOA66	M7	21	22	P6	IOA108	AB
AB	IOA67	M8	23	24	R8	IOA109	AB
AB	IOA68	N5	25	26	P8	IOA110	AB
AB	IOA69	N7	27	28	R7	IOA111	AB
AB	IOA70	N8	29	30	R4	IOA112	AB
	GND	GND	-	-	GND	GND	
AB	IOA71	P7	31	32	U7	IOA113	AB
AB	IOA72	T8	33	34	U6	IOA114	AB
AB	IOA73	T7	35	36	U5	IOA115	AB
AB	IOA74	T6	37	38	B17	IOA116	AB
AB	IOA75	T4	39	40	B18	IOA117	AB
AB	IOA76	A15	41	42	B20	IOA118	AB
AB	IOA77	A16	43	44	B21	IOA119	AB
AB	IOA78	A17	45	46	B23	IOA120	AB
AB	IOA79	A18	47	48	B24	IOA121	AB
AB	IOA80	A19	49	50	D14	IOA122	AB
	GND	GND	-	-	GND	GND	
AB	IOA81	A20	51	52	D15	IOA123	AB
AB	IOA82	A21	53	54	D16	IOA124	AB
AB	IOA83	A22	55	56	D17	IOA125	AB
AB	IOA84	A23	57	58	D18	IOA126	AB
AB	IOA85	A24	59	60	D20	IOA127	AB
AB	IOA86	C16	61	62	D22	IOA128	AB
AB	IOA87	C17	63	64	D23	IOA129	AB
AB	IOA88	C19	65	66	D24	IOA130	AB
AB	IOA89	C20	67	68	D25	IOA131	AB
AB	IOA90	C21	69	70	D26	IOA132	AB
	GND	GND	-	-	GND	GND	
AB	IOA91	C22	71	72	E25	IOA133	AB
AB	IOA92	C23	73	74	E26	IOA134	AB
AB	IOA93	C24	75	76	F17	IOA135	AB
AB	IOA94	C26	77	78	F18	IOA136	AB
AB	IOA95	E21	79	80	F23	IOA137	AB
AB	IOA96	E20	81	82	F20	IOA138	AB
AB	IOA97	E18	83	84	F19	IOA139	AB
AB	IOA98	E17	85	86	G17	IOA140	AB
AB	IOA99	E14	87	88	G18	IOA141	AB
AB	IOA100	F16	89	90	G19	IOA142	AB
	GND	GND	-	-	GND	GND	
AB	IOA101	F15	91	92	G20	IOA143	AB
AB	IOA102	F14	93	94	H20	IOA144	AB
AB	IOA103	E22	95	96	H21	IOA145	AB
AB	IOA104	E23	97	98	H22	IOA146	AB
AB	IOA105	E24	99	100	H23	IOA147	AB

CN D

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
D	V33_D	VIOx	1	2	VIOx	V33_D	D
D	V33_D	VIOx	3	4	VIOx	V33_D	D
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
	GND	GND	-	-	GND	GND	
		N.C	11	12	N.C		
		N.C	13	14	N.C		
		N.C	15	16	N.C		
D	IOD0	AE18	17	18	AF18	IOD42	D
D	IOD1	AE21	19	20	AF19	IOD43	D
D	IOD2	AE23	21	22	AF20	IOD44	D
D	IOD3	AE24	23	24	AF21	IOD45	D
D	IOD4	T19	25	26	AF22	IOD46	D
D	IOD5	T20	27	28	AF23	IOD47	D
D	IOD6	Y25	29	30	AF24	IOD48	D
	GND	GND	-	-	GND	GND	
D	IOD7	AD19	31	32	Y19	IOD49	D
D	IOD8	AC19	33	34	Y17	IOD50	D
D	IOD9	AD21	35	36	Y18	IOD51	D
D	IOD10	AC25	37	38	AB18	IOD52	D
D	IOD11	AC26	39	40	AD25	IOD53	D
D	IOD12	AA17	41	42	AD26	IOD54	D
D	IOD13	AA18	43	44	AC18	IOD55	D
D	IOD14	AA19	45	46	AB20	IOD56	D
D	IOD15	AA20	47	48	AB21	IOD57	D
D	IOD16	AA23	49	50	AB22	IOD58	D
	GND	GND	-	-	GND	GND	
D	IOD17	Y24	51	52	AB23	IOD59	D
D	IOD18	AA26	53	54	AD22	IOD60	D
D	IOD19	W19	55	56	AD23	IOD61	D
D	IOD20	W20	57	58	AB26	IOD62	D
D	IOD21	W21	59	60	AC22	IOD63	D
D	IOD22	W22	61	62	AC23	IOD64	D
D	IOD23	W23	63	64	AC24	IOD65	D
D	IOD24	W25	65	66	Y20	IOD66	D
D	IOD25	W26	67	68	Y22	IOD67	D
D	IOD26	U20	69	70	AC21	IOD68	D
	GND	GND	-	-	GND	GND	
D	IOD27	U21	71	72	AA24	IOD69	D
D	IOD28	U22	73	74	Y26	IOD70	D
D	IOD29	U23	75	76	AB24	IOD71	D
D	IOD30	U25	77	78	AB25	IOD72	D
D	IOD31	U26	79	80	V22	IOD73	D
D	IOD32	R19	81	82	V23	IOD74	D
D	IOD33	R20	83	84	V25	IOD75	D
D	IOD34	P19	85	86	V26	IOD76	D
D	IOD35	R23	87	88	V20	IOD77	D
D	IOD36	R24	89	90	V21	IOD78	D
	GND	GND	-	-	GND	GND	
D	IOD37	R26	91	92	T21	IOD79	D
D	IOD38	P20	93	94	T23	IOD80	D
D	IOD39	P22	95	96	T24	IOD81	D
D	IOD40	P23	97	98	T26	IOD82	D
D	IOD41	P24	99	100	P25	IOD83	D

SDRAM (MT48LC16M16A2TG-75)

SDRAM ピン#	NET LABEL	FPGA ピン#	備考
U11-2	SDD0	D1	
U11-4	SDD1	D2	
U11-5	SDD2	D3	
U11-7	SDD3	E1	
U11-8	SDD4	E2	
U11-10	SDD5	E3	
U11-11	SDD6	F1	
U11-13	SDD7	F3	
U11-42	SDD8	N3	
U11-44	SDD9	N2	
U11-45	SDD10	M4	
U11-47	SDD11	M2	
U11-48	SDD12	M1	
U11-50	SDD13	L4	
U11-51	SDD14	L3	
U11-53	SDD15	L1	
U11-23	SDADD0	J4	
U11-24	SDADD1	K1	
U11-25	SDADD2	K2	
U11-26	SDADD3	K3	

SDRAM ピン#	NET LABEL	FPGA ピン#	備考
U11-29	SDADD4	V2	
U11-30	SDADD5	V1	
U11-31	SDADD6	U3	
U11-32	SDADD7	U1	
U11-33	SDADD8	T3	
U11-34	SDADD9	T1	
U11-22	SDADD10	J2	
U11-35	SDADD11	R2	
U11-36	SDADD12	R1	
U11-20	SDBS0	H2	
U11-21	SDBS1	H3	
U11-15	SDLQOM	F4	
U11-39	SDUDQM	N4	
U11-16	nSDWE	G1	
U11-17	nSDCAS	G2	
U11-18	nSDRAS	G4	
U11-19	nSDCS	H1	
U11-37	nSDCLKE	P3	
U11-38	SDDCLK	P2	FPGA-SDCLK 出力
		C13	FPGA-SDCLK 入力

FLASH-ROM (M25P40-VMN6P)

FLASH-ROM ピン #	NET LABEL	FPGA ピン #
U13-1	FMCS0	G26
U13-2	FMQ	G24
U13-3	FMWP0	F26
U13-5	FMD	H26
U13-6	FMCK	H25
U13-7	FMHOLD	H24

FLASH-ROM ピン #	NET LABEL	FPGA ピン #
U8-1	FMCS1	G25
U8-2	FMQ	G24
U8-3	FMWP1	F24
U8-5	FMD	H26
U8-6	FMCK	H25
U8-7	FMHOLD	H24

汎用 LED

LED	NET LABEL	FPGA ピン #
LED2	LED0	V4
LED4	LED1	U4

内部 CLK

クロック	NET LABEL	FPGA ピン#
オンボード 48M	GCLK0	B15
オンボード 18.432M	GCLK1	C15

DIP SW

DIP SW-ピン #	NET LABEL	接続先
SW-1	X M0	FPGA-W15
SW-2	X M1	FPGA-Y15
SW-3	X M2	FPGA-W14
SW-4	REVSEL0	U7-26
SW-5	REVSEL1	U7-27
SW-6	REVSEL2	U7-25
SW-7	HSWAP EN	FAPGA-G16
SW-8	SW0	FPGA-AA16

11. XCM-201-LX25/LX40/LX60 参考資料について

追加資料や参考資料がつけられた場合は

製品サポートページ

http://www.hdl.co.jp/support_c.html

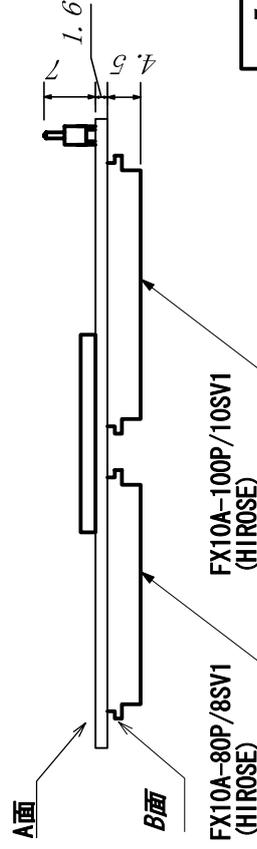
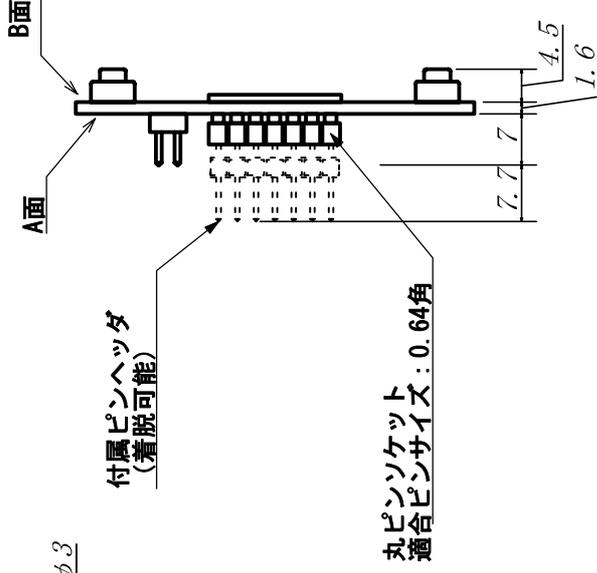
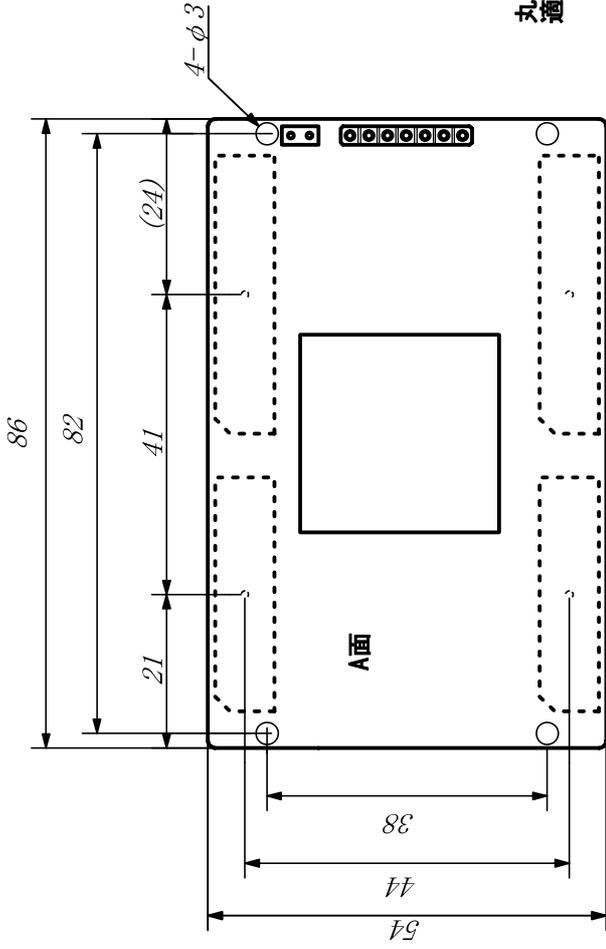
にデータをアップロードすることいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

12. 付属資料

1. 外形寸法図
2. 基板回路図（別紙）



HUMANDATA		UNIT	TITLE
CHK	DWG	SIZE	XCM-201シリーズ 外形寸法図
		DWG NO	REV
		G-XCM-201	A

Virtex-4 ブレッドボード
(高密度カードサイズ)
XCM-201-LX25/LX40/LX60

ユーザーズマニュアル

2006/01/17 初版(R1)

2006/03/08 第2版(R1)

2006/04/18 第2版(A)(R1)

2006/06/01 第3版(R1)

2006/07/20 第4版(R1)

2007/02/09 第5版(Rev2)

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>

Mail spc2@hdl.co.jp
