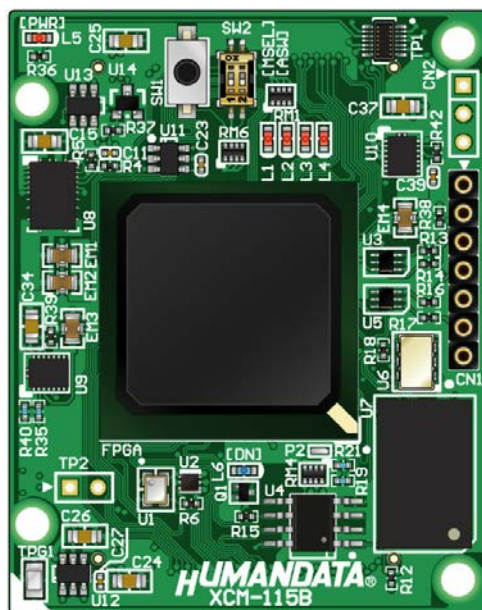


Spartan-7 FGGA484 FPGA ボード
XCM-115 シリーズ Rev2
ユーザーズマニュアル
Ver.2.0




目次


はじめに.....	1
ご注意	1
改訂記録.....	1
1. 共通ピンについて【重要】.....	2
2. 製品の内容について	3
3. 開発環境.....	3
4. 仕様.....	4
5. 製品概要.....	5
5.1 各部の名称.....	5
5.2 ブロック図	6
5.3 電源.....	6
5.4 ユーザ I/O.....	6
5.5 クロック.....	7
5.6 汎用 LED、汎用 SW.....	7
5.7 デバッグ I/F.....	7
5.8 設定スイッチ	7
6. FPGA コンフィギュレーション	8
6.1 JTAG/バウンダリスキャン.....	9
6.2 コンフィグ ROM ファイルの作成.....	9
6.3 コンフィグ ROM アクセス.....	10
7. サポートページ.....	12
8. お問い合わせについて.....	12

はじめに

この度は Spartan-7 FGGA484 FPGA ボード XCM-115 シリーズをお買い上げいただきまして、誠にありがとうございます。XCM-115 は、XILINX の高性能 FPGA Spartan-7 シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、 7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

改訂記録

日付	バージョン	改訂内容
2022/07/04	2.0	・製品リビジョンの更新

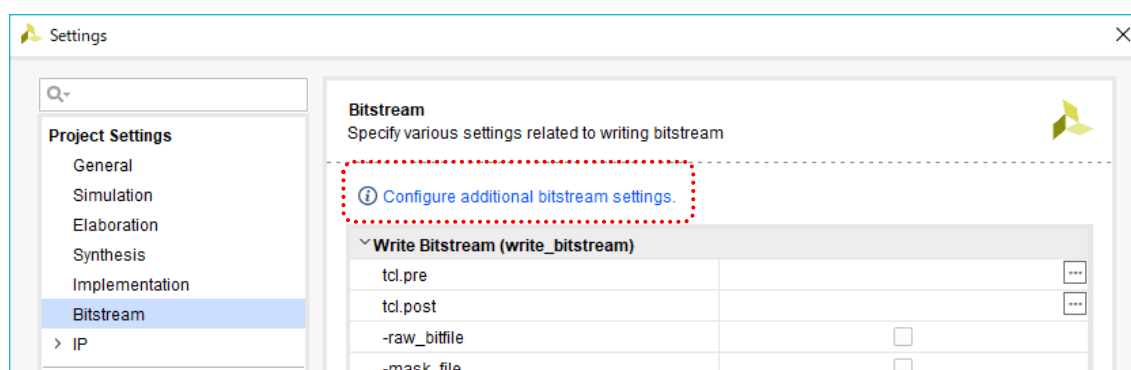
1. 共通ピンについて【重要】

本ボードでは、下表のピンが共通になっています。

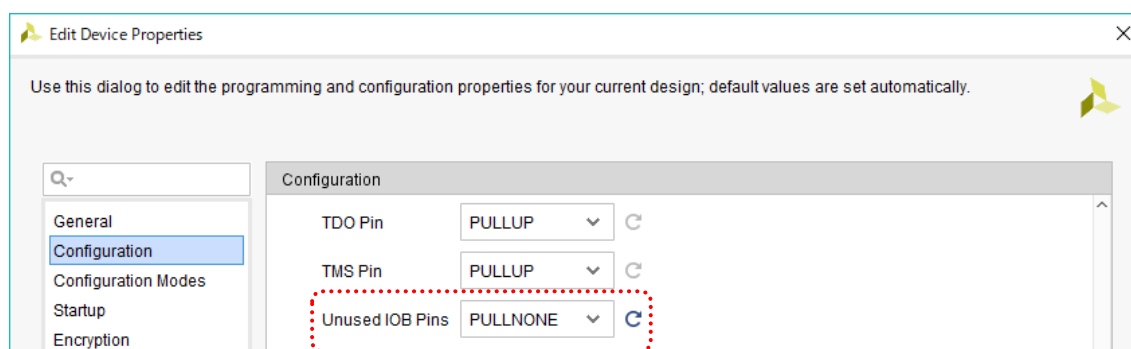
意図しないショートを避けるため、未使用ピンの設定を【PULLNONE】としておくことを推奨します。未使用ピン処理設定の確認は下記をご参照ください。

ネットラベル	VREFB	VDDR_REF
FPGA ピン	C18	D7
	F15	G3
	G20	
	J15	

1. 【Implementation Design】を開いた状態で【Tools – Settings】を開きます
2. 【Bitstream】を開き【Configure additional bitstream settings.】をクリックします



3. 【Configuration】を開き【Unused IOB Pins】を変更します



2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード XCM-115	1
付属品	1
ユーザー登録はがき	1

マニュアルなどは付属していません。製品の資料ページからダウンロードして下さい。

3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

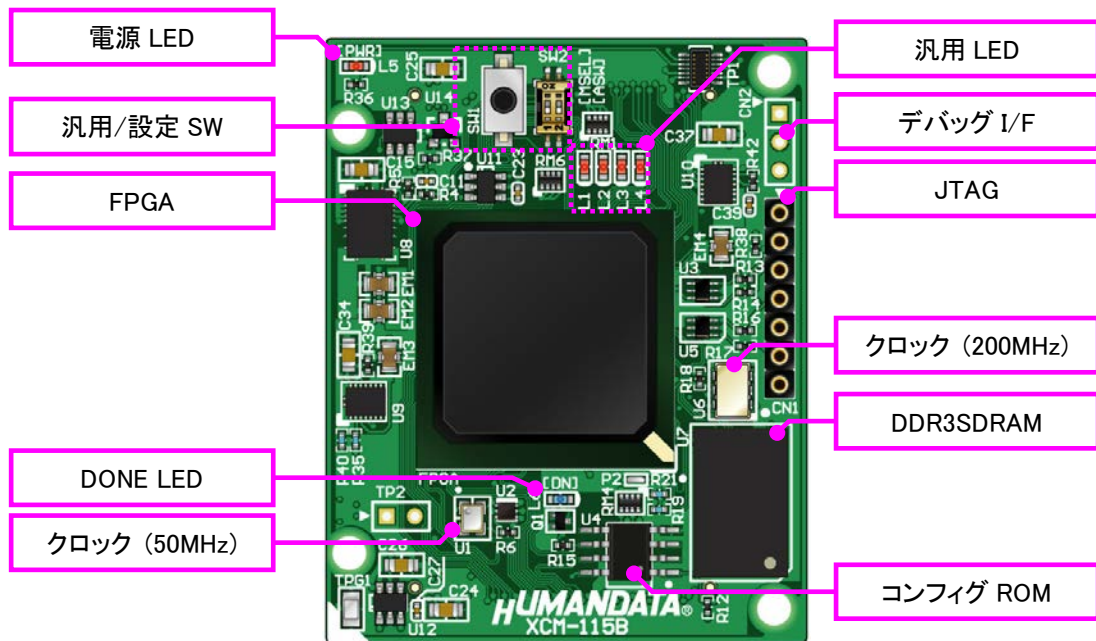
4. 仕様

製品型番	XCM-115-75	XCM-115-100
搭載 FPGA	XC7S75-1FGGA484C	XC7S100-1FGGA484C
コンフィグ ROM	MT25QL128ABA1ESE-0SIT (Micron, 128Mbit)	
電源	DC 3.3 [V]	
DDR3SDRAM	MT41K64M16TW-107:J (Micron, 1Gbit: 8Mbit x16 x8 banks)	
オンボードクロック	50MHz (LVTTL) 200MHz (LVDS), 外部入力可能	
外部クロック入力	ユーザ I/O コネクタ (CNA-11/12, CNB-11/12)	
ユーザ I/O	128 (CNA:64, CNB:64)	
ステータス LED	POWER (赤), DONE (青)	
汎用スイッチ	2 (Push x1, DIP x1bit)	
汎用 LED	4	
リセット信号	コンフィグ用リセット信号 (電源電圧検出 typ. 240ms)	
I/O コネクタ	FX10A-80P/8-SV1 (ヒロセ電機)	
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
消費電流	N/A (設計デザインに依存します)	
基板寸法	43 x 54 [mm]	
質量	約 18[g]	
付属品	SIL7 ロングピンヘッダ x1 FX10A-80S/8-SV (ヒロセ電機) x2	

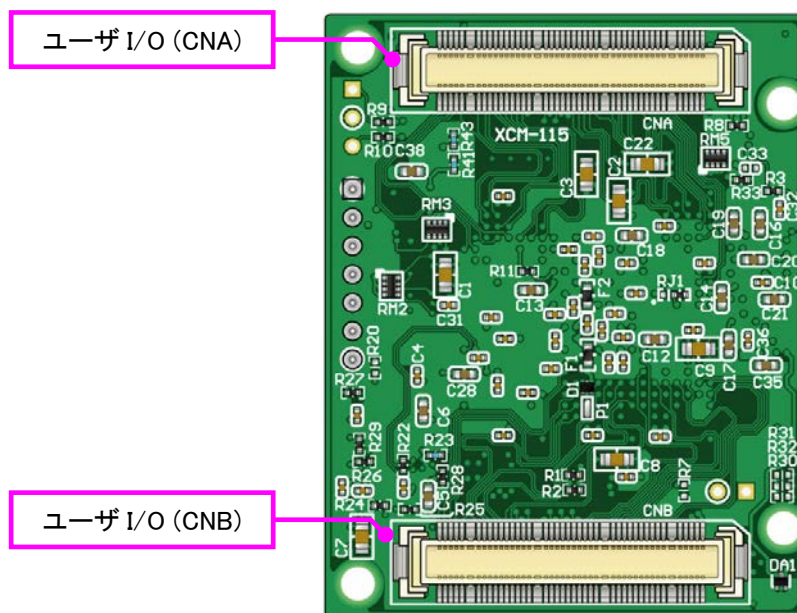
* これらの部品や仕様は変更となる場合がございます

5. 製品概要

5.1 各部の名称

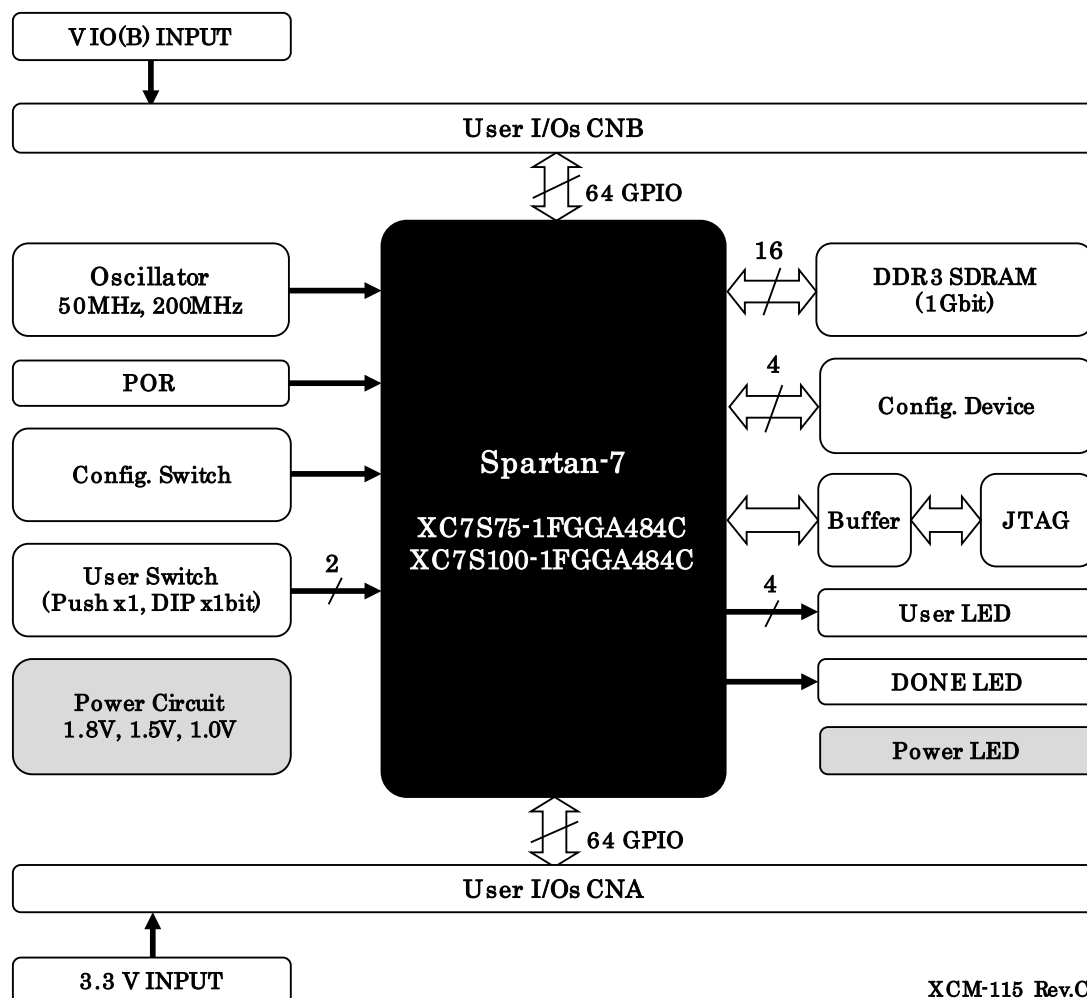


部品面



はんだ面

5.2 ブロック図



XCM-115 Rev.C

5.3 電源

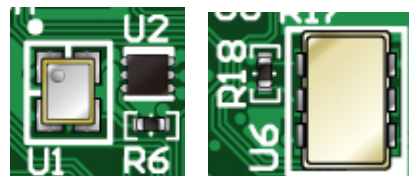
電源はCNA, CNBより3.3Vを供給してください。内部で必要になる電源はオンボードレギュレータにより生成されます。外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。

5.4 ユーザ I/O

CNAに接続されたI/O (IOA)の電源はオンボード3.3Vに固定されています。
 CNBに接続されたI/O (IOB)の電源はそれぞれのコネクタから供給することが可能です。
 未接続にはできません。
 ピン割付、配線長についてはサポートページより「ピン割付表」を参照してください。

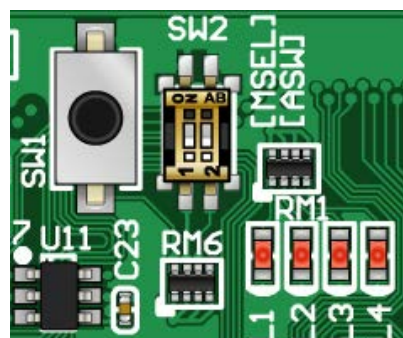
5.5 クロック

オンボードクロックとして 50MHz(U1)と 200MHz(U6)を搭載しています。各コネクタより外部クロックを入力することも可能です。



5.6 汎用 LED、汎用 SW

汎用 LED(L1-4)は Low 出力で点灯させる事が出来ます。
汎用プッシュスイッチ(SW1)はプルアップされていますので、ボタン押し込みにより Low 信号を FPGA に入力できます。汎用 DIP スイッチ(SW2[2])はプルアップされていますので、ON 設定により Low 信号を FPGA に入力できます。



5.7 デバッグ I/F

3 ピン I/F(CN2)を汎用用途にご使用頂けます。直列抵抗を介して FPGA に接続されています。

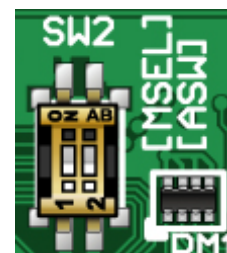


5.8 設定スイッチ

設定スイッチ(SW2)によりコンフィギュレーションモードを変更することが可能です。

番号	1	2
記号	MSEL	ASW
説明	コンフィギュレーション モード設定	汎用

コンフィギュレーションモード	SW2[1]
Master Serial/SPI	ON
JTAG (Slave Serial)	OFF



6. FPGA コンフィギュレーション

JTAG コネクタ(CN1)よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

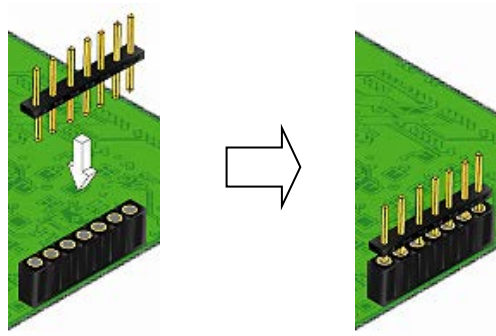
コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT
6	TDI	IN
7	GND	I/O



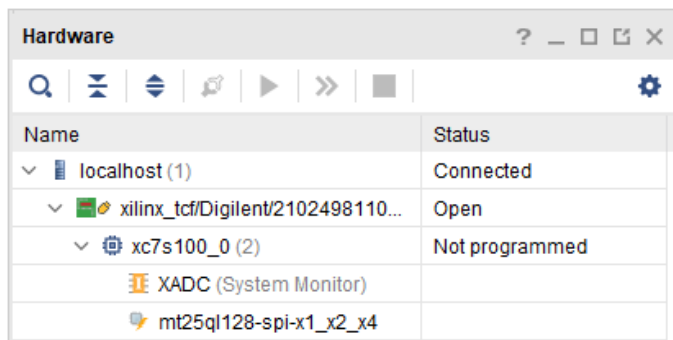
ダウンロードケーブルとの接続には付属のロングピンヘッダをご使用下さい。



使用例

6.1 JTAG/バウンダリスキャン

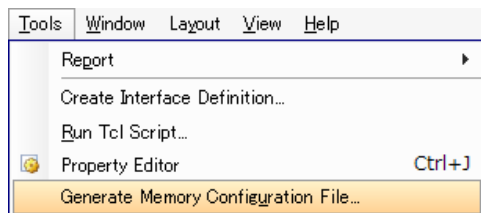
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションは次節をご参照ください。



6.2 コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。作成方法の一例を以下に示します。

(1) Hardware Manager にて【Tools -Generate Memory Configuration File】をクリックします



(2) 設定画面にて必要な項目を設定し【OK】をクリックします

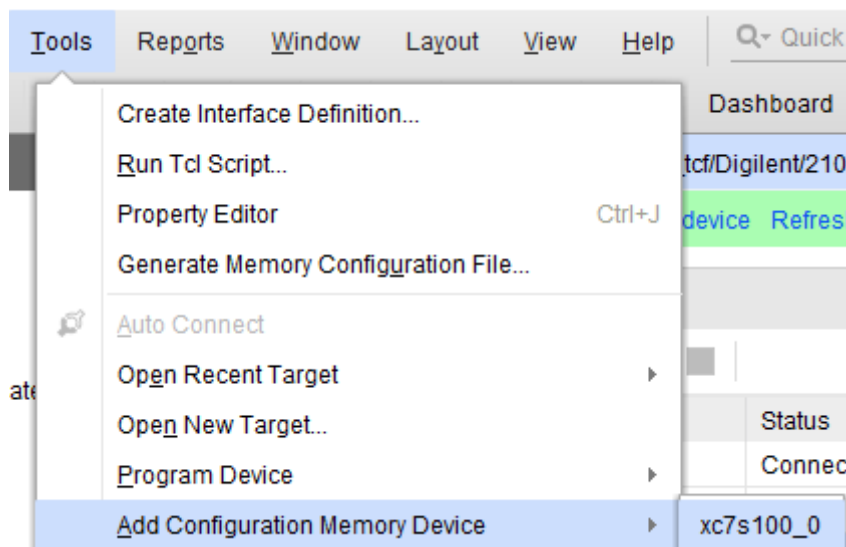
- Memory Part: mt25ql128-spi-x1_x2_x4
- Filename: 作成する MCS ファイル名
- Interface: 任意
- Bitfile: 変換する Bitstream ファイル



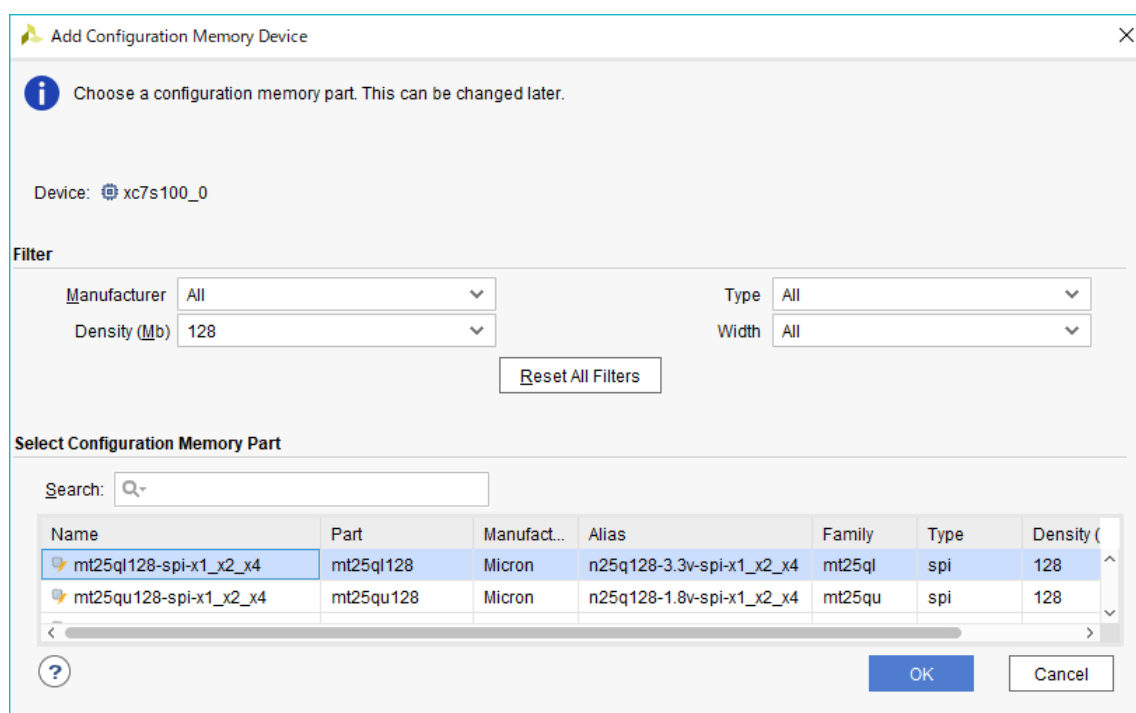
6.3 コンフィグ ROM アクセス

アクセスを行うには認識しているデバイスに対してコンフィグ ROM を追加します。

(1)【Tools – Add Configuration Memory Device】から認識中のデバイスを選択します



(2) デバイスは【mt25ql128-spi-x1_x2_x4】を選択します



(3)MCS ファイルと実行するコマンドを選択し【OK】をクリックします

Program Configuration Memory Device

Select a configuration file and set programming options.

Memory Device: ...

Configuration file: ...

PRM file: ...

State of non-config mem I/O pins: ▾

Program Operations

Address Range: ▾

Erase

Blank Check

Program

Verify

Verify Checksum

SVF Options

Create SVF Only (no program operations)

SVF File: ...

Spartan-7 FGGA484 FPGA ボード

XCM-115 シリーズ Rev2
ユーザーズマニュアル

2022/07/04 Ver.2.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <https://www.hdl.co.jp/> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
