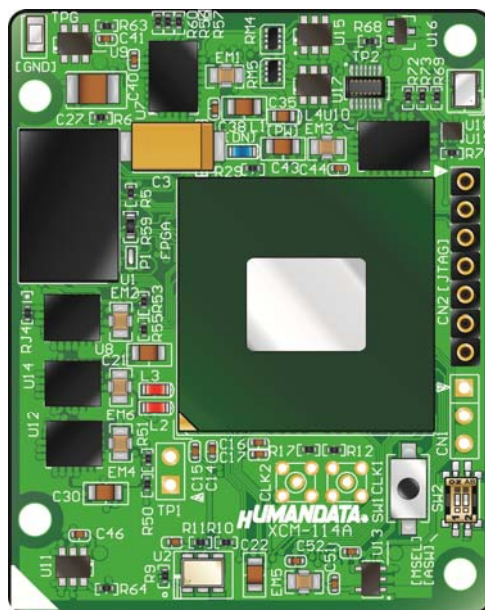




Artix-7 F484 FPGA ボード
XCM-114
ユーザーズマニュアル
Ver.1.1



ヒューマンデータ


目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 開発環境.....	2
3. 仕様.....	3
4. 製品概要.....	4
4.1 各部の名称.....	4
4.2 ブロック図.....	5
4.3 電源入力.....	5
4.4 I/O (CNA/CNB).....	5
4.5 クロック.....	6
4.6 汎用 LED、汎用スイッチ.....	6
4.7 デバッグ I/F.....	6
4.8 設定スイッチ.....	6
5. FPGA コンフィギュレーション.....	7
5.1 JTAG/バウンダリスキャン.....	7
5.2 コンフィグ ROM ファイルの作成.....	7
5.3 コンフィグ ROM アクセス.....	8
6. サポートページ.....	9
7. 付属資料.....	9
8. お問い合わせについて.....	9

● はじめに

この度は Artix-7 F484 FPGA ボード XCM-114 をお買い上げいただきまして、誠にありがとうございます。XCM-114 は、XILINX の高性能 FPGA Artix-7 シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、 7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2014/10/30	1.0	・初版発行
2015/11/27	1.1	・「3.仕様」コンフィグ ROM を変更 ・「4.2 ブロック図」を変更

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード XCM-114	1
付属品	1
マニュアル(本書)	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

2. 開発環境

FPGA の内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

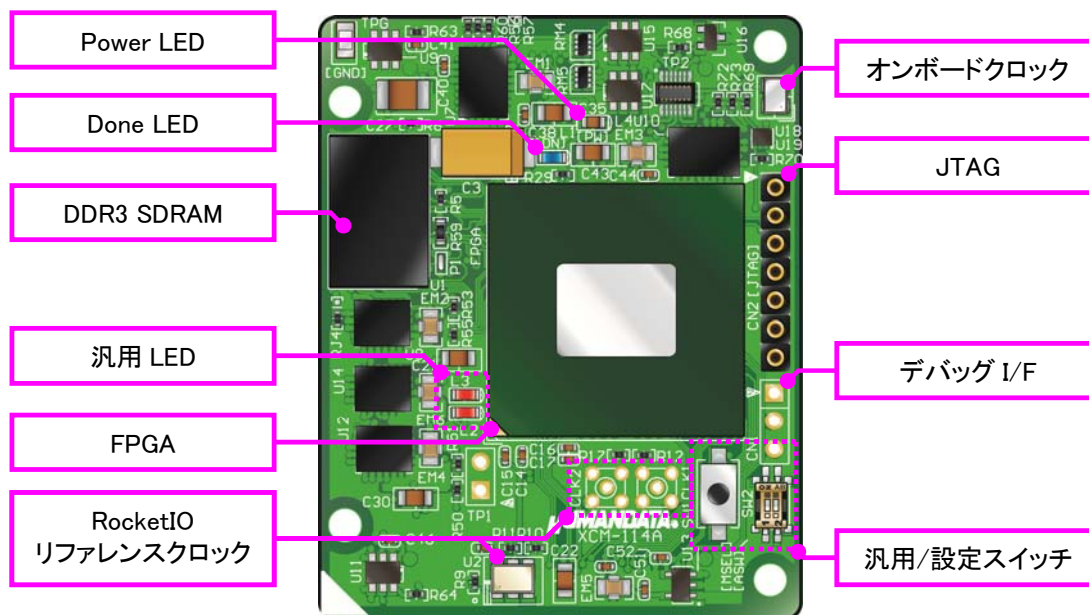
3. 仕様

製品型番	XCM-114 -35T	XCM-114 -50T	XCM-114 -75T	XCM-114 -100T	XCM-114 -200T
搭載 FPGA	XC7A35T -1FGG484C	XC7A50T -1FGG484C	XC7A75T -1FGG484C	XC7A100T -1FGG484C	XC7A200T -1FBG484C
コンフィグ ROM	N25Q064 (64Mbit)				N25Q128 (128Mbit)
電源	DC 3.3 [V]				
DDR3 SDRAM	MT41J64M16JT-15E (Micron, 1Gbit: 8Mbit x16 x8 banks)				
オンボードクロック	50MHz (外部供給可能)				
外部クロック入力	ユーザ I/O コネクタ (CNA-11/12, CNB-11/12)				
ユーザ I/O	128 (CNA:64, CNB:64)				
ステータス LED	POWER(赤), DONE(青)				
汎用スイッチ	2 (Push x1, DIP x1bit)				
汎用 LED	2				
RocketIO (高速シリアル I/F)	Tx: 2 チャンネル Rx: 2 チャンネル				
RocketIO リファレンスクロック	125MHz (LVDS) 外部入力: MMCX コネクタ (出荷時不実装)				
リセット信号	コンフィグ用リセット信号(電源電圧検出 typ.240ms)				
I/O コネクタ	FX10A-80P/8-SV1 (ヒロセ電機)				
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ				
プリント基板	ガラスエポキシ 8 層基板 1.6t				
消費電流	N/A (設計デザインに依存します)				
基板寸法	43 x 54 [mm]				
質量	約 19[g]				
付属品	SIL7 ロングピンヘッダ x1 FX10A-80S/8-SV (ヒロセ電機)x2				

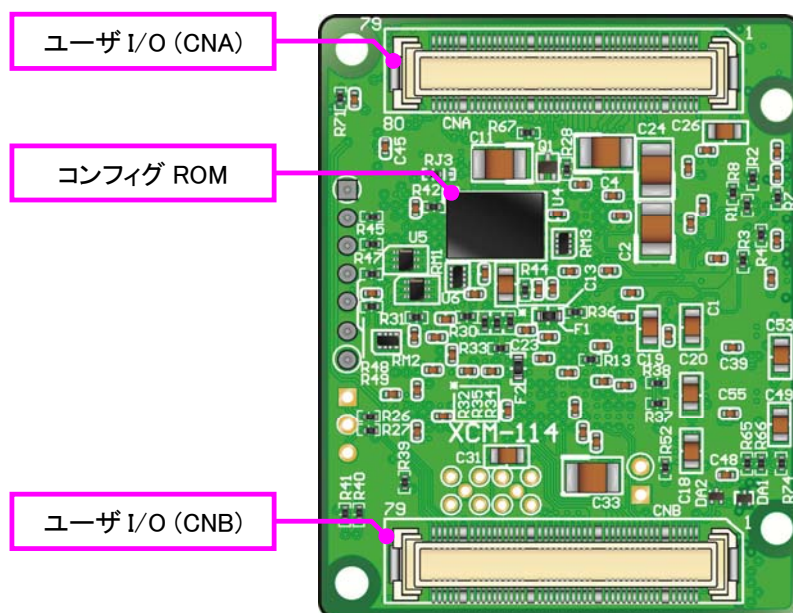
* これらの部品や仕様は変更となる場合がございます

4. 製品概要

4.1 各部の名称

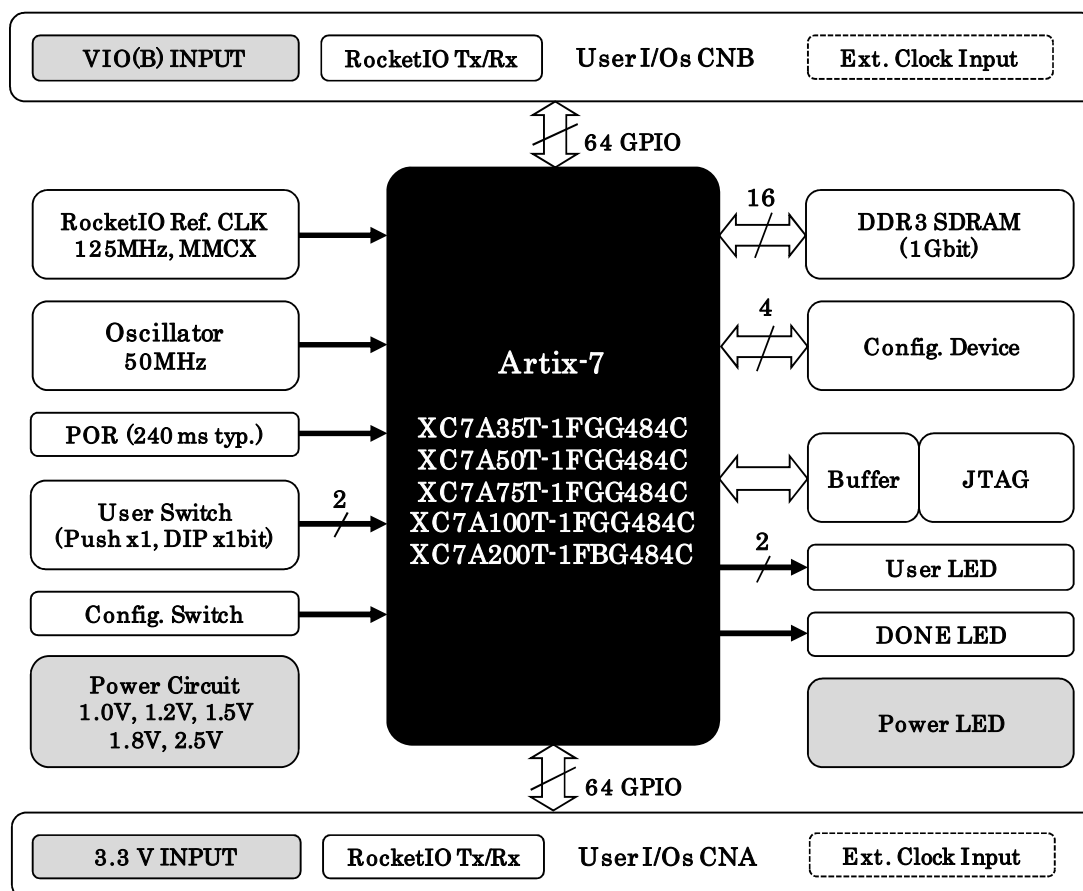


部品面



はんだ面

4.2 ブロック図



XCM-114 Rev.B

4.3 電源入力

電源は CNA, CNB より 3.3V を供給してください。内部で必要になる電源はオンボードレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

4.4 I/O (CNA/CNB)

FPGA の I/O Bank は Bank Group A/B にグループ化されています。詳しくは回路図をご参照ください。

CNA に接続された I/O が属する Bank Group A の Vcco は 3.3V に固定されています。

CNB に接続された I/O が属する Bank Group B の Vcco は CNB より入力可能です。設計にあった電圧を入力してください

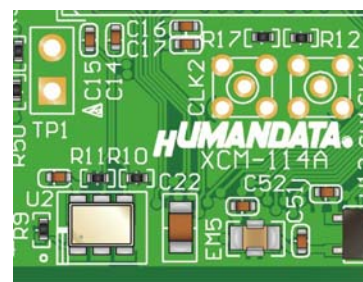
ピン割付、配線長については製品の資料ページより「ピン割付表」をご参照ください。

4.5 クロック

オンボードクロックとして 50MHz(U18)を搭載しています。
CNA、CNB より外部クロックを入力することも可能です。

RocketIO 用のリファレンスクロックとして 125MHz(U2)を搭載しています。MMCX コネクタを実装することにより、外部入力することも可能です。

詳しくは回路図をご参照ください。



4.6 汎用 LED、汎用スイッチ

汎用 LED (L2, L3) は Low 出力で点灯させる事が出来ます。

汎用プッシュスイッチ (SW2) はプルアップされていますので、ボタン押し込みにより Low 信号を FPGA に入力できます。汎用 DIP スイッチ (SW1 [2]) はプルアップされていますので、ON 設定により Low 信号を FPGA に入力できます。



4.7 デバッグ I/F

CN1 を汎用用途にご使用頂けます。

抵抗を介して Bank Group A の FPGA ピンに接続されています。



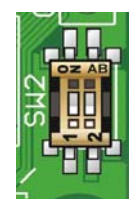
4.8 設定スイッチ

設定スイッチ(SW2)によりコンフィギュレーションモードを変更することが可能です。コンフィギュレーションモードの詳細につきましては FPGA のコンフィギュレーションユーザガイドをご参照ください。

SW2

番号	1	2
ネット	X_M2	ASW
説明	コンフィグモード設定	汎用

コンフィギュレーションモード	SW2[1]の設定
JTAG	OFF
Master Serial SPI	ON



5. FPGA コンフィギュレーション

JTAG コネクタ(CN2)よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

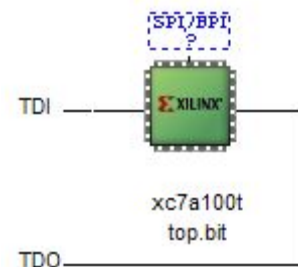
CN2

ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT
6	TDI	IN
7	GND	I/O



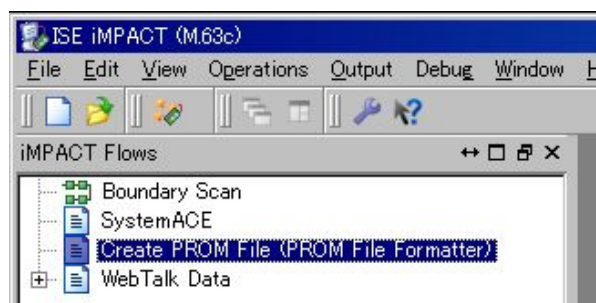
5.1 JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。

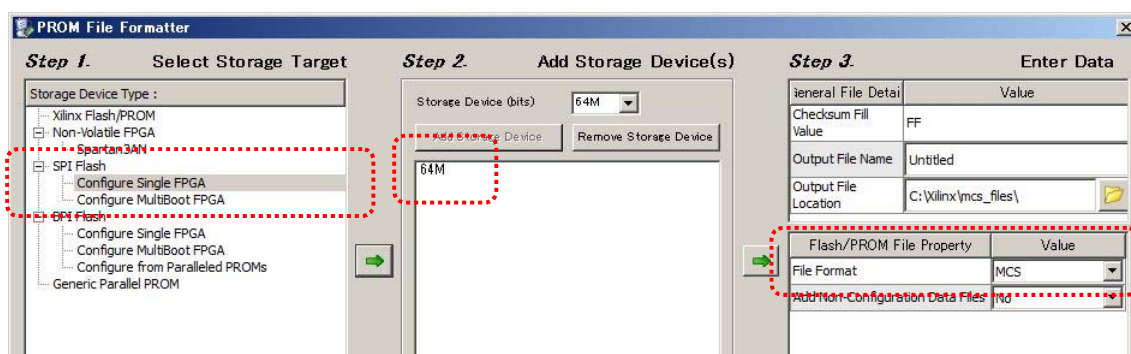


5.2 コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。



(1) iMPACT にて「Create PROM File」をダブルクリックします



(2) 設定画面にて必要な項目を設定します

- Storage Target: SPI Flash - Configure Single FPGA
- Storage Device: 64M または 128M(1つ)
- File Format: MCS
- その他項目 : 任意

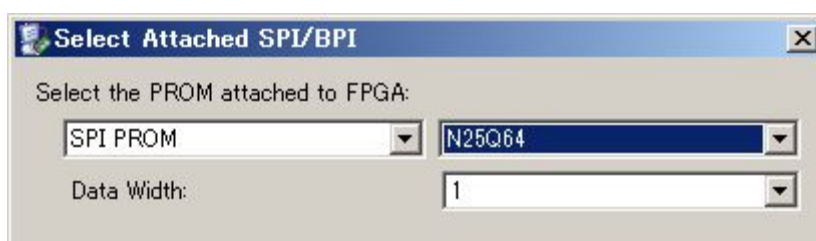
(3) 使用する bit ファイルを選択します

(4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします

(5)「Generate Succeeded」と表記されれば完了です

5.3 コンフィグ ROM アクセス

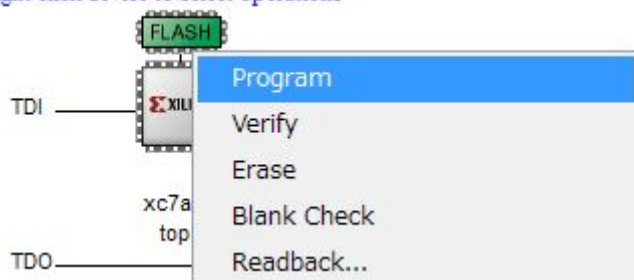
バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MCS ファイルを割付けます。デバイスには【SPI PROM - N25Q64(または N25Q128)】を選択してください。【Data Width】の設定は bit ファイル生成時の設定と合わせて下さい。



ROM アイコンの右クリックメニューよりコマンドを実行できます。

コマンド実行時には設定 SW を操作し、コンフィギュレーションモードを【Master Serial SPI】にして下さい。

Right click device to select operations



6. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-114/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト ...等

またサポートセンターも合わせてご利用ください。

<http://www3.hdl.co.jp/spc/>

7. 付属資料

1. 基板外形図
2. 基板回路図(別紙)

8. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

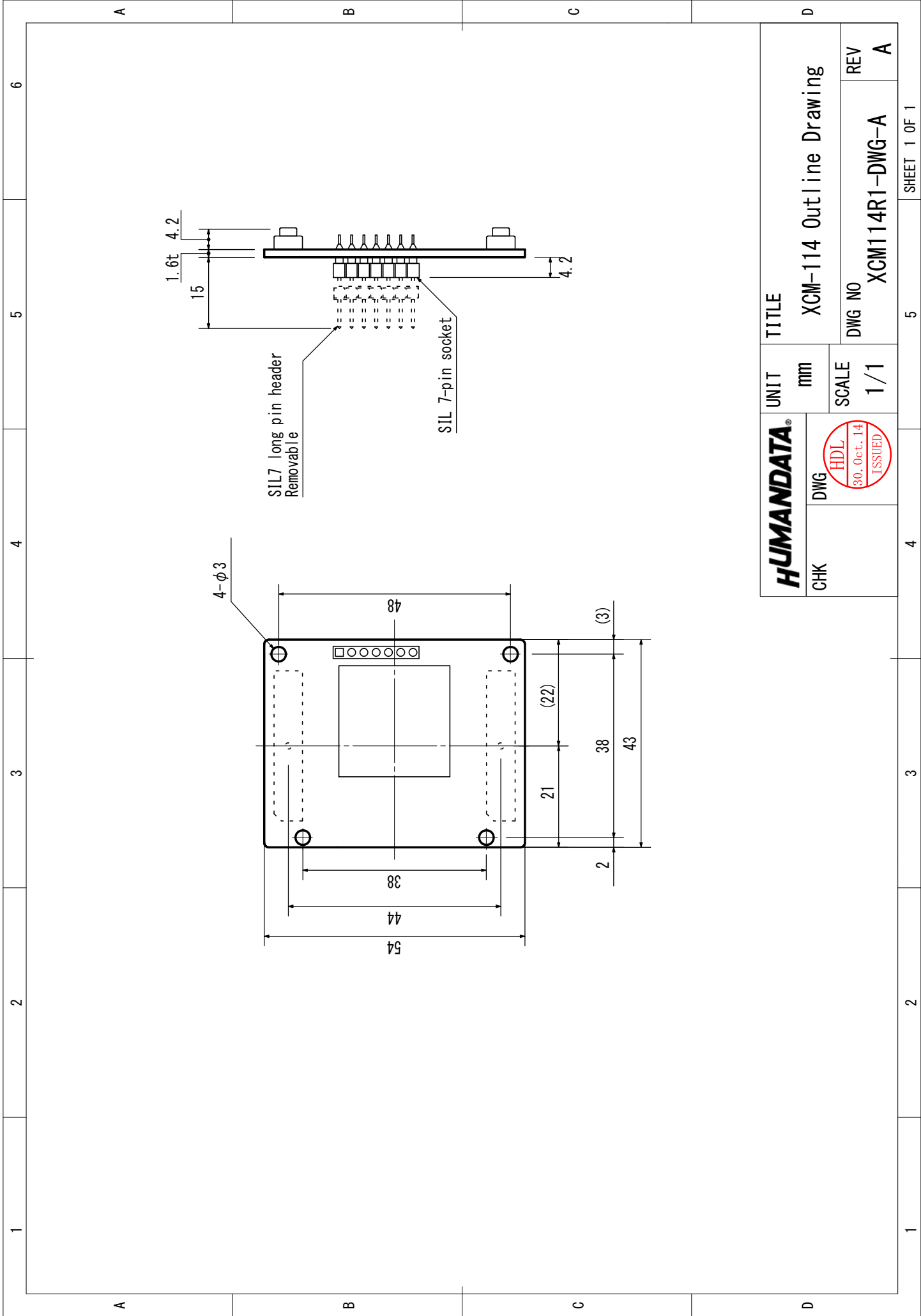
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただいております。あらかじめご了承下さいませ。



HUMANDATA		UNIT	TITLE
CHK	DWG	mm	XCM-114 Outline Drawing
		SCALE	REV
		1/1	A
		DWG NO	XCM114R1-DWG-A

Artix-7 F484 FPGA ボード

XCM-114 シリーズ
ユーザーズマニュアル

2014/10/30 Ver.1.0

2015/11/24 Ver.1.1

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
