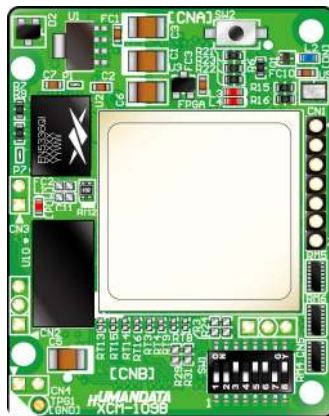


Virtex-5 FPGA ボード
XCM-109
ユーザーズマニュアル
Ver. 1.3



目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	3
2. 仕様.....	3
3. 製品説明.....	4
3.1. 各部名称.....	4
3.2. ブロック図.....	5
3.3. 電源.....	5
3.4. クロック.....	5
4. 開発環境.....	6
5. FPGA コンフィギュレーション.....	6
5.1. ディップスイッチ.....	6
5.2. JTAG コネクタ (CN1).....	7
6. コンフィギュレーション ROM.....	8
6.1. プログラミングファイルの作成.....	8
6.2. 書込み.....	9
6.3. 消去.....	9
6.4. FPGA へのコンフィギュレーション.....	9
7. FPGA ピン割付け表.....	10
7.1. ユーザ I/O (CNA).....	10
7.2. ユーザ I/O (CNB).....	11
7.3. SDRAM (U10).....	12
7.4. オンボードクロック.....	13
7.5. 外部クロック入力.....	13
7.6. 汎用スイッチ.....	13
7.7. 汎用 LED.....	13
7.8. シリアル I/F (CN2).....	13
7.9. 温度ダイオード (CN4).....	13
8. サポートページ.....	14
9. 付属資料.....	14


● はじめに

この度は Virtex-5 ブレッドボード XCM-109 をお買い上げいただきまして、誠にありがとうございます。

XCM-109 は、XILINX の高性能 FPGA Virtex-5LX シリーズを用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2010/06/08	1.0	・ 初版発行
2010/06/24	1.1	・ 誤植修正
2011/01/12	1.2	・ 仕様に XCM-109-LX85/110 を追記 ・ ブロック図修正
2011/10/04	1.3	・ 7.8 シリアル I/F (CN2) を修正

1. 製品の内容について

本パッケージには、以下のものが含まれています。 万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード XCM-109	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各1部の場合があります。（ご要望により追加請求できます）

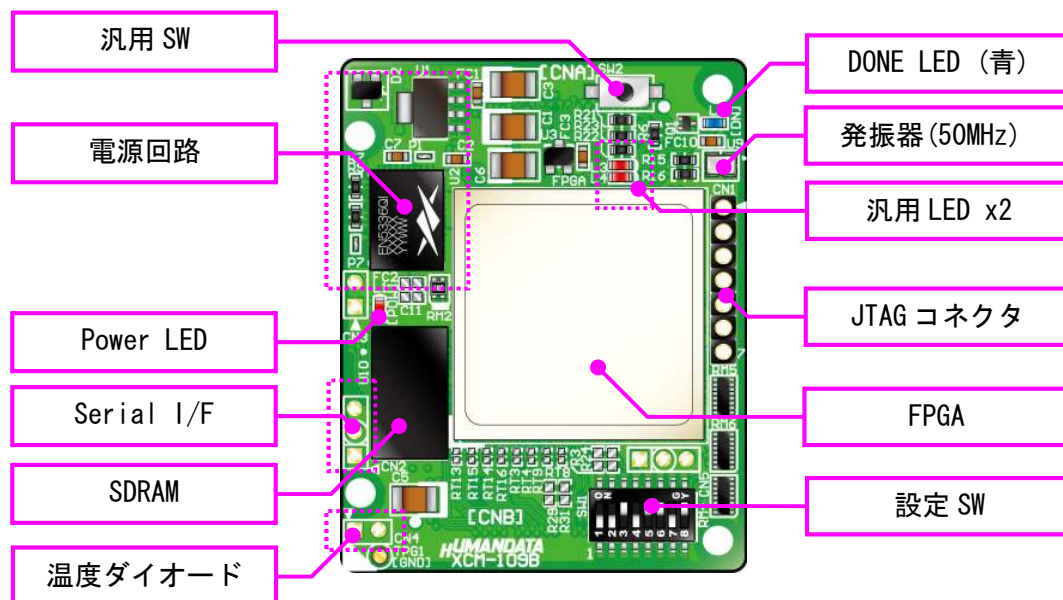
2. 仕様

製品型番	XCM-109-LX30	XCM-109-LX50	XCM-109-LX85	XCM-109-LX110
搭載 FPGA	XC5VLX30-1FFG676C	XC5VLX50-1FFG676C	XC5VLX85-1FFG676C	XC5VLX110-1FFG676C
コンフィグ ROM	M25P16-VMN6P (Numonyx, 16Mbit)		M25P32-VMW6TG (Numonyx, 32Mbit)	
SDRAM	MT48LC16M16A2BG-7E (Micron, 256Mb: 4Mb x16 x4 banks)			
オンボードクロック	50MHz（外部供給可能）			
電源	DC 3.3[V]			
消費電流	N/A（詳細はFPGA データシートをご参照ください）			
基板寸法	43 x 54 [mm]			
質量	約 23 [g]			
ユーザ I/O	128 本			
汎用スイッチ	1			
汎用 LED	2			
I/O コネクタ	FX10A-80P/8-SV1(71)（ヒロセ電機）			
プリント基板	ガラスエポキシ 8 層基板 1.6t			
リセット回路	内蔵（140ms min.）			
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ			
ステータス LED	POWER（赤）, DONE（青）			
付属品	SIL7 ロングピンヘッダ（本体に取付け済み） x1			
	FX10A-80S/8-SV(71)（ヒロセ電機） x2			

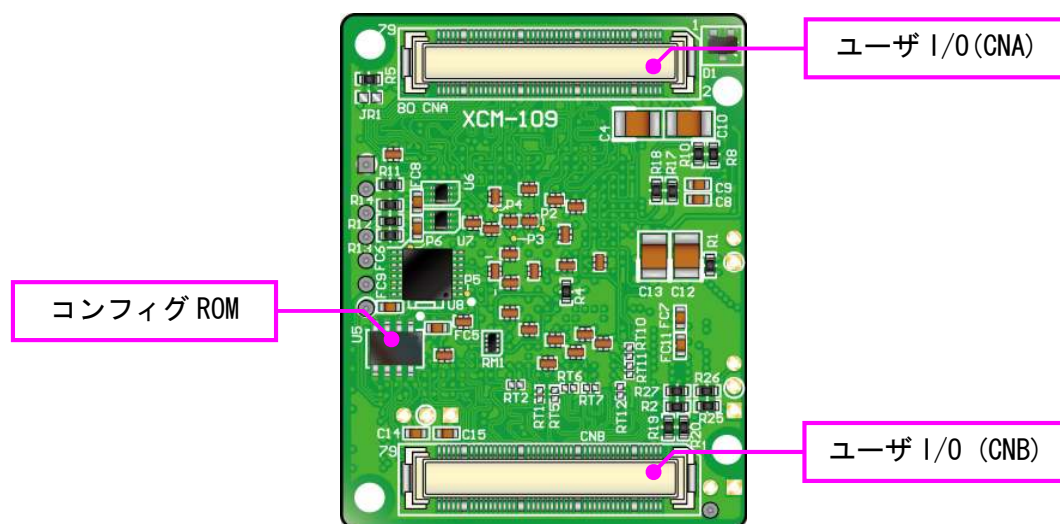
* これらの部品や仕様は変更となる場合がございます

3. 製品説明

3.1. 各部名称

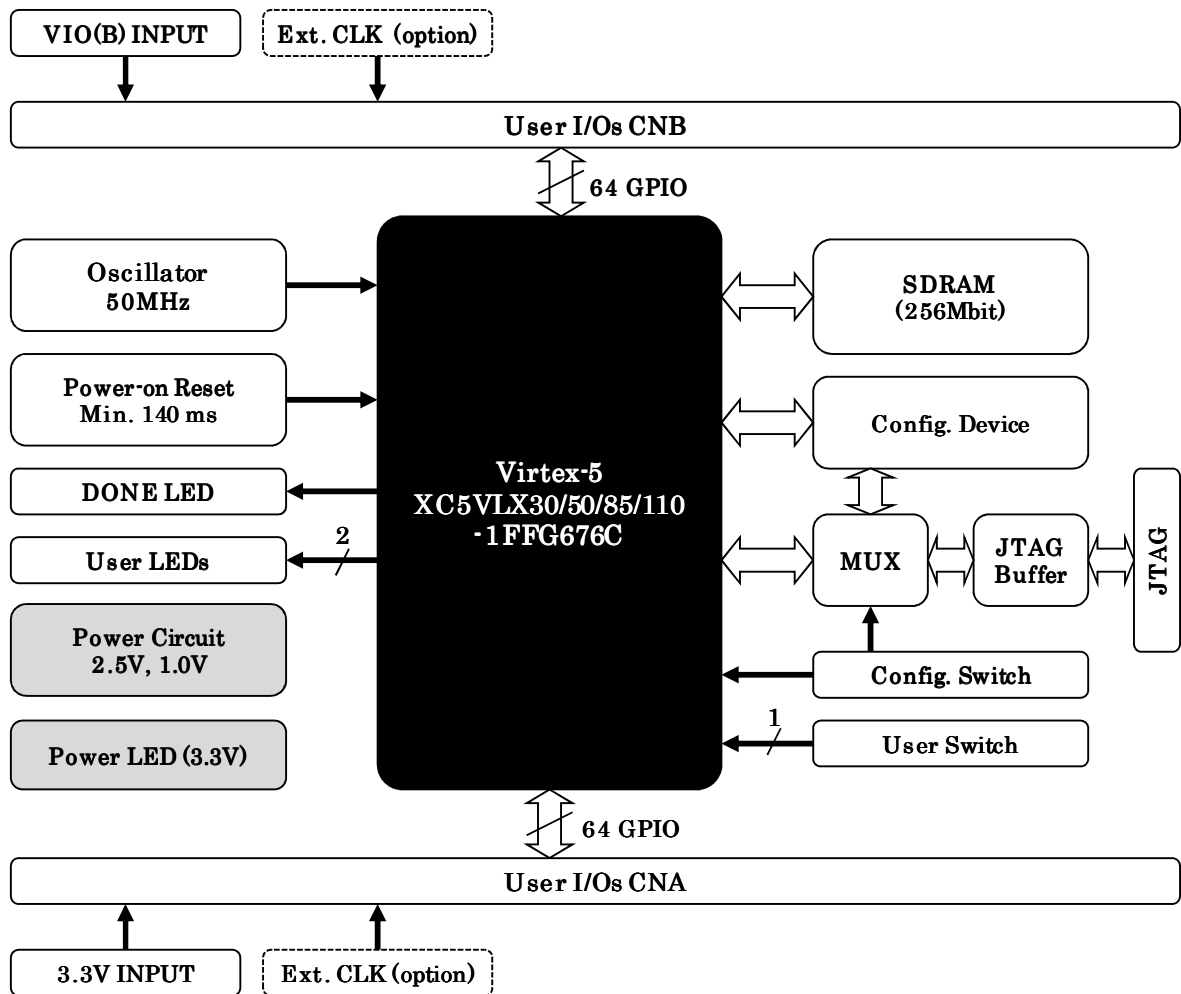


部品面



はんだ面

3.2. ブロック図



3.3. 電源

電源はCNA, CNBより3.3Vを供給してください。内部で必要になる2.5V、1.0Vはオンボードレギュレータにより生成されます。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。

詳しくはFPGAのデータシートや回路図などを参照してください。

3.4. クロック

オンボードクロックとして50MHzを搭載しています。

CNA、CNBより外部クロックを入力することが可能です。

4. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。~~これらの開発ツールは、XILINX 社が無償配布する ISE にて可能です。~~ 使用する際には、インターネットによるライセンス登録が必要となります。
製品開発時の ISE 環境は Ver. 10.1.03 です。

5. FPGA コンフィギュレーション

5.1. ディップスイッチ

SW1 により JTAG の動作モードなどを変更することが可能です。各ピンの詳細については Virtex-5 ユーザガイドをご参照ください。

SW1

番号	1	2	3	4	5	6	7	8
記号	FS0	FS1	FS2	HSWAP_EN	X_M2	X_M1	X_M0	X_PROG
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
説明	SPI モード変数設定			IO Pull-up	モード設定			ターゲット指定

	マスタ SPI	スレーブシリアル	JTAG
X_M[2.0]の設定値	0 : 0 : 1	1 : 1 : 1	1 : 0 : 1

- **FS0, FS1, FS2**
SPI モード変数設定ピンです。
- **HSWAP_EN**
コンフィギュレーション中の I/O の状態をコントロールします。
ON : プルアップ
OFF : トライステート
- **X_M2, X_M1, X_M0**
動作モードを設定します。上表に示したモードは一部のものです。
- **X_PROG**
JTAG による書込み対象を選択します。
ON : コンフィギュレーション ROM
OFF : FPGA

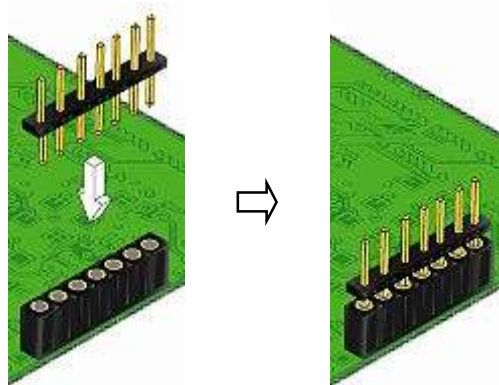
5.2. JTAG コネクタ (CN1)

FPGA へのコンフィギュレーション、及び内部マスタ SPI Flash モード時に使用します。ピン配置は次表のとおりです。XILINX 社の純正ケーブルをお使い頂けます。ケーブル接続時は誤接続に注意してください。

CN1

ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC(3.3V)	OUT
6	TDI	IN
7	GND	I/O

ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



注意

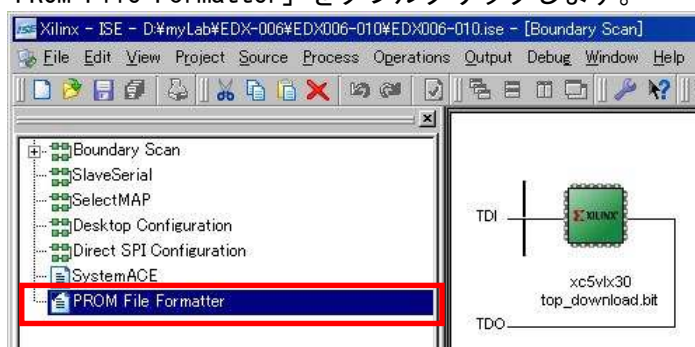
ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

6. コンフィギュレーション ROM

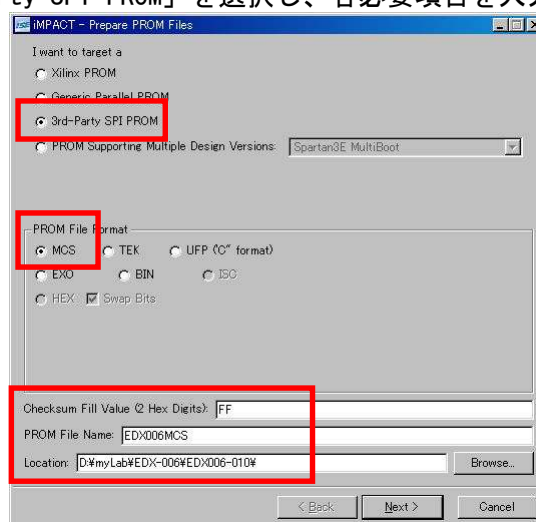
6.1. プログラミングファイルの作成

コンフィギュレーション ROM へ書き込むためのファイル (MCS) の作成方法を以下に示します。

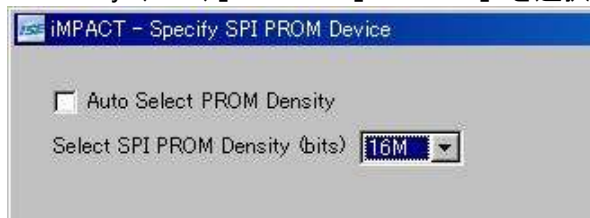
1. iMPACTにて「PROM File Formatter」をダブルクリックします。



2. Targetに「3rd-Party SPI PROM」を選択し、各必要項目を入力します。

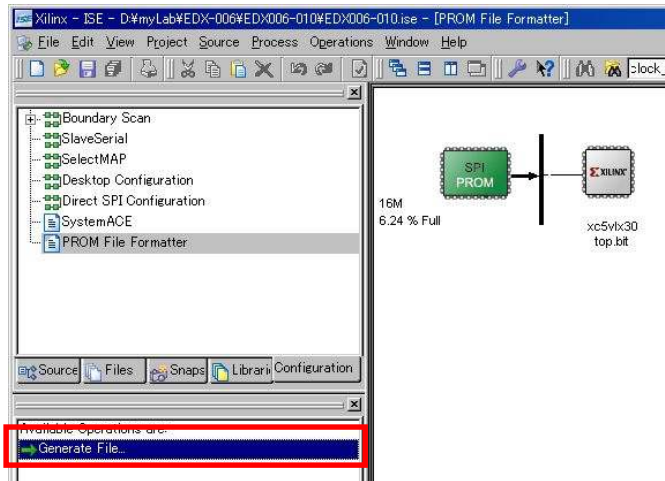


3. 「Select SPI PROM Density (bits)」へ「16M」or「32M」を選択し、Next をクリックします。



4. 使用する bit ファイルを選択します。

5. iMPACT Processes のタブにある「Generate File…」をダブルクリックします。



6. 「PROM File Generation Succeeded」と表記されれば完了です。

6.2. 書込み

コンフィギュレーションモードをマスタ SPI に設定する必要があります。下記のように設定し iMPACT から書込みを行ってください。詳細は5.1をご参照ください。

SW1

	1	2	3	4	5	6	7	8
ON	X	X	X	X	■	■		■
OFF	X	X	X	X			■	

X : Don't Care

6.3. 消去

デバイスアイコンを選択し、右クリックから「Erase…」をクリックします。成功すると「Erase Succeeded」と表記されます。

6.4. FPGA へのコンフィギュレーション

コンフィギュレーション ROM から FPGA にコンフィギュレーションする場合は、設定スイッチを下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON	X	X	X	X	■	■		
OFF	X	X	X	X			■	■

X : Don't Care

7. FPGA ピン割付け表

7.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA Pin	CNA ピン		FPGA Pin	NET LABEL	BANK Group
A	V33A	3.3 V (Input)	1	2	3.3 V (Input)	V33A	A
A	V33A	3.3 V (Input)	3	4	3.3 V (Input)	V33A	A
		Power(Reserved)	5	6	Power(Reserved)		
		Power(Reserved)	7	8	Power(Reserved)		
		N.C	9	10	N.C		
A		GND	-	-	GND		A
A	CLK1P	AD13	11	12	AC14	CLK1N	A
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	A20	17	18	C24	IOA32	A
A	IOA1	B20	19	20	D24	IOA33	A
A	IOA2	A22	21	22	F24	IOA34	A
A	IOA3	B22	23	24	F25	IOA35	A
A	IOA4	A23	25	26	G24	IOA36	A
A	IOA5	A24	27	28	G25	IOA37	A
A	IOA6	B25	29	30	J24	IOA38	A
		GND	-	-	GND		
A	IOA7	A25	31	32	H24	IOA39	A
A	IOA8	B26	33	34	L24	IOA40	A
A	IOA9	C26	35	36	L25	IOA41	A
A	IOA10	D25	37	38	M24	IOA42	A
A	IOA11	D26	39	40	N24	IOA43	A
A	IOA12	E25	41	42	P25	IOA44	A
A	IOA13	E26	43	44	P24	IOA45	A
A	IOA14	G26	45	46	T25	IOA46	A
A	IOA15	H26	47	48	T24	IOA47	A
A	IOA16	J25	49	50	T20	IOA48	A
		GND	-	-	GND		
A	IOA17	J26	51	52	T19	IOA49	A
A	IOA18	K25	53	54	V23	IOA50	A
A	IOA19	K26	55	56	V24	IOA51	A
A	IOA20	M25	57	58	W23	IOA52	A
A	IOA21	M26	59	60	W24	IOA53	A
A	IOA22	N26	61	62	AA23	IOA54	A
A	IOA23	P26	63	64	AA24	IOA55	A
A	IOA24	R26	65	66	AB26	IOA56	A
A	IOA25	R25	67	68	AC26	IOA57	A
A	IOA26	U26	69	70	AB25	IOA58	A
		GND	-	-	GND		
A	IOA27	V26	71	72	AA25	IOA59	A
A	IOA28	W26	73	74	AC24	IOA60	A
A	IOA29	W25	75	76	AB24	IOA61	A
A	IOA30	Y26	77	78	AC23	IOA62	A
A	IOA31	Y25	79	80	AC22	IOA63	A

7.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA Pin	CNB ピン		FPGA Pin	NET LABEL	BANK Group
B	VIO(B)	VIO(B) (Input)	1	2	VIO(B) (Input)	VIO(B)	B
B	VIO(B)	VIO(B) (Input)	3	4	VIO(B) (Input)	VIO(B)	B
		Power(Reserved)	5	6	Power(Reserved)		
		Power(Reserved)	7	8	Power(Reserved)		
		N.C	9	10	N.C		
		GND	-	-	GND		
B	CLK2P	AB10	11	12	AB9	CLK2N	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	B6	17	18	A3	IOB32	B
B	IOB1	B5	19	20	A2	IOB33	B
B	IOB2	C4	21	22	B2	IOB34	B
B	IOB3	B4	23	24	B1	IOB35	B
B	IOB4	C3	25	26	C1	IOB36	B
B	IOB5	C2	27	28	D1	IOB37	B
B	IOB6	E3	29	30	E2	IOB38	B
		GND	-	-	GND		
B	IOB7	F3	31	32	E1	IOB39	B
B	IOB8	G4	33	34	F2	IOB40	B
B	IOB9	H4	35	36	G2	IOB41	B
B	IOB10	H3	37	38	G1	IOB42	B
B	IOB11	J3	39	40	H1	IOB43	B
B	IOB12	L4	41	42	H2	IOB44	B
B	IOB13	L3	43	44	J1	IOB45	B
B	IOB14	M4	45	46	K1	IOB46	B
B	IOB15	N4	47	48	L2	IOB47	B
B	IOB16	P4	49	50	M1	IOB48	B
		GND	-	-	GND		
B	IOB17	P5	51	52	N1	IOB49	B
B	IOB18	T5	53	54	P1	IOB50	B
B	IOB19	T4	55	56	R1	IOB51	B
B	IOB20	U4	57	58	R2	IOB52	B
B	IOB21	V3	59	60	T2	IOB53	B
B	IOB22	W3	61	62	R3	IOB54	B
B	IOB23	Y3	63	64	T3	IOB55	B
B	IOB24	Y2	65	66	V2	IOB56	B
B	IOB25	AA2	67	68	V1	IOB57	B
B	IOB26	AC1	69	70	AA3	IOB58	B
		GND	-	-	GND		
B	IOB27	AC2	71	72	AB4	IOB59	B
B	IOB28	AB1	73	74	AE1	IOB60	B
B	IOB29	AB2	75	76	AD1	IOB61	B
B	IOB30	AD3	77	78	AE2	IOB62	B
B	IOB31	AD4	79	80	AF2	IOB63	B

7.3. SDRAM (U10)

SDRAM		NET LABEL	FPGA PIN	配線長 [mm]
Pin Name	Pin			
CAS#	F7	NSDCAS	B14	29
CKE	F3	NSDCLKE	H17	28
CS#	G9	NSDCS	F9	27
RAS#	F8	NSDRAS	F15	28
WE#	F9	NSDWE	H14	30
A0	H7	SDADD0	C17	27
A1	H8	SDADD1	D18	29
A2	J8	SDADD2	E20	29
A3	J7	SDADD3	B15	28
A4	J3	SDADD4	G9	29
A5	J2	SDADD5	D20	27
A6	H3	SDADD6	H8	29
A7	H2	SDADD7	G20	29
A8	H1	SDADD8	B17	30
A9	G3	SDADD9	F18	30
A10	H9	SDADD10	F10	29
A11	G2	SDADD11	F19	27
A12	G1	SDADD12	B21	29
BA0	G7	SDBS0	D16	30
BA1	G8	SDBS1	E17	27
DQ0	A8	SDD0	H21	30
DQ1	B9	SDD1	G19	28
DQ2	B8	SDD2	E15	27
DQ3	C9	SDD3	C22	27
DQ4	C8	SDD4	E12	27
DQ5	D9	SDD5	C23	27
DQ6	D8	SDD6	G14	27
DQ7	E9	SDD7	E22	29
DQ8	E1	SDD8	B19	30
DQ9	D2	SDD9	A14	27
DQ10	D1	SDD10	A18	30
DQ11	C2	SDD11	C16	30
DQ12	C1	SDD12	A19	29
DQ13	B2	SDD13	A15	28
DQ14	B1	SDD14	C21	30
DQ15	A2	SDD15	C18	28
LDQM	E8	SDLQDM	F12	29
UDQM	F1	SDUDQM	A17	29
CLK	F2	SDDCLK_0 (*1)	D13	29
		SDDCLK_FB (*2)	F14	27

(*1) 抵抗 (R27) を介して FPGA に接続されています

(*2) 抵抗 (R2) を介して FPGA に接続されています

7.4. オンボードクロック

周波数	NET LABEL	FPGA PIN
50MHz	GCLK1	E18
	GCLK2	D15

7.5. 外部クロック入力

コネクタ	NET LABEL	FPGA PIN
CNA 11	CLK1P	AD13
CNA 12	CLK1N	AC14
CNB 11	CLK2P	AB10
CNB 12	CLK2N	AB9

7.6. 汎用スイッチ

SW	NET LABEL	FPGA PIN
SW2	PSW0	N23

7.7. 汎用 LED

LED	NET LABEL	FPGA PIN
L3	LED0	R23
L4	LED1	P23

7.8. シリアル I/F (CN2)

コネクタ番号	NET LABEL	FPGA PIN
1	D_TXD	E10
2	GND	-
3	D_RXD	E11

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。
汎用ピンとしてもご使用頂けます。詳しくは回路図をご参照ください。

7.9. 温度ダイオード (CN4)

コネクタ番号	FPGA PIN
1	DXP
2	DXN

FPGA の温度測定用ダイオードに直結します。外部での温度監視にご使用頂けます。
弊社 UTL-015 をご使用頂けます。詳しくは回路図、データシートをご参照ください。

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-109/index.html>

http://www.hdl.co.jp/support_c.html

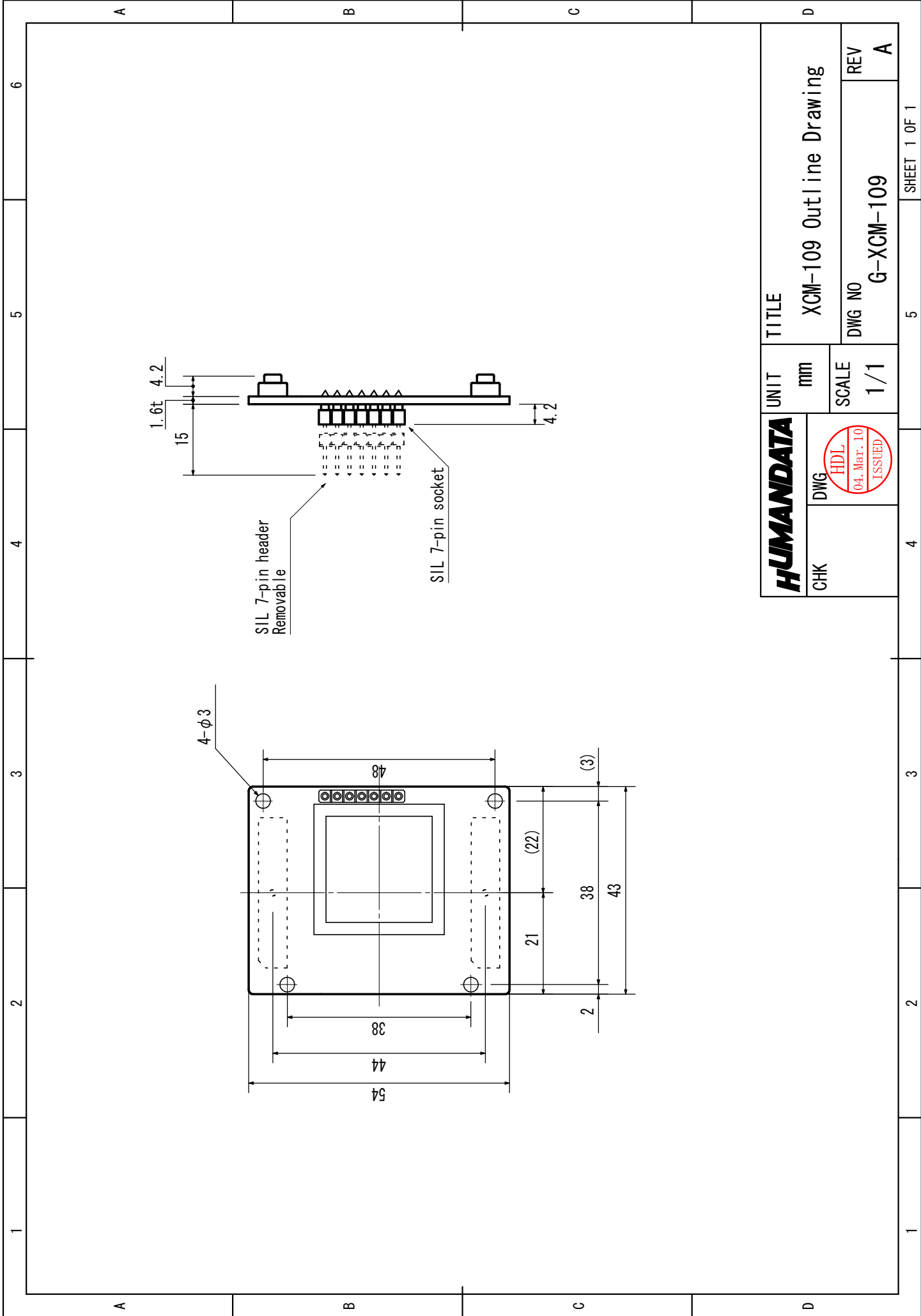
- 回路図
 - FPGA ピン割付表
 - 外形図
 - 基板図
 - ネットリスト
- ... 等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

9. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



CHK	DWG		UNIT	TITLE
			mm	XCM-109 Outline Drawing
			SCALE	REV
			1/1	A
			DWG NO	
			G-XCM-109	

Virtex-5 FPGA ボード
XCM-109
ユーザーズマニュアル

2010/06/08 Ver.1.0
2010/06/24 Ver.1.1
2011/01/12 Ver.1.2

2011/10/04 Ver.1.3

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
