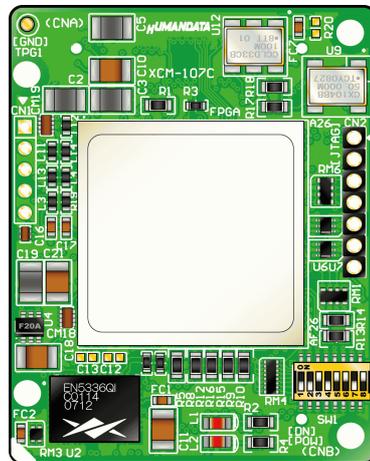


Virtex-5 ブレッドボード  
(ハーフカードサイズ)  
XCM-107 シリーズ  
ユーザーズマニュアル  
初版





# 目次

はじめに.....	1
ご注意.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品説明.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 開発環境.....	4
3.4. 電源入力.....	4
3.5. JTAG コネクタ.....	5
4. FPGA ピン割付表.....	6
4.1. CNA.....	6
4.2. CNB.....	7
4.3. CLK(50MHz).....	8
4.4. CLK(100MHz).....	8
5. ディップスイッチの説明.....	9
6. FPGA へのコンフィギュレーション.....	10
7. SPI-PROM への書き込み.....	12
7.1. MCS データ作成方法.....	12
7.2. ディップスイッチ(SW1)の設定.....	14
7.3. SPI-PROM へのデータ書き込み方法.....	14
7.4. SPI-PROM から FPGA へコンフィギュレーション.....	16
7.5. SPI-PROM データ消去方法.....	17
8. Configuration Rate の設定.....	18
9. XCM-107 参考資料について.....	19
10. 付属資料.....	19

## はじめに

この度は、Virtex-5 ブレッドボード/XCM-107 をお買い上げいただきまして誠にありがとうございます。  
 とうございます。

XCM-107 は、XILINX の高性能 FPGA Virtex-5LXT を用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

## ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-107	1
付属品	1
マニュアル(本書)	1*
ユーザ登録はがき	1*

\* オーダー毎に各1部の場合があります。(ご要望により追加請求できます)

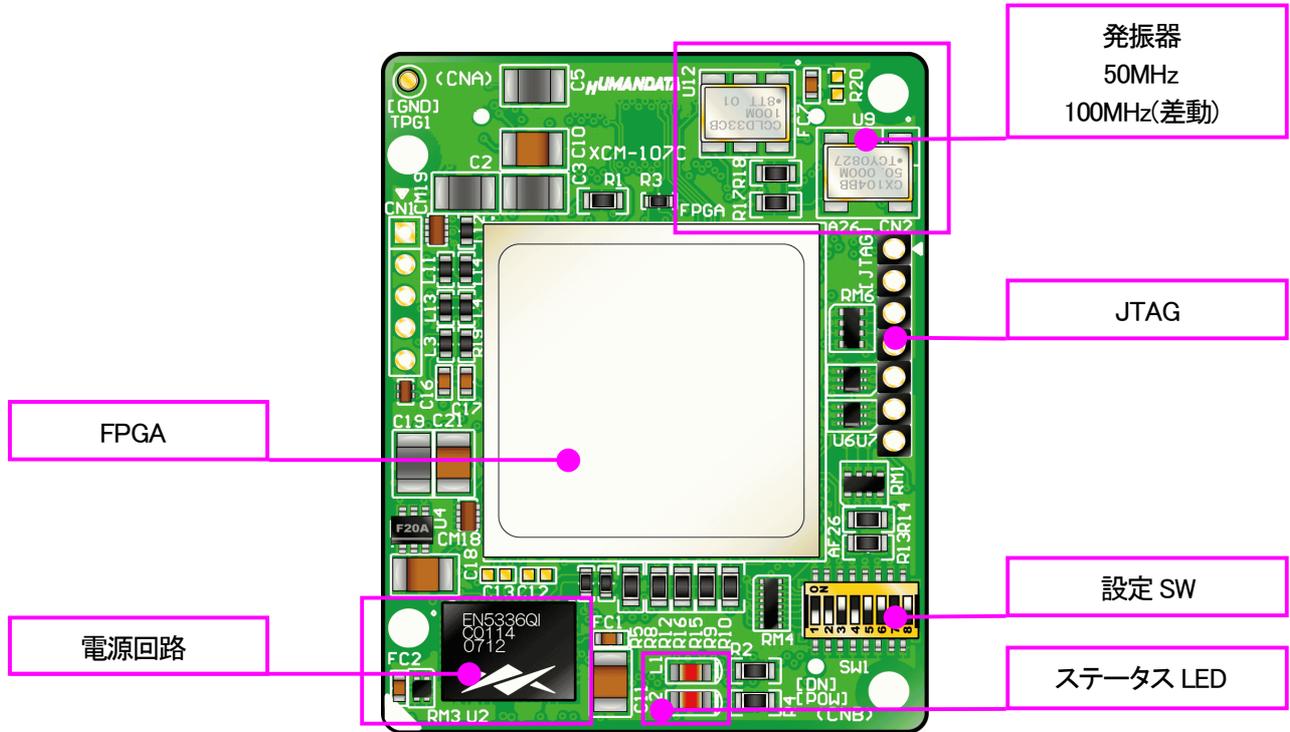
## 2. 仕様

製品型番	XCM-107-30T	XCM-107-50T
搭載 FPGA	XC5VLX30T-1FFG665C	XC5VLX50T-1FFG665C
電源	DC 3.3V	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	54 × 43 [mm]	
質量	約 20[g]	
ユーザーI/O	128 本	
I/O コネクタ	メーカー型番: FX10A-80P/8-SV1(71) (ヒロセ電機)	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
クロック	オンボード 50MHz 100MHz	
コンフィギュレーション用リセット回路	内蔵 (240ms TYP)	
JTAG コネクタ	DIP7 ピン ピンヘッダ 2.54mm ピッチ	
ステータス LED	2 個 (POWER-LED , DONE-LED	
付属品	SIP7 ピンヘッダ (本体に取付け済み) 1 個 * コネクタ: FX10A-80S/8-SV(71) (ヒロセ電機) 2 個	

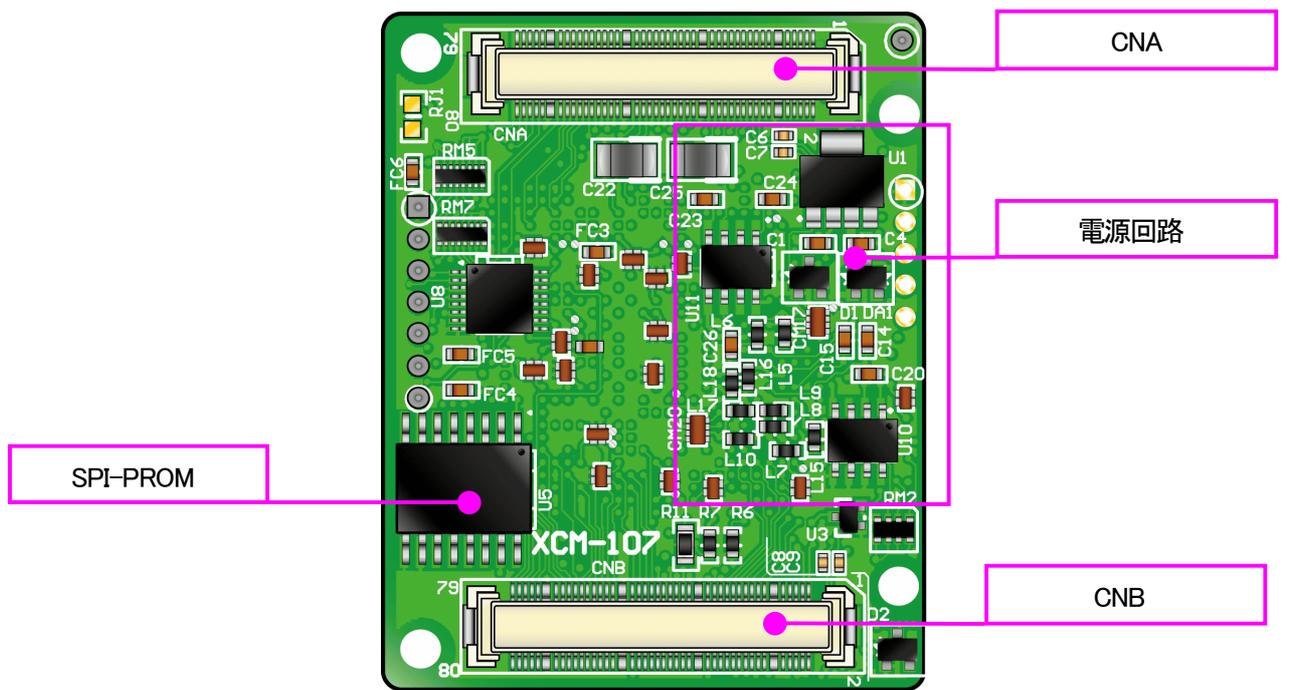
\* 互換品と変更になる場合がございます

## 3. 製品説明

### 3.1. 各部の名称

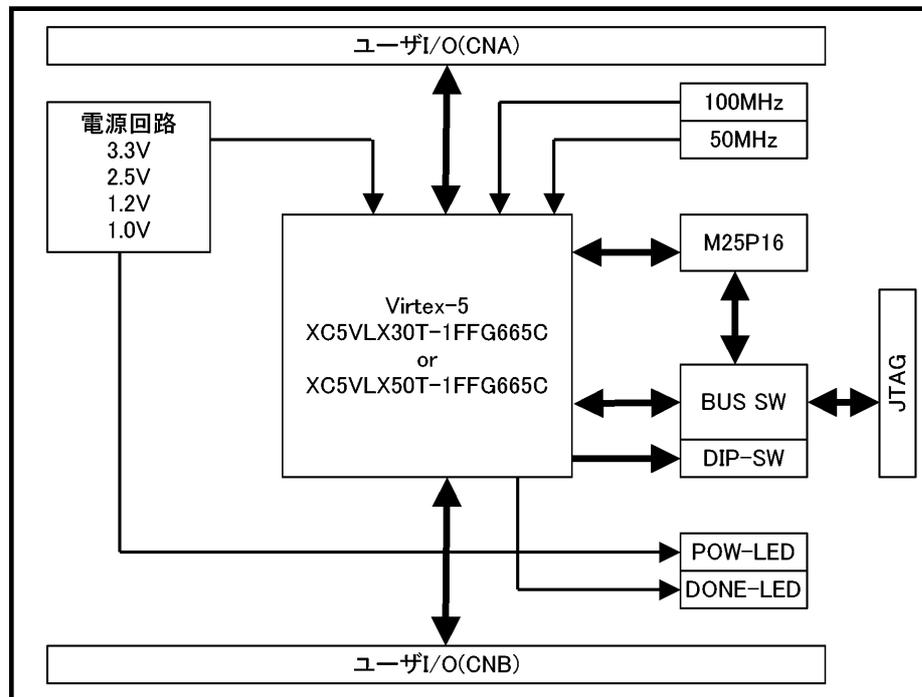


### 部品面



### はんだ面

### 3.2. ブロック図



### 3.3. 開発環境

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツールが必要です。これらの開発ツールは、XILINX社が無償配布するISEにて可能です。使用する際には、インターネットによるライセンス登録が必要となります。

### 3.4. 電源入力

本ボードは、DC **3.3V**単一電源で動作します。  
 内部に必要な、2.5V、1.2V、1.0Vはオンボードのレギュレータにより生成されます。  
 外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。  
 電源は、CNA、CNB から供給してください。CNA は BANK-A、CNB は BANK-B の VCCIO となっており、適切な電源を供給してください。

**いずれも 3.3V を超えることはできません。**

詳しくは FPGA のデータシート、回路図などを参照してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

## 3.5. JTAG コネクタ

FPGA へのコンフィギュレーションや SPI-PROM への ISP に用います。ピン配置は次表のとおりです

JTAG コネクタ

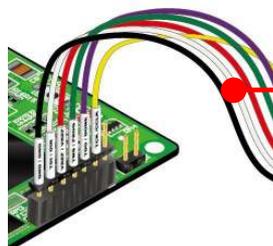


信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	OUT(POW)	5
TDI	IN	6
GND	I/O	7

弊社製ダウンロードケーブル XC3、XCKIT や XILINX 社の純正ケーブルなどを用いることができます。

また、ダウンロードケーブルと XCM-107 との接続には付属品 SIP7 ピンヘッダをご利用できます。

使用例



ダウンロードケーブル

**注意**

ダウンロードケーブルを接続する場合、誤差しなどにご注意ください

## 4. FPGA ピン割付表

### 4.1. CNA

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
A	V33_A	3.3V	1	2	3.3V	V33_A	A
A	V33_A	3.3V	3	4	3.3V	V33_A	A
	電源予約	電源予約	5	6	電源予約	電源予約	
	電源予約	電源予約	7	8	電源予約	電源予約	
	N.C	N.C	9	10	N.C	N.C	
A	GND	GND	-	-	GND	GND	A
A	CLK1P	E17	11	12	D18,E18	CLK1N	A
※	DFA1_P	R1	13	14	P2	DFA2_P	※
※	DFA1_N	T1	15	16	R2	DFA2_N	※
A	IOA0	B4	17	18	E5	IOA32	A
A	IOA1	B5	19	20	D5	IOA33	A
A	IOA2	B7	21	22	D6	IOA34	A
A	IOA3	A7	23	24	E6	IOA35	A
A	IOA4	B9	25	26	C6	IOA36	A
A	IOA5	C8	27	28	C7	IOA37	A
A	IOA6	B10	29	30	D8	IOA38	A
	GND	GND	-	-	GND	GND	
A	IOA7	A10	31	32	C9	IOA39	A
A	IOA8	B11	33	34	D11	IOA40	A
A	IOA9	A12	35	36	C11	IOA41	A
A	IOA10	A13	37	38	B12	IOA42	A
A	IOA11	B14	39	40	C12	IOA43	A
A	IOA12	A14	41	42	C13	IOA44	A
A	IOA13	A15	43	44	C14	IOA45	A
A	IOA14	A17	45	46	B15	IOA46	A
A	IOA15	B17	47	48	C16	IOA47	A
A	IOA16	A18	49	50	D19	IOA48	A
	GND	GND	-	-	GND	GND	
A	IOA17	A19	51	52	C19	IOA49	A
A	IOA18	A20	53	54	C18	IOA50	A
A	IOA19	B20	55	56	B19	IOA51	A
A	IOA20	B22	57	58	D20	IOA52	A
A	IOA21	A22	59	60	D21	IOA53	A
A	IOA22	E26	61	62	B21	IOA54	A
A	IOA23	E25	63	64	C21	IOA55	A
A	IOA24	D25	65	66	C23	IOA56	A
A	IOA25	D26	67	68	D24	IOA57	A
A	IOA26	A23	69	70	F25	IOA58	A
	GND	GND	-	-	GND	GND	
A	IOA27	B24	71	72	G26	IOA59	A
A	IOA28	B25	73	74	G24	IOA60	A
A	IOA29	A25	75	76	F24	IOA61	A
A	IOA30	C26	77	78	H26	IOA62	A
A	IOA31	B26	79	80	G25	IOA63	A

※現在サポート外となります。

## 4.2. CNB

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
B	V33_B	3.3V	1	2	3.3V	V33_B	B
B	V33_B	3.3V	3	4	3.3V	V33_B	B
	電源予約	電源予約	5	6	電源予約	電源予約	
	電源予約	電源予約	7	8	電源予約	電源予約	
	N.C	N.C	9	10	N.C	N.C	
	GND	GND	-	-	GND	GND	
B	CLK2P	Y21	11	12	AA20,AB21	CLK2N	B
※	DFB1_P	V1	13	14	W2	DFB2_P	※
※	DFB1_N	U1	15	16	V2	DFB2_N	※
B	IOB0	AB5	17	18	AF3	IOB32	B
B	IOB1	AA5	19	20	AF4	IOB33	B
B	IOB2	AB7	21	22	AF5	IOB34	B
B	IOB3	AB6	23	24	AE5	IOB35	B
B	IOB4	AD6	25	26	AF7	IOB36	B
B	IOB5	AC7	27	28	AF8	IOB37	B
B	IOB6	AD8	29	30	AF9	IOB38	B
	GND	GND	-	-	GND	GND	
B	IOB7	AC8	31	32	AF10	IOB39	B
B	IOB8	AD9	33	34	AF13	IOB40	B
B	IOB9	AC9	35	36	AE13	IOB41	B
B	IOB10	AE11	37	38	AF14	IOB42	B
B	IOB11	AD11	39	40	AF15	IOB43	B
B	IOB12	AD13	41	42	P26	IOB44	B
B	IOB13	AD14	43	44	R26	IOB45	B
B	IOB14	AD15	45	46	T25	IOB46	B
B	IOB15	AE15	47	48	U25	IOB47	B
B	IOB16	AD16	49	50	W25	IOB48	B
	GND	GND	-	-	GND	GND	
B	IOB17	AE16	51	52	W26	IOB49	B
B	IOB18	AD18	53	54	AE21	IOB50	B
B	IOB19	AE18	55	56	AF22	IOB51	B
B	IOB20	AD19	57	58	AD24	IOB52	B
B	IOB21	AD20	59	60	AD25	IOB53	B
B	IOB22	AD21	61	62	AD26	IOB54	B
B	IOB23	AC21	63	64	AC26	IOB55	B
B	IOB24	AB22	65	66	AB26	IOB56	B
B	IOB25	AC22	67	68	AA25	IOB57	B
B	IOB26	AC23	69	70	AE25	IOB58	B
	GND	GND	-	-	GND	GND	
B	IOB27	AC24	71	72	AE26	IOB59	B
B	IOB28	AD23	73	74	AF24	IOB60	B
B	IOB29	AE22	75	76	AF25	IOB61	B
B	IOB30	AF20	77	78	Y22	IOB62	B
B	IOB31	AE20	79	80	AA22	IOB63	B

※現在サポート外となります。

#### 4.3. CLK(50MHz)

クロック	NET LABEL	FPGA ピン#
オンボード 50M	GCLK-A	D15
オンボード 50M	GCLK-B	D16

#### 4.4. CLK(100MHz)

クロック	NET LABEL	FPGA ピン#
100M	SATA_CLKP	T4
100M	SATA_CLKN	T3

## 5. ディップスイッチの説明

XCM-107 のディップスイッチ(SW1)は以下のように割り付けられています。  
SW を ON で Low に固定されます。

番号	S1	S2	S3	S4	S5	S6	S7	S8
記号	X_PROG	X_M0	X_M1	X_M2	HSWAP_EN	FS2	FS1	FS0
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
説明	モードセレクトピン				SPI コンフィギュレーションモード			

	内部マスタ SPI	マスタシリアル	マスタ SPI	マスタ BPIUP	JTAG
M[2.0]モードピンの設定	<0:1:1>	<0:0:0>	<0:0:1>	<0:1:0>	<1:0:1>

表 2-1: Virtex-5 コンフィギュレーション モード

コンフィギュレーション モード	M[2:0]	バス幅	CCLK の方向
マスタ シリアル <sup>(2)</sup>	000	1	出力
マスタ SPI <sup>(2)</sup>	001	1	出力
マスタ BPI-Up <sup>(2)</sup>	010	8、16	出力
マスタ BPI-Down <sup>(2)</sup>	011	8、16	出力
マスタ SelectMAP <sup>(2)</sup>	100	8、16	出力
JTAG	101	1	入力 (TCK)
スレーブ SelectMAP	110	8、16、32	入力
スレーブ シリアル	111	1	入力

メモ:

1. パラレル コンフィギュレーション モードのバスは、コンフィギュレーション ロジックによって自動的に検出されます。
2. マスタ コンフィギュレーション モードでは、CCLK ピンが Virtex-5 の内部コンフィギュレーション ロジック用のクロック ソースです。内部コンフィギュレーション ロジックのダブルロックを回避するため、Virtex-5 CCLK 出力ピンでは反射が起きないようにする必要があります。詳細は、「コンフィギュレーション クロック (CCLK) のボード レイアウト」セクションを参照してください。

xilinx 社 Virtex-5 FPGA コンフィギュレーションガイドより引用

### S1: ターゲット設定 (X\_PROG)

OFF : JTAG

ON : SPI-ROM

### S2、S3、S4: モードセレクトピン

上記を参照し各コンフィギュレーションモードを設定してください。

### S5: HSWAP\_EN

コンフィギュレーション前の I/O のプルアップの状態を設定することができます。

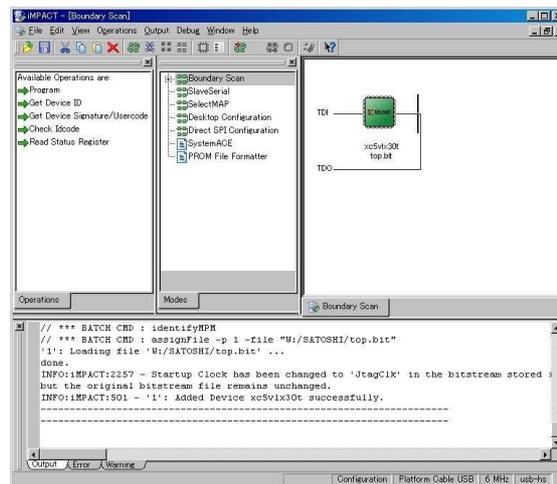
### S6、S7、S8: SPI Flash vendor Selection ピン

詳しくは、FPGA データシートをご覧ください。

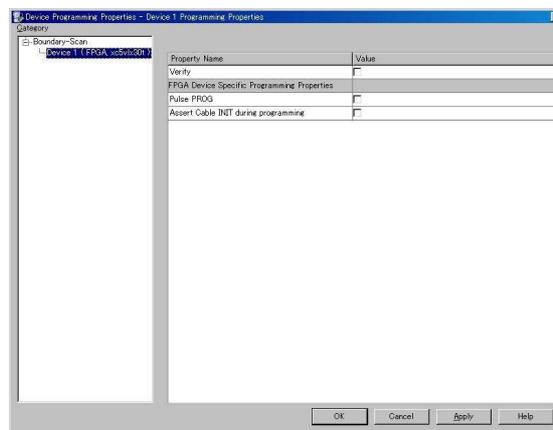
## 6. FPGA へのコンフィギュレーション

このマニュアルは **iMPACT 10.1.02** を使用しています。

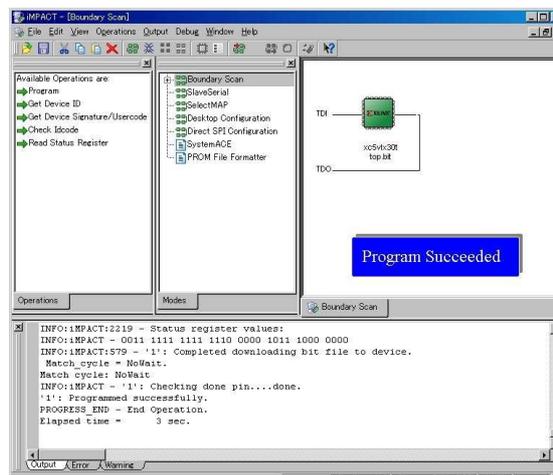
- ▼ FPGA へのコンフィギュレーションは iMPACT により行います。  
iMPACT を起動し **[File]-[Initialize Chain]** をクリックすると、FPGA が認識されます。FPGA に対して bit ファイルを割り付けてください。



- ▼ FPGA にコンフィギュレーションする場合 **[Verify]** のチェックは外してください。



- ▼ デバイスのアイコン上で右クリックし **[Program...]** をクリックしてください。  
書き込みが成功すると、**[Program Succeeded]** と表記されます。

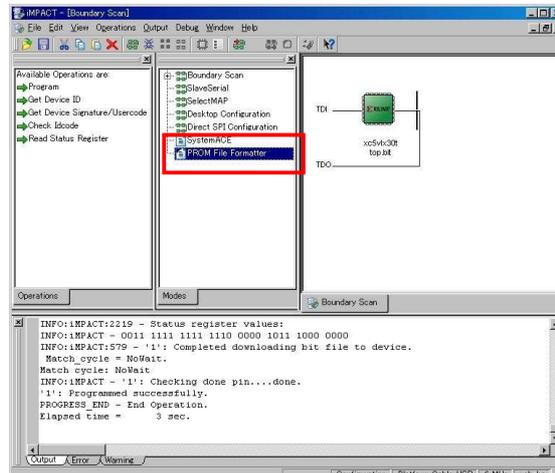




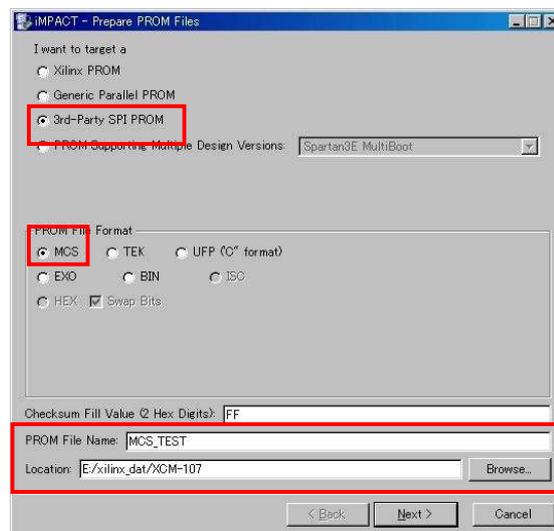
## 7. SPI-PROM への書き込み

### 7.1. MCS データ作成方法

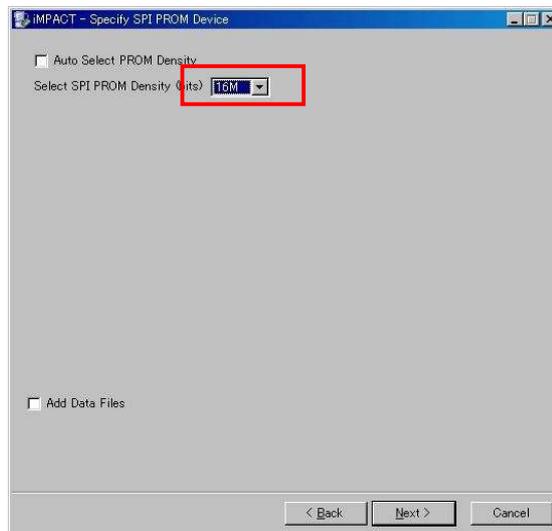
- ▼ [PROM File Formatter]上でダブルクリックします。



- ▼ 次に、下図のようにチェックを入れ、[File Name] [Location]を指定し[Next>]をクリックします。



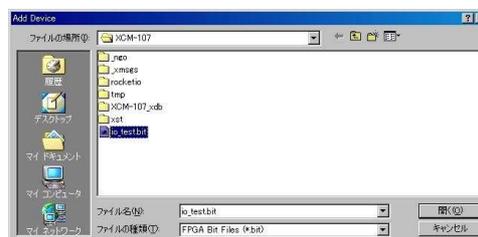
- ▼ 次に、XCM-107 は M25P16 を使用しているため、Select SPI PROM Density(bits)は[16M]を選択します。下図のようになれば[Next>]をクリックします。



- ▼ 次に、[OK]をクリックします。



- ▼ 次に、bit ファイルを指定し[開く]をクリックします。



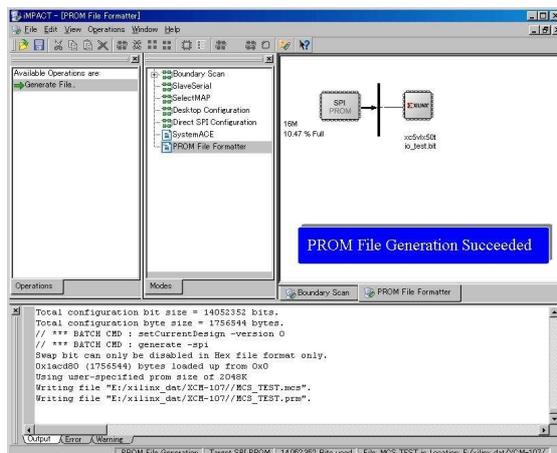
- ▼ 次に、[Yes]をクリックします。



- ▼ 次に、[OK]をクリックします。



- ▼ 次に、iMPACT Operations のタブにある[Generate File...]をダブルクリックします。下記のように[PROM File Generation Succeeded]と表記されれば完了です。



## 7.2. ディップスイッチ(SW1)の設定

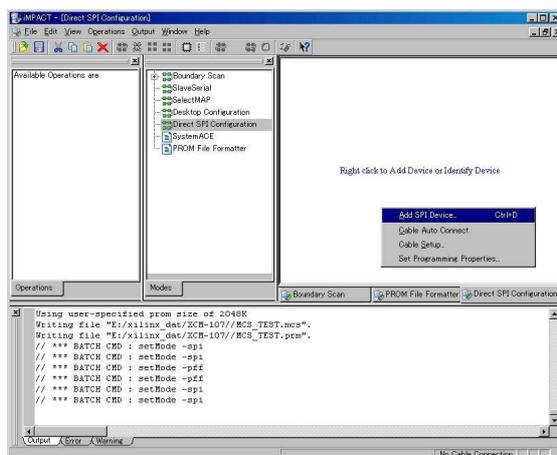
SPI-PROM に書き込む際、ディップスイッチの設定が必要です。  
ディップスイッチを下記のように設定してください。(S2-S8 は設定不要)  
SW1

	S1	S2	S3	S4	S5	S6	S7	S8
ON	■							
OFF		■	■	■	■	■	■	■

## 7.3. SPI-PROM へのデータ書き込み方法

SPI-PROM へのデータ書き込みは iMPACT により行います。

- ▼ iMPACT を起動し[Direct SPI Configuration]のタブをクリックしてください。  
右クリックし [Add SPI Device]をクリックします



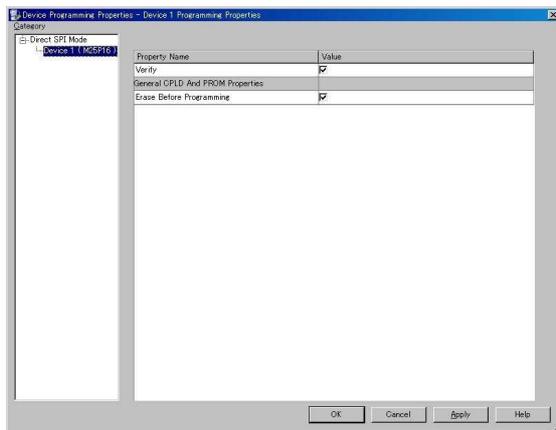
- ▼ 7.1 項で作成した MCS ファイルを選択してください。



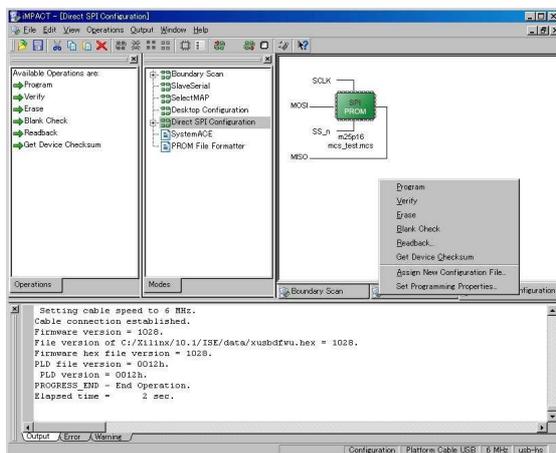
- ▼ 次に SPI-PROM の種類を選択してください。  
XCM-107 では ST マイクロエレクトロニクスの M25P16 を使用しています。  
M25P16 を選択してください。



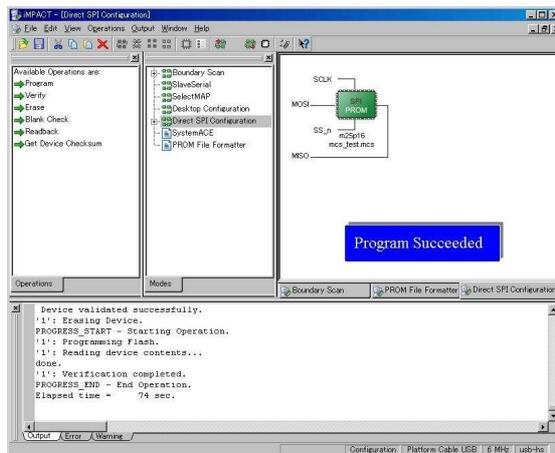
- ▼ 次のダイアログで [Verify] [Erase Before Programming] にチェックを入れ [OK] をクリックします。



- ▼ SPI-PROM のアイコン上で右クリックし [Program] をクリックしてください。



- ▼ [Program Succeeded]が表示されれば終了です。



## 7.4. SPI-PROM から FPGA へコンフィギュレーション

SPI-PROM から FPGA へコンフィギュレーションする際、ディップスイッチの設定が必要です。ディップスイッチを下記のように設定し、電源を入れると SPI-PROM から FPGA にコンフィギュレーションされます。

SW1

	S1	S2	S3	S4	S5	S6	S7	S8
ON			■	■				
OFF	■	■			■	■	■	■

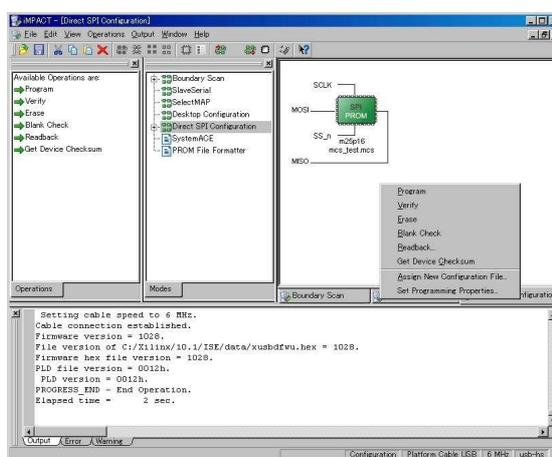
## 7.5. SPI-PROM データ消去方法

SPI-PROM を消去する際、ディップスイッチの設定が必要です。  
ディップスイッチを下記のように設定してください。

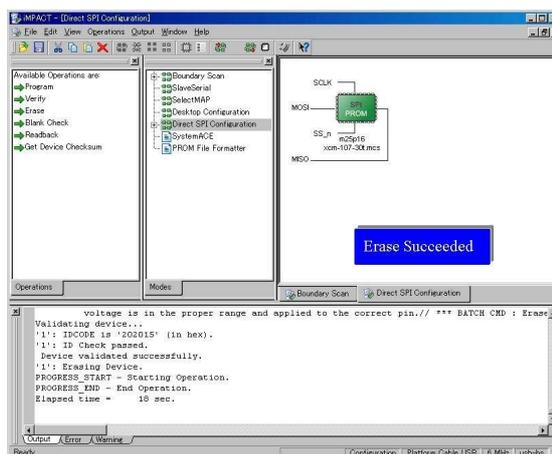
SW1

	S1	S2	S3	S4	S5	S6	S7	S8
ON	■							
OFF		■	■	■	■	■	■	■

- ▼ SPI-PROM のアイコン上で右クリックし[**Erase**]をクリックしてください



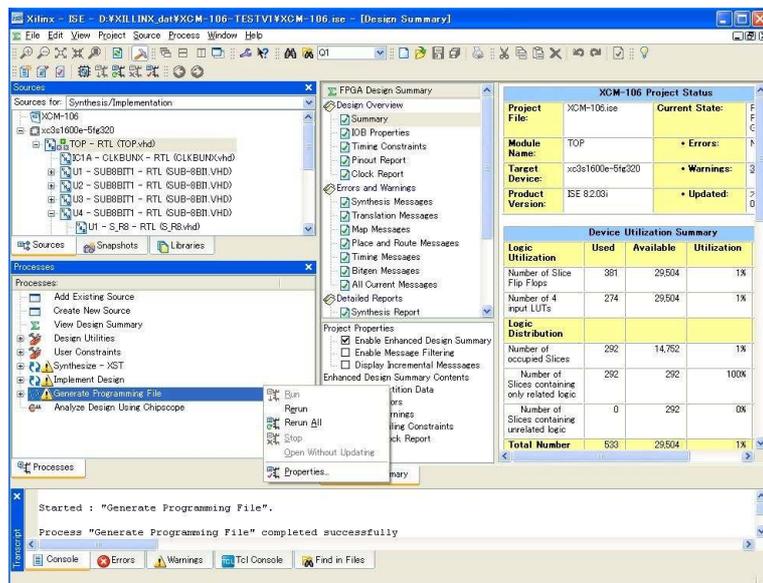
- ▼ [**Erase Succeeded**]と表示されれば終了です。



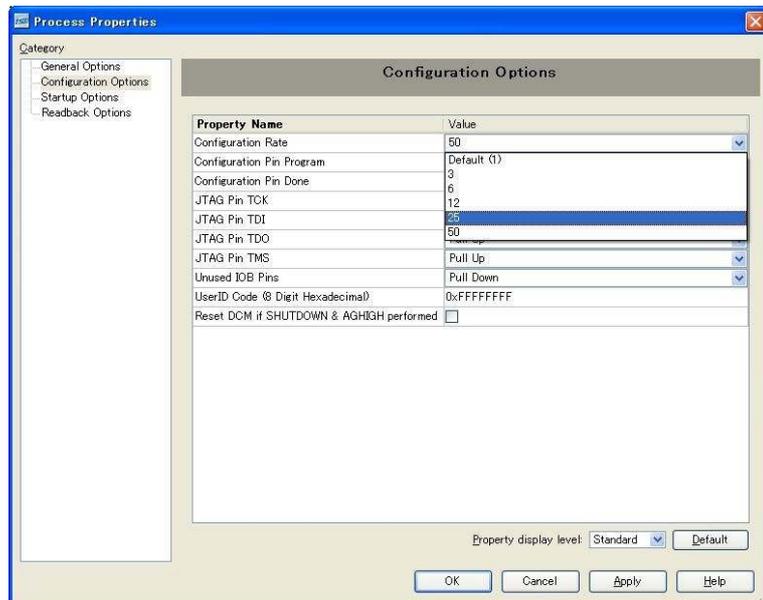
## 8. Configuration Rate の設定

XCM-107 では **Configuration Rate** の設定が可能です。  
以下に **Configuration Rate** の設定方法を示します。

- ▼ ISE の Processes のタブにある[Generate Programming File]で右クリックして、[Properties...]をクリックしてください。



- ▼ [Configuration Options]の[Configuration Rate]を 25 に設定し [OK]をクリックしてください。



## 9. XCM-107 参考資料について

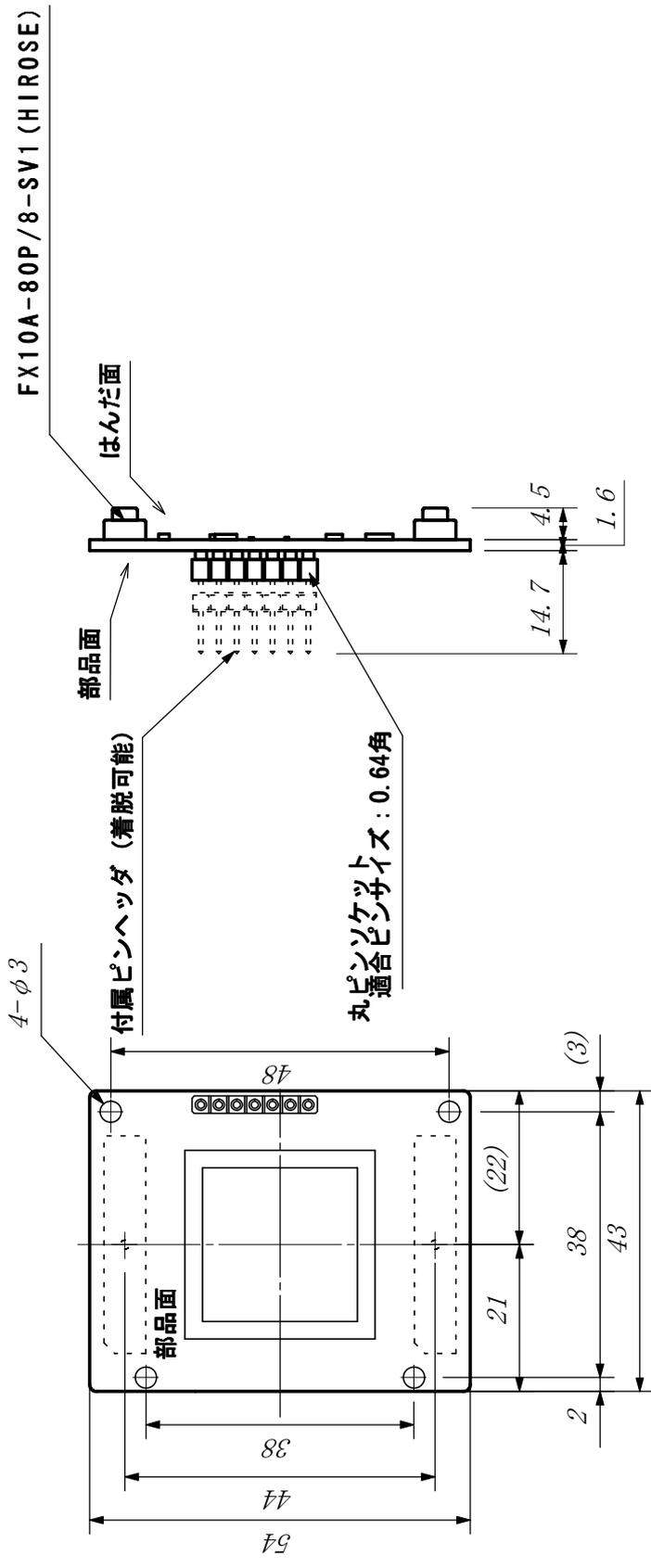
追加資料や参考資料が見つかった場合は  
製品サポートページ

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

にデータをアップロードすることいたします。

## 10. 付属資料

1. 基板回路図(別紙)
2. 基板外形図



<b>HUMANDATA</b>		TITLE	
		XCM-107 外形寸法図	
CHK	DWG	UNIT	SIZE
		DWG NO	REV
		G-XCM-107	A

---

Virtex-5 ブレッドボード  
(ハーフカードサイズ)  
XCM-107

2009/02/27 初版

---

**有限会社ヒューマンデータ**

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL 072-620-2002  
FAX 072-620-2003  
URL <http://www.hdl.co.jp/>

---