



**Virtex-4 ブレッドボード
XCM-105 シリーズ
ユーザーズマニュアル
第4版 (Rev2)**



ヒューマンデータ

目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 製品説明	3
3.1. 各部の名称	3
3.2. 電源入力	4
3.3. JTAG コネクタ	4
4. FPGA へのコンフィグレーション方法	6
5. コンフィグレーション ROM データ作成方法	7
6. コンフィグレーション ROM へのデータ書き込み方法	9
7. ディップスイッチの説明	10
8. ジャンプスイッチの説明	11
9. コネクタピン割付表	12
CNA	12
CNB	13
ディップスイッチ	14
オンボードクロック	14
10. XCM-105 シリーズ 参考資料について	14
11. 付属資料	14

はじめに

この度は、Virtex-4 ブレッドボード / XCM-105 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-105 シリーズは、XILINX の高性能 FPGA Virtex-4 を用いた評価用ボードで、電源回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した、使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2.項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-105 シリーズ	1
付属品	1
マニュアル (本書)	1
ユーザー登録はがき	1

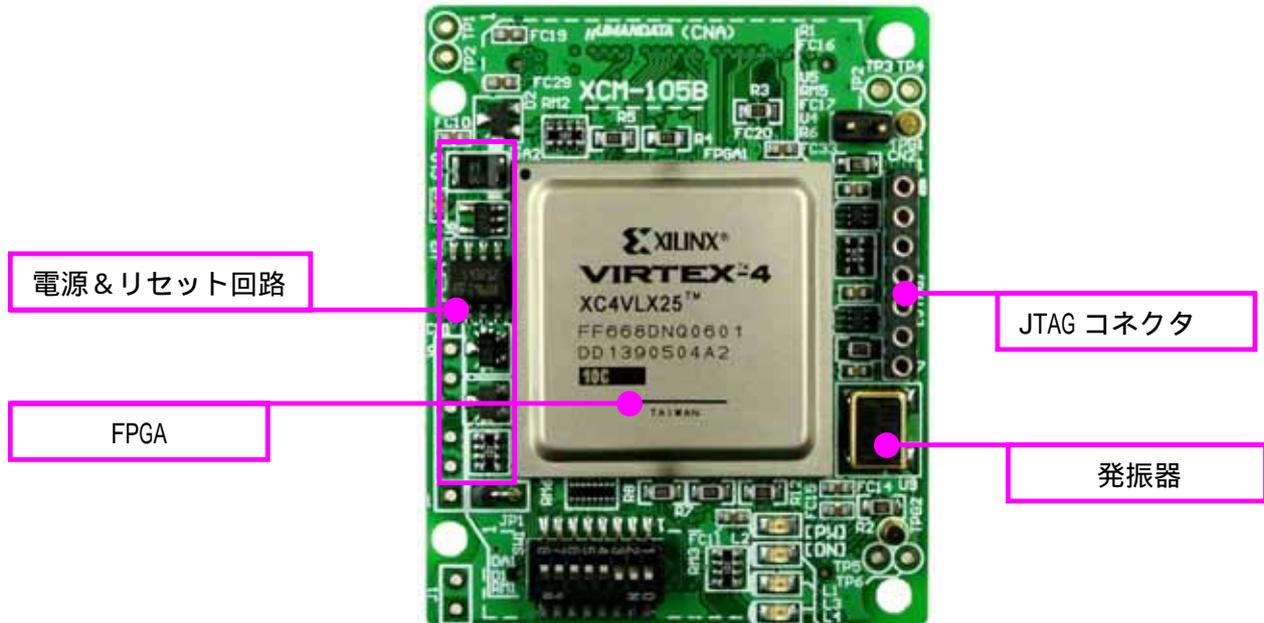
2. 仕様

製品型番	XCM-105-FX12	XCM-105-LX15	XCM-105-LX25	XCM-105-LX40	XCM-105-LX60
搭載 FPGA	XC4LFX12-10FFG668C	XC4VLX15-10FFG668C	XC4VLX25-10FFG668C	XC4VLX40-10FFG668C	XC4VLX60-10FFG668C
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)				
消費電流	N/A (詳細は FPGA データシートご参照)				
外形寸法	43 × 54 [mm]				
重量	約 18 [g]				
ユーザ I/O	128 本				
I/O コネクタ	メーカ型番: FX10A-80P/8-SV1(71) (ヒロセ電機)				
プリント基板	ガラスエポキシ 8 層基板 1.6t				
コンフィグレーション ROM	XCF32PVOG48C				
クロック	オンボード 48MHz 外部供給可能				
コンフィグレーション用リセット回路	内蔵 (200ms TYP)				
JTAG コネクタ	SIP7 ピン 丸ピンソケット 2.54mm ピッチ				
ステータス LED	2 個 (POWER-LED , DONE-LED)				
汎用 LED	2 個				
付属品	SIP7 ピンヘッド (本体に取付け済み) 1 個 コネクタ: FX10A-80S/8-SV(71) (ヒロセ電機) 2 個 ジャンパソケット 1 個				

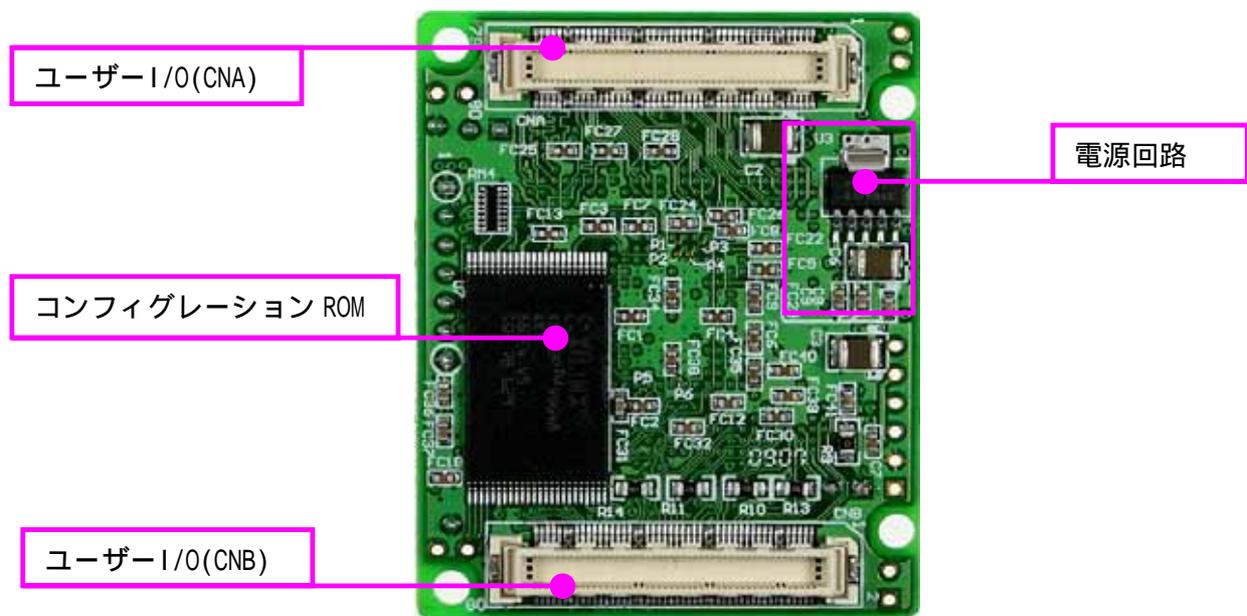
*1 互換品と変更になる場合がございます

3. 製品説明

3.1. 各部の名称



<A 面>



<B 面>

3.2. 電源入力

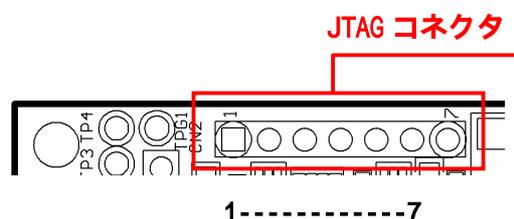
本ボードは、DC 3.3V 単一電源で動作します。
 内部に必要な、2.5V、1.8V、1.2V はオンボードのレギュレータにより生成されます。
 外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。
 電源は、CNA、CNB から供給してください。CNA は BANK-A、CNB は BANK-B の VCC0 となっております。
 適切な電源を供給してください。

いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

3.3. JTAG コネクタ

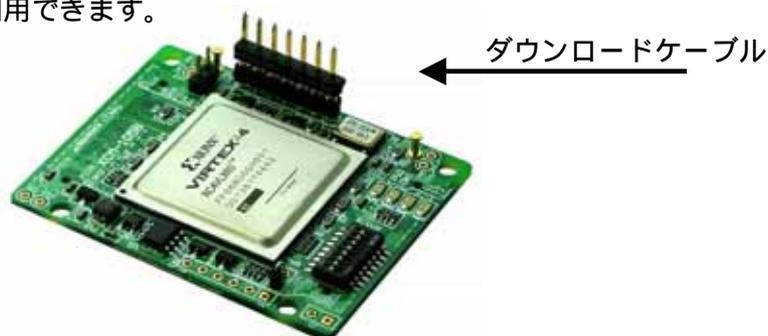
FPGA へのコンフィグレーションや ROM への ISP に用います。
 ピン配置は次表のとおりです



信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	OUT(POW)	5
TDI	IN	6
GND	I/O	7

弊社製ダウンロードケーブル XC2、XC3、XCKIT や XILINX 社の純正ケーブルなどを用いることができます。

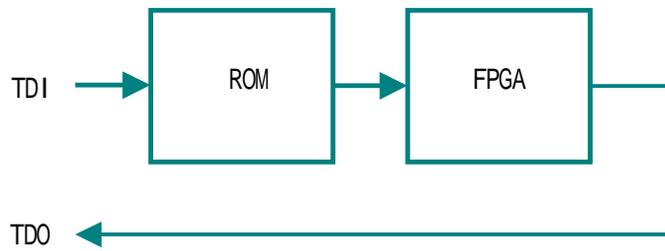
また、ダウンロードケーブルと本品(XCM-105)との接続には付属品 SIP7 ピンヘッドをご利用できます。



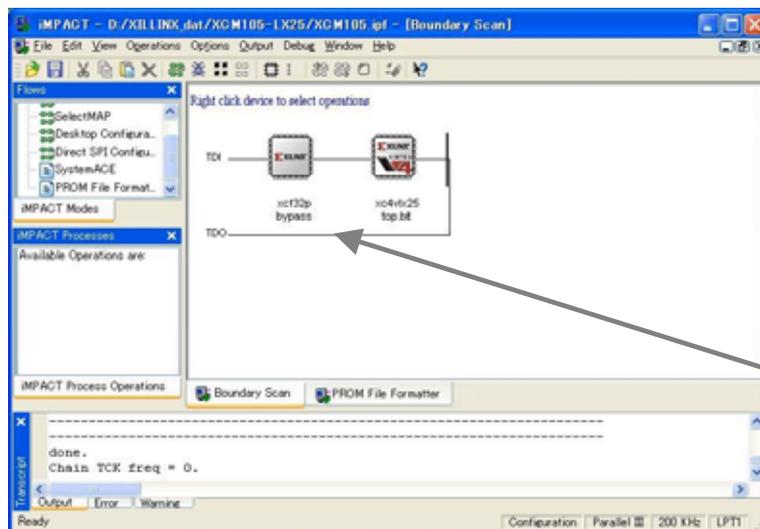
注意

ダウンロードケーブルを接続する場合、逆差しなどにご注意ください

JTAG チェインには ROM と FPGA の両方が接続されています。



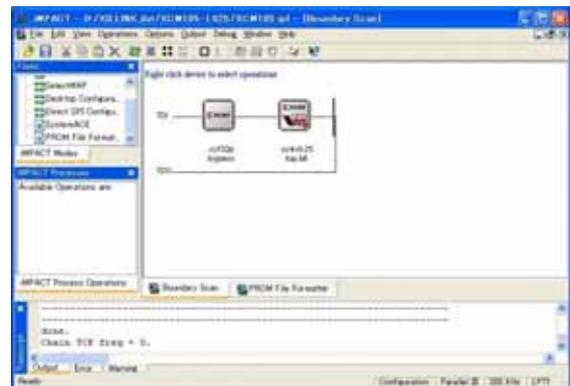
iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならば Configuration を行ってください。



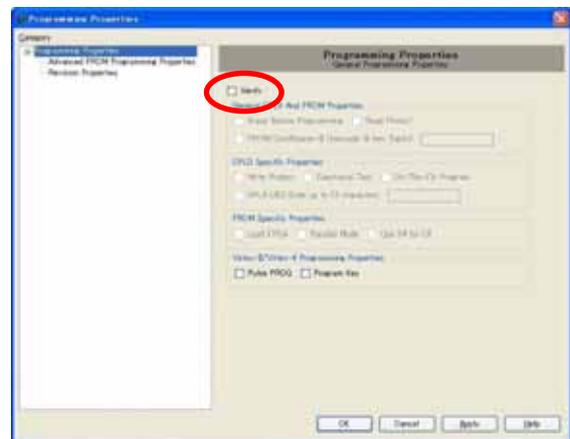
操作が必要ないときは、
BYPASS とすれば良い

4 . FPGA へのコンフィグレーション方法

FPGA へのコンフィグレーションは iMPACT により行います。
iMPACT を起動し [File]-[Initialize Chain]をクリックすると、ROM と FPGA が認識されます。ROM は任意の mcs ファイル、または BYPASS とし、FPGA に対して bit ファイルを割り付けてください。



デバイスのアイコン上で右クリックをし、Program...をクリックします。
FPGA へのコンフィグレーションの際は、通常 Verify のチェックを外してください。

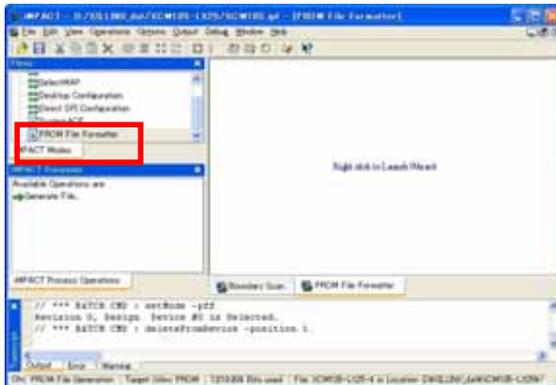


書き込みが成功すると、Program Succeeded と表記されます。

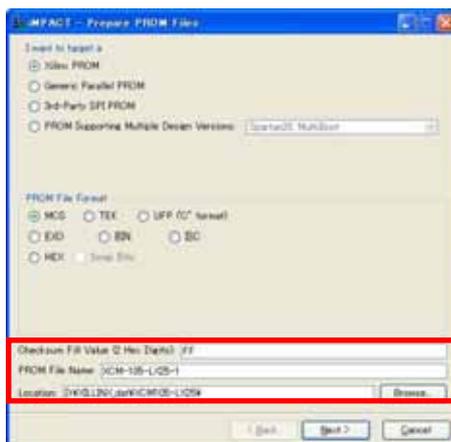


5. コンフィグレーションROM データ作成方法

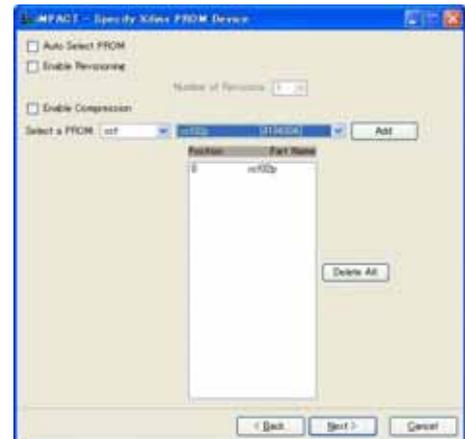
- ▼ 下図 赤枠[PROM File Formatter]上でダブルクリックします。



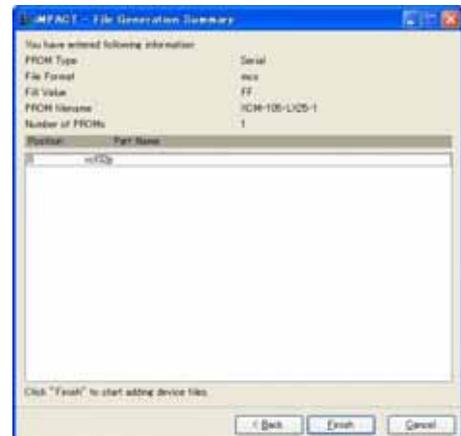
次に、下図のようにチェックを入れ、File Name と Location(保存先)を指定し Next>をクリックします。



次に、PROM の種類を指定し Add をクリックします。
 (XCM-105 は XCF2PV048C を使用しているので、Select a PROM は xcf XCF32P を選択します)
 下図のようになれば Next>をクリックします。



次に、Finish をクリックします。



次に、下図ダイアログが表示されますので **OK** をクリックし、bit ファイルを指定します。



次に、**No** をクリックします。

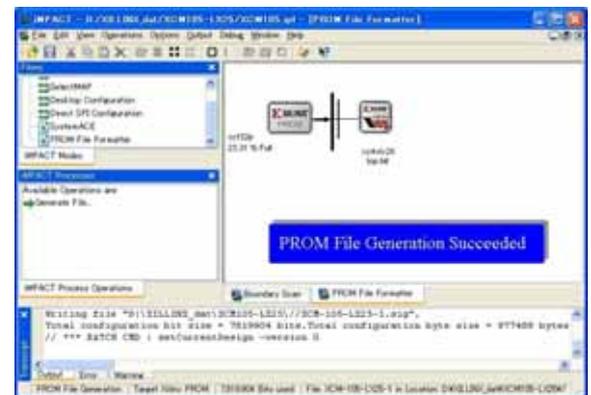


次に、**OK** をクリックします。



次に、PROM Formatter タブの、表示エリアで右ボタンメニューの **Generate File** をクリックします。

PROM File Generation Succeeded が表示されれば ROM データの完成です。



6. コンフィグレーション ROM へのデータ書き込み方法

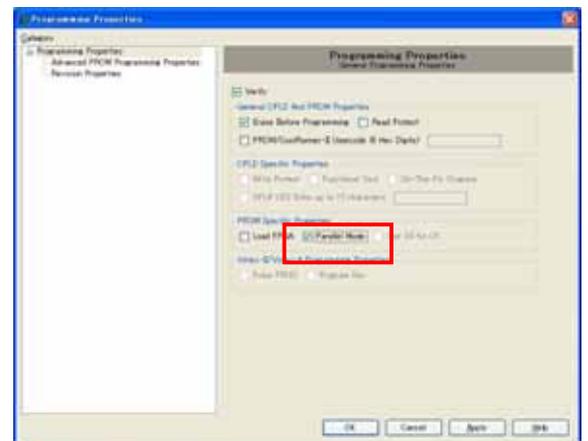
ROM へのデータ書き込みは iMPACT により行います。

iMPACT を起動し [File]-[Initialize Chain]をクリックすると、ROM と FPGA が認識されます。JTAG は任意の bit ファイル または BYPASS とし、ROM に対して mcs ファイルを割り付けてください。



ROMデータ書き込み時は[Verify] [Erase Before Programming]にチェックをいれOK をクリックします

XCM-105 に使用している ROM はシリアルモードと Parallel Mode に対応しています。Parallel Mode でき込みたい場合は [Parallel Mode]にチェックをいれます。シリアルモードの時は[Parallel Mode]のチェックをはずしてください。



Program Succeeded が表示されれば終了です。



メモ

ROM から FPGA にコンフィグレーションする際、次項のディップスイッチの設定を行ってください。

7. ディップスイッチの説明

XCM-105 のディップスイッチは以下のように割り付けられています。

番号	S1	S2	S3	S4	S5	S6	S7	S8
記号	M0	M1	M2	REVSELO	REVSEL1	EN_REV	HSWAP_EN	S/W0
出荷時	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
	コンフィグレーションモード			コンフィグレーションROM リビジョン設定		リビジョンイネーブル 設定	FPGA HSWAP EN	汎用

表 1-1: Virtex-4 コンフィギュレーション モード

コンフィギュレーション モード	M2	M1	M0	データ幅	CCLK の方向
マスタ シリアル	0	0	0	1 ビット	出力
スレーブ シリアル	1	1	1	1 ビット	入力
マスタ SelectMAP	0	1	1	8 ビット	出力
スレーブ SelectMAP8	1	1	0	8 ビット	入力
スレーブ SelectMAP32 ⁽³⁾	0	0	1	32 ビット	入力
JTAG/バウンダリ スキャンのみ ⁽¹⁾	1	0	1	1 ビット	-

メモ:

1. JTAG モードのコンフィギュレーションでは、コンフィギュレーション クロック (CCLK) ではなく、JTAG TCK ピンを使用します。
2. コンフィギュレーション前の I/O プルアップ抵抗は、HSWAPEN ピンの設定によって有効になります。
3. SelectMAP32 では、D0:D31 データ ビットはスワップしません。D0 が LSB であり、D31 が MSB です。
4. ピンが未接続のままの場合、MODE ピンに付いている弱いプルアップ抵抗により、スレーブ シリアルがデフォルト モードとなります。

(XILINX 社 Virtex-4 コンフィグレーションガイドより)

S1、S2、S3 : コンフィグレーションモード

ROM 使用時 : MasterSelctMAP mode

S1(OFF) M0 = 1

S2(OFF) M1 = 1

S3(ON) M2 = 0

出荷時 : JTAG mode

S1(OFF) M0 = 1

S2(ON) M1 = 0

S3(OFF) M2 = 1

S4、S5、S6 : コンフィグレーション ROM のリビジョン設定

コンフィグレーション ROM(XCF32P)には、リビジョン管理機能があります。

S4、S5、S6 により各ピンを設定することができます。

回路図および、ROM のデータシートを参照してください。

S7 : HSWAPEN の設定

コンフィグレーション前の I/O のプルアップの状態を設定することができます。

S8 : 汎用

ユーザーが自由に使用することができます。

8. ジャンプスイッチの説明

JP2 CCLK 供給設定

JP2	CCLK 供給設定
Short	CCLK を ROM から供給
Open	CCLK を FPGA から供給

メモ

出荷時は Open しています。(ソケット付属品)

9. コネクタピン割付表

CNA

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
A	V33_A	3.3V	1	2	3.3V	V33_A	A
A	V33_A	3.3V	3	4	3.3V	V33_A	A
	電源予約	電源予約	5	6	電源予約	電源予約	
	電源予約	電源予約	7	8	電源予約	電源予約	
	N.C	N.C	9	10	N.C	N.C	
	GND	GND	-	-	GND	GND	
A	CLKA0	A12	11	12	A10	CLKA1	A
	N.C	N.C	13	14	N.C	N.C	
	N.C	N.C	15	16	N.C	N.C	
A	IOA0	D1	17	18	D3	IOA32	A
A	IOA1	C1	19	20	D4	IOA33	A
A	IOA2	C2	21	22	C4	IOA34	A
A	IOA3	A3	23	24	A5	IOA35	A
A	IOA4	B3	25	26	A4	IOA36	A
A	IOA5	B6	27	28	C5	IOA37	A
A	IOA6	A6	29	30	C6	IOA38	A
	GND	GND	-	-	GND	GND	
A	IOA7	B7	31	32	B4	IOA39	A
A	IOA8	A7	33	34	D6	IOA40	A
A	IOA9	A8	35	36	D7	IOA41	A
A	IOA10	B9	37	38	B12	IOA42	A
A	IOA11	A9	39	40	B13	IOA43	A
A	IOA12	A11	41	42	D8	IOA44	A
A	IOA13	B14	43	44	D9	IOA45	A
A	IOA14	A15	45	46	D13	IOA46	A
A	IOA15	A16	47	48	C14	IOA47	A
A	IOA16	A17	49	50	D10	IOA48	A
	GND	GND	-	-	GND	GND	
A	IOA17	C17	51	52	C10	IOA49	A
A	IOA18	B17	53	54	D11	IOA50	A
A	IOA19	B18	55	56	C11	IOA51	A
A	IOA20	A18	57	58	C12	IOA52	A
A	IOA21	A19	59	60	D12	IOA53	A
A	IOA22	C19	61	62	B15	IOA54	A
A	IOA23	A20	63	64	C15	IOA55	A
A	IOA24	B20	65	66	C16	IOA56	A
A	IOA25	A21	67	68	C20	IOA57	A
A	IOA26	A22	69	70	D21	IOA58	A
	GND	GND	-	-	GND	GND	
A	IOA27	B21	71	72	C22	IOA59	A
A	IOA28	C25	73	74	A23	IOA60	A
A	IOA29	A24	75	76	B23	IOA61	A
A	IOA30	B24	77	78	C23	IOA62	A
A	IOA31	C26	79	80	C24	IOA63	A

CNB

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
B	V33_B	3.3V	1	2	3.3V	V33_B	B
B	V33_B	3.3V	3	4	3.3V	V33_B	B
	電源予約	電源予約	5	6	電源予約	電源予約	
	電源予約	電源予約	7	8	電源予約	電源予約	
	N.C	N.C	9	10	N.C	N.C	
	GND	GND	-	-	GND	GND	
B	CLKB0	AC10	11	12	AD12	CLKB1	B
	N.C	N.C	13	14	N.C	N.C	
	N.C	N.C	15	16	N.C	N.C	
B	IOB0	AA1	17	18	AD1	IOB32	B
B	IOB1	AB1	19	20	AC1	IOB33	B
B	IOB2	AC3	21	22	AD2	IOB34	B
B	IOB3	AD3	23	24	AC2	IOB35	B
B	IOB4	AC4	25	26	AE3	IOB36	B
B	IOB5	AD4	27	28	AF3	IOB37	B
B	IOB6	AD5	29	30	AE4	IOB38	B
	GND	GND	-	-	GND	GND	
B	IOB7	AC5	31	32	AF4	IOB39	B
B	IOB8	AC6	33	34	AF5	IOB40	B
B	IOB9	AD6	35	36	AE6	IOB41	B
B	IOB10	AC7	37	38	AF6	IOB42	B
B	IOB11	AD8	39	40	AF7	IOB43	B
B	IOB12	AC9	41	42	AF8	IOB44	B
B	IOB13	AC8	43	44	AF9	IOB45	B
B	IOB14	AE12	45	46	AE9	IOB46	B
B	IOB15	AE14	47	48	AE10	IOB47	B
B	IOB16	AF18	49	50	AD11	IOB48	B
	GND	GND	-	-	GND	GND	
B	IOB17	AC18	51	52	AF11	IOB49	B
B	IOB18	AC19	53	54	AF12	IOB50	B
B	IOB19	AC21	55	56	AE13	IOB51	B
B	IOB20	AE18	57	58	AF19	IOB52	B
B	IOB21	AD22	59	60	AF20	IOB53	B
B	IOB22	AD23	61	62	AD21	IOB54	B
B	IOB23	AF22	63	64	AE21	IOB55	B
B	IOB24	AF23	65	66	AF21	IOB56	B
B	IOB25	AB23	67	68	AE23	IOB57	B
B	IOB26	AC24	69	70	AB26	IOB58	B
	GND	GND	-	-	GND	GND	
B	IOB27	AC23	71	72	AB25	IOB59	B
B	IOB28	AD25	73	74	AF24	IOB60	B
B	IOB29	AD26	75	76	AE24	IOB61	B
B	IOB30	AC26	77	78	AC22	IOB62	B
B	IOB31	AC25	79	80	AB22	IOB63	B

ディップスイッチ

DIP SW-ピン#	NET LABEL	接続先
SW-1	X M0	FPGA-W15
SW-2	X M1	FPGA-Y15
SW-3	X M2	FPGA-W14
SW-4	REVSEL0	コンフィグレーション ROM U7-26
SW-5	REVSEL1	コンフィグレーション ROM U7-27
SW-6	REVSEL2	コンフィグレーション ROM U7-25
SW-7	HSWAP EN	FAPGA-G16
SW-8	SW0	FPGA-AA14

オンボードクロック

クロック	NET LABEL	FPGA ピン#
オンボード 48M	GCLKX	C13

10. XCM-105 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

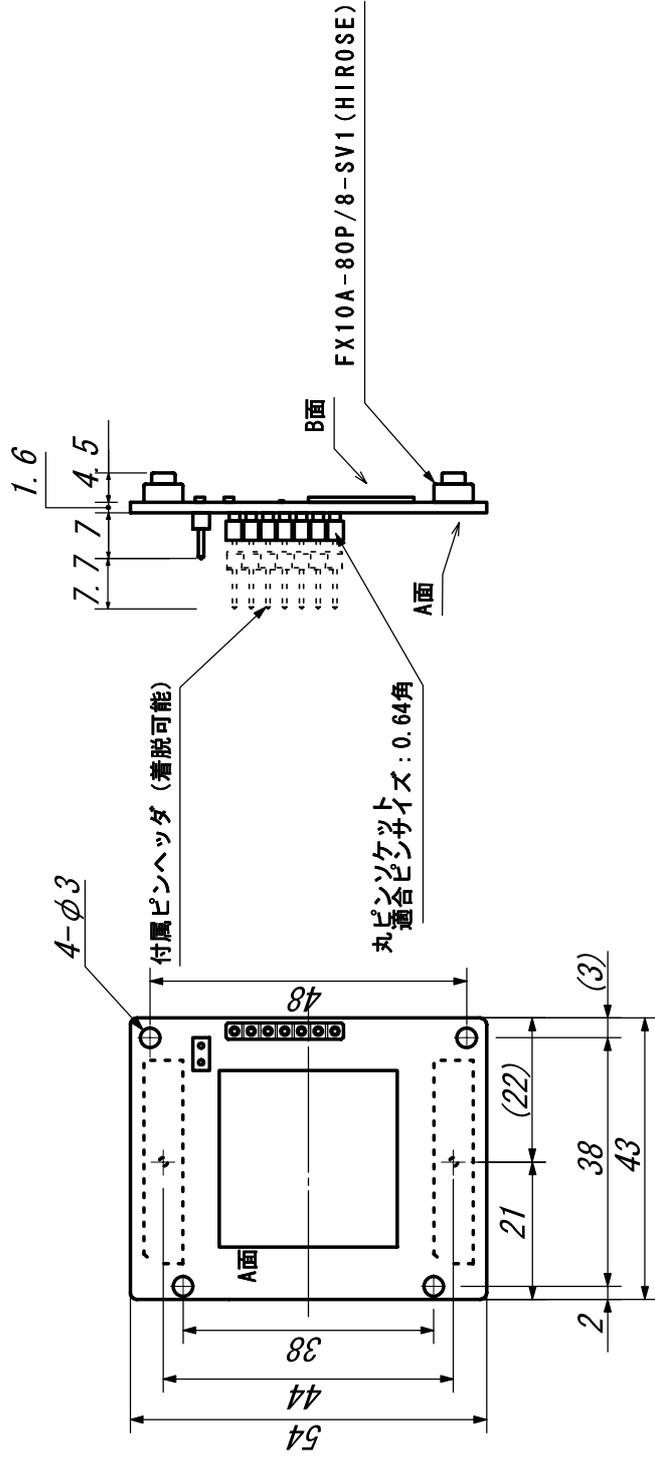
http://www.hdl.co.jp/support_c.html

にデータをアップロードすることいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

11. 付属資料

1. 回路図
2. 外形寸法図



材質		個数	
仕上			

HUMANDATA		UNIT	TITLE
CHK	DWG	SIZE	XCM-105シリーズ 外形寸法図
		DWG NO	G-XCM-105
		REV	A

Virtex-4 ブレッドボード
(ハーフカードサイズ)
XCM-105 シリーズ

2006/10/31 (初版)
2006/11/29 (第2版)
2007/05/18 (第3版) (Rev2)
2007/11/28 (第4版) (Rev2)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
U R L <http://www.hdl.co.jp/>
