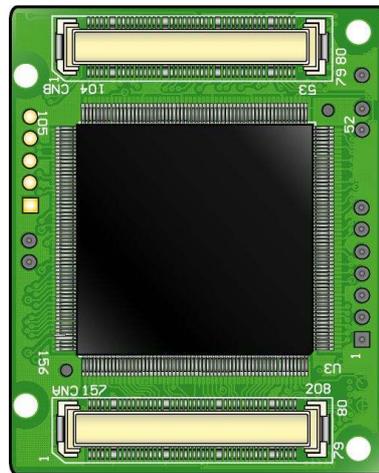


Spartan-3 ブレッドボード  
XCM-101 シリーズ  
ユーザーズマニュアル  
Ver. 2.2





## 目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品説明.....	3
3.1. 各部名称.....	3
3.2. 電源.....	4
4. JTAG コネクタ.....	4
5. FPGA へのコンフィギュレーション方法.....	5
5.1. コンフィギュレーション ROM データの作成方法.....	6
5.2. コンフィギュレーション ROM へのデータ書き込み方法.....	9
6. ジャンプスイッチの説明.....	11
7. FPGA ピン割付け表.....	12
7.1. ユーザ I/O (CNA).....	12
7.2. ユーザ I/O (CNB).....	13
7.3. オンボードクロック.....	14
7.4. 外部クロック入力.....	14
8. サポートページ.....	14
9. 付属資料.....	14

## ● はじめに

この度は Spartan-3 ブレッドボード XCM-101 シリーズをお買い上げいただきまして、誠にありがとうございます。

XCM-101 は、XILINX の高性能 FPGA Spartan-3 (XC3S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した使いやすいボードになっています。どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 <b>注意</b>	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
13 静電気にご注意ください。	

## ● 改訂記録

日付	バージョン	改訂内容
2011/04/27	2.2	・ピン割付け表の変更

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ブレッドボード	XCM-101	1
付属品		1
マニュアル（本書）		1 *
ユーザ登録はがき		1 *

\* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

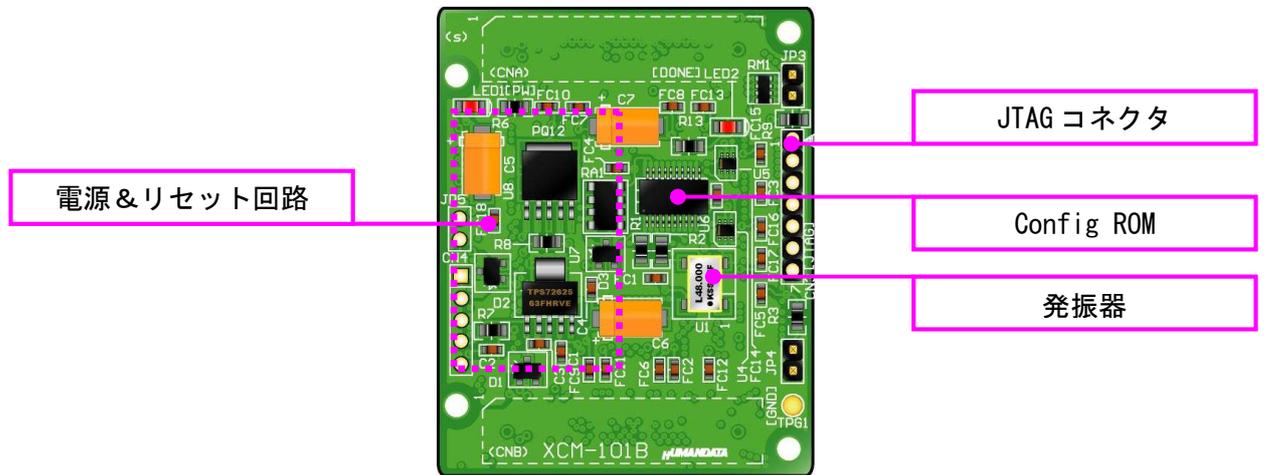
## 2. 仕様

製品型番	XCM-101-200	XCM-101-400
搭載 FPGA	XC3S200-4PQ208C	XC3S400-4PQG208C
コンフィグ ROM	XCF02SV0G20C	
電源	DC 3.3[V]（詳細は FPGA データシートご参照）	
消費電流	N/A（詳細は FPGA データシートご参照）	
外形寸法	43×55 [mm]	
質量	約 20 [g]	
ユーザ I/O	128 本(64 本×2)	
I/O コネクタ	FX10A-80P/8-SV1(71)（ヒロセ電機）	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
オンボードクロック	48MHz（外部供給可能）	
リセット回路	内蔵（200ms TYP）	
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ	
ステータス LED	電源表示用、コンフィグレーション完了表示用	
付属品	SIL7 ピンヘッダ（本体に取付け済み）	
	FX10A-80S/8-SV(71) x2（ヒロセ電機）	
	ジャンパソケット x2	

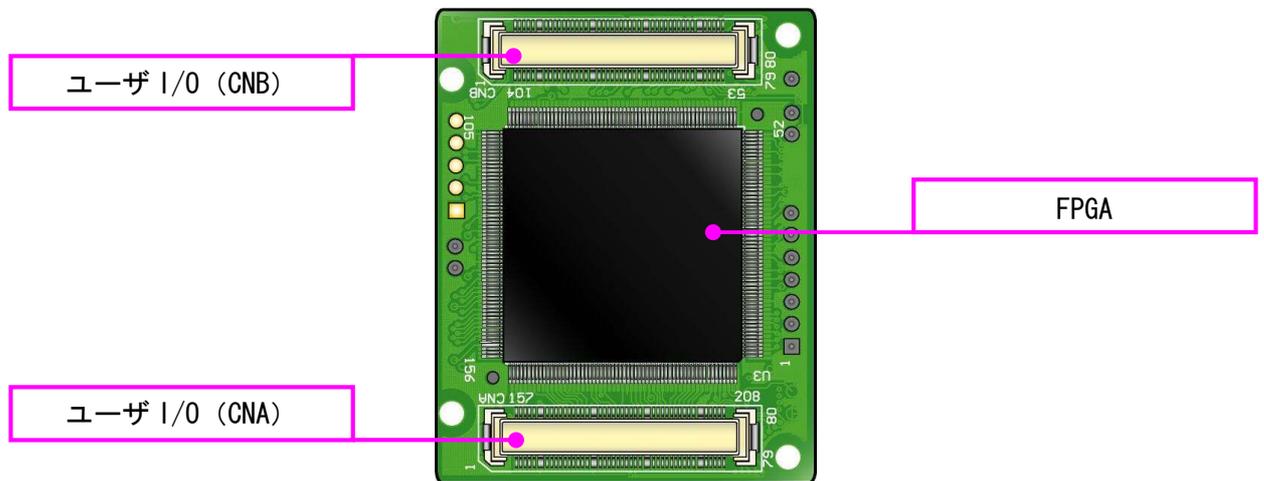
\*これらの部品や仕様は変更となる場合がございます

### 3. 製品説明

#### 3.1. 各部名称



部品面



はんだ面

### 3.2. 電源

本ボードは、DC 3.3V 単一電源で動作します。内部で必要になる 2.5V、1.2V はオンボードレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は CNA、CNB から供給してください。

また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

VCC0 は 2 系統に分かれていますので、全て正しく接続して下さい。

### 4. JTAG コネクタ

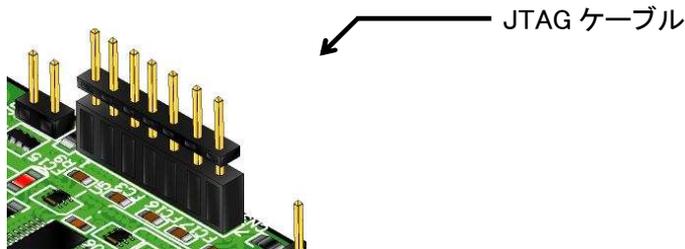
JTAG コネクタ (CN1) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

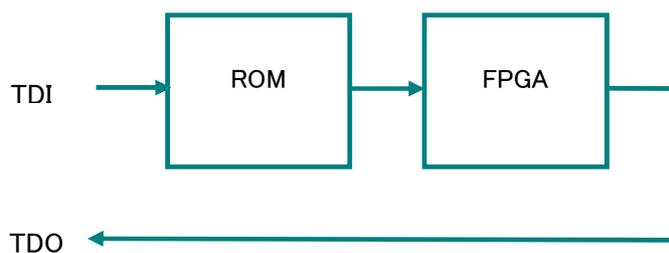
JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN1

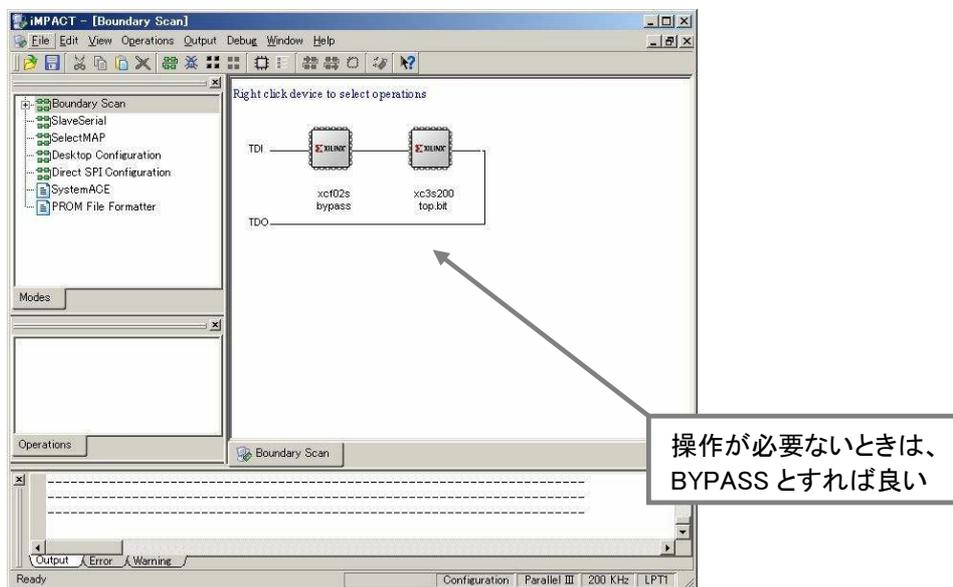
ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC(3.3V)	OUT (POW)
6	TDI	IN
7	GND	I/O



JTAG チェインには ROM と FPGA の両方が参加しています。

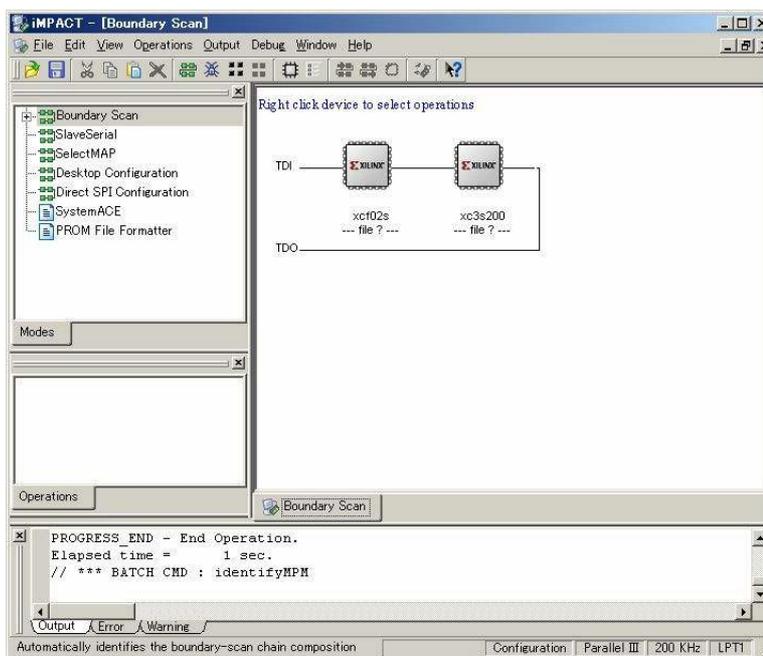


iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならば Configuration を行ってください。

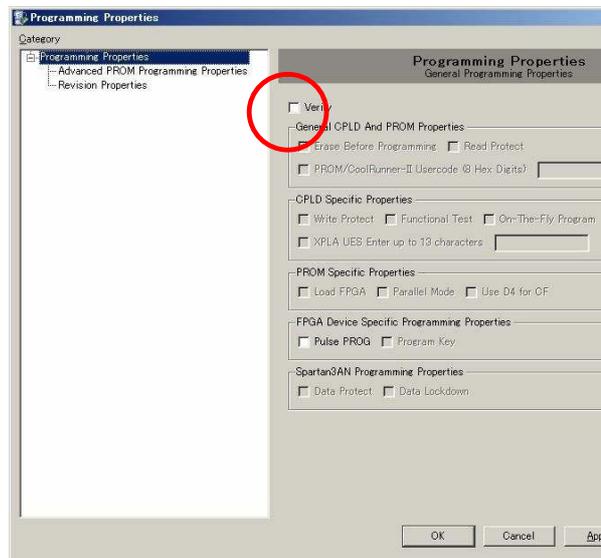


## 5. FPGA へのコンフィギュレーション方法

FPGA へのコンフィギュレーションは iMPACT により行います。  
通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます。

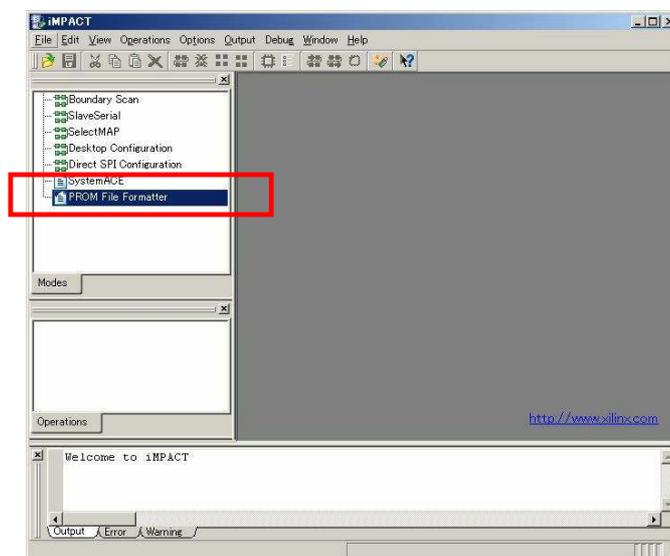


ROMはBYPASSとし、FPGAに対してbitファイルを割り付けてください。  
FPGAへのコンフィギュレーションの際は、通常Verifyのチェックを外してください。

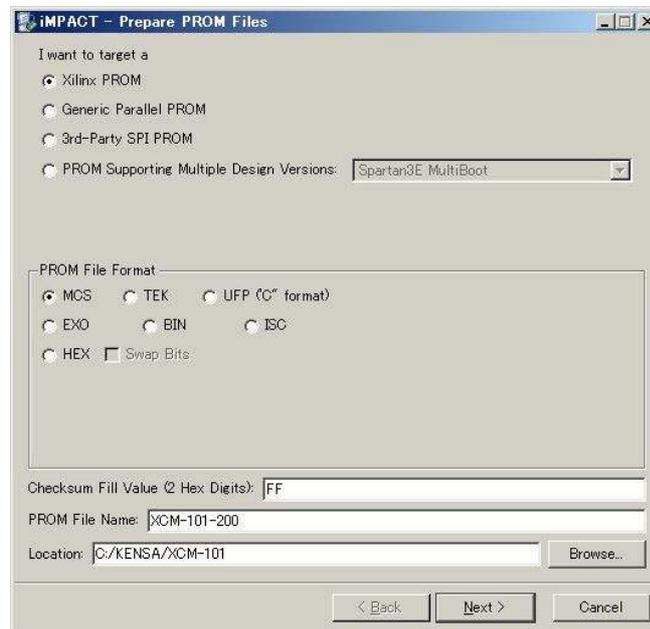


## 5.1. コンフィギュレーションROMデータの作成方法

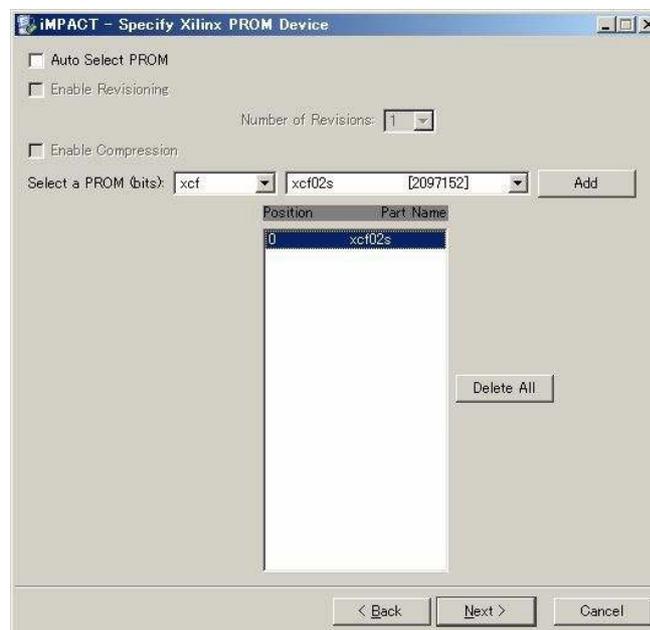
下図 赤枠[PRM File Formatter]上でダブルクリックします。



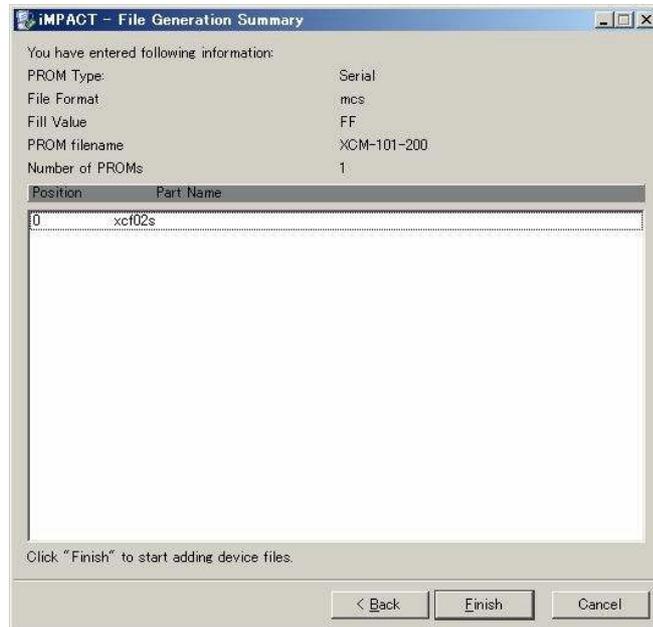
次に、下図のようにチェックを入れ、File Name と Location(保存先)を指定し **Next>**をクリックします。



次に、PROM の種類を指定し Add をクリックします。  
 (XCM-101 は XCF02S を使用しているので、Select a PROM は XCF02S を選択します)  
 下図のようになれば **Next>**をクリックします。



次に、**Finish** をクリックします。



次に、下図ダイアログが表示されますので **OK** をクリックし、bit ファイルを指定します。



次に、**No** をクリックします。

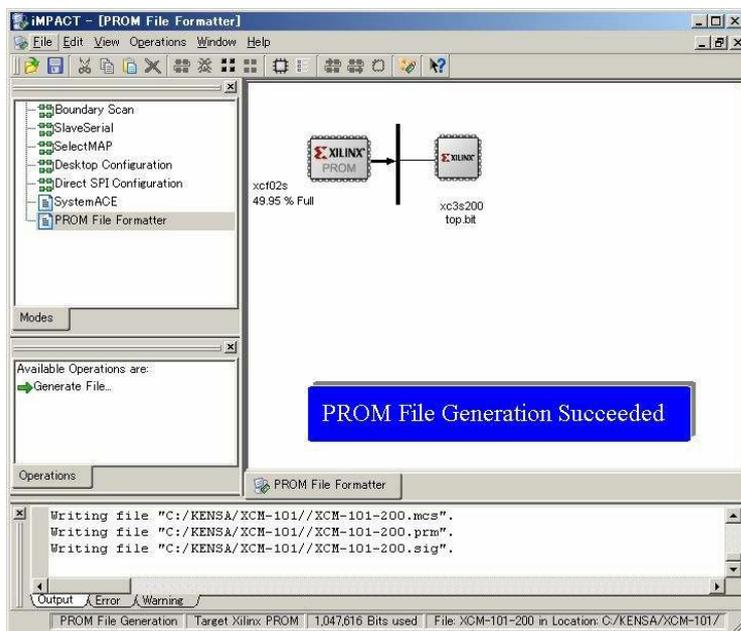


次に、**OK** をクリックします。



次に、PROM Formatter タブの、表示エリアで右ボタンメニューの Generate File をクリックします。

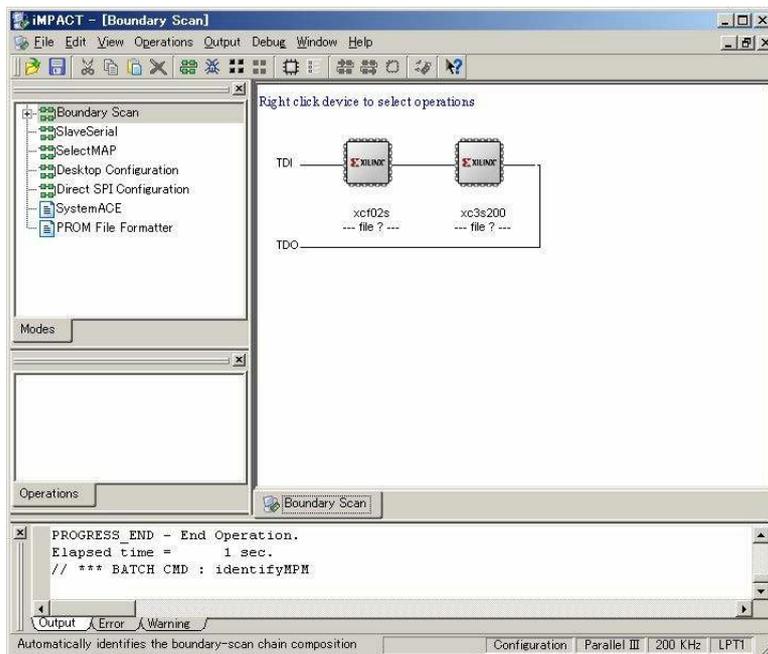
PROM File Generation Succeeded が表示されれば ROM データの完成です。



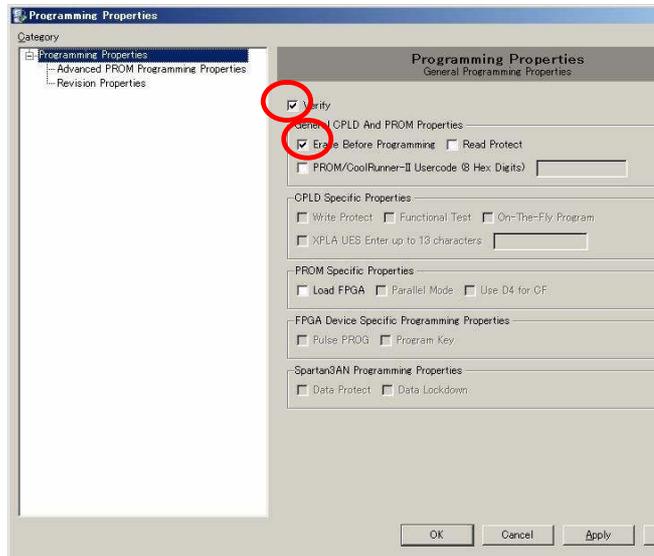
## 5.2. コンフィギュレーション ROM へのデータ書き込み方法

ROM へのデータ書き込みは iMPACT により行います。

通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます



FPGA は BYPASS とし、ROM に対して mcs ファイルを割り付けてください  
 Program を実行し、[Verify]、[Erase Before Programming] にチェックを入れ OK をクリッ  
 クします。



## 6. ジャンパスイッチの説明

**JP4** ——— **M0,M2 信号 設定用**

**M1 は 0 に固定 (回路図参照)**

**JP4 により、M0 と M2 は同時に 1 または 0 に設定されます。**

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode <sup>(1)</sup>	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT <sup>(2)</sup>
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

**Notes:**

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx 社データシートより)

**ROM 使用時: Master Serial mode**

JP4 ショート M0 = 0

M1 = 0 (固定)

M2 = 0

**出荷時: JTAG mode**

JP4 オープン M0 = 1

M1 = 0 (固定)

M2 = 1

**JP3** ——— **HSWAP ENABLE ピンの設定**

FPGA の HSWAP\_ENABLE ピンの設定を行います。

JP3 ショート: 0

JP3 オープン: 1

(出荷時はオープン)

## 7. FPGA ピン割付け表

### 7.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA Pin	Connector Pin		FPGA Pin	NET LABEL	BANK
	V33_A	3.3 V (Input)	1	2	3.3 V (Input)	V33_A	
	V33_A	3.3 V (Input)	3	4	3.3 V (Input)	V33_A	
	Power (Reserved)	Power (Reserved)	5	6	Power (Reserved)	Power (Reserved)	
	Power (Reserved)	Power (Reserved)	7	8	Power (Reserved)	Power (Reserved)	
		N. C	9	10	N. C		
	GND	GND	-	-	GND	GND	
A	CLK-A	P181	11	12	P180	CLK-B	A
		N. C	13	14	N. C		
		N. C	15	16	N. C		
A	IOA0	P205	17	18	P204	IOA1	A
A	IOA2	P203	19	20	P162	IOA3	A
A	IOA4	P94	21	22	P165	IOA5	A
A	IOA6	P79	23	24	P166	IOA7	A
A	IOA8	P74	25	26	P167	IOA9	A
A	IOA10	P86	27	28	P168	IOA11	A
A	IOA12	P90	29	30	P169	IOA13	A
	GND	GND	-	-	GND	GND	
A	IOA14	P96	31	32	P183	IOA15	A
A	IOA16	P71	33	34	P67	IOA17	A
A	IOA18	P100	35	36	P175	IOA19	A
A	IOA20	P172	37	38	P176	IOA21	A
A	IOA22	P62	39	40	P178	IOA23	A
A	IOA24	P64	41	42	P182	IOA25	A
A	IOA26	P58	43	44	P161	IOA27	A
B	IOA28	P51	45	46	P52	IOA29	B
A	IOA30	P57	47	48	P184	IOA31	A
A	IOA32	P61	49	50	P185	IOA33	A
	GND	GND	-	-	GND	GND	
A	IOA34	P63	51	52	P187	IOA35	A
A	IOA36	P65	53	54	P189	IOA37	A
A	IOA38	P68	55	56	P190	IOA39	A
A	IOA40	P72	57	58	P191	IOA41	A
A	IOA42	P78	59	60	P194	IOA43	A
A	IOA44	P85	61	62	P196	IOA45	A
A	IOA46	P87	63	64	P197	IOA47	A
A	IOA48	P93	65	66	P198	IOA49	A
A	IOA50	P95	67	68	P199	IOA51	A
A	IOA52	P97	69	70	P200	IOA53	A
	GND	GND	-	-	GND	GND	
A	IOA54	P101	71	72	P102	IOA55	A
B	IOA56	P50	73	74	P48	IOA57	B
B	IOA58	P46	75	76	P45	IOA59	B
B	IOA60	P44	77	78	P43	IOA61	B
B	IOA62	P42	79	80	P40	IOA63	B

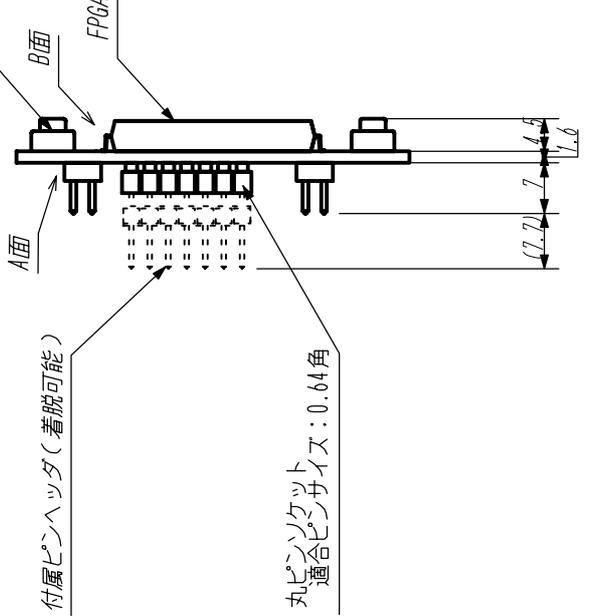
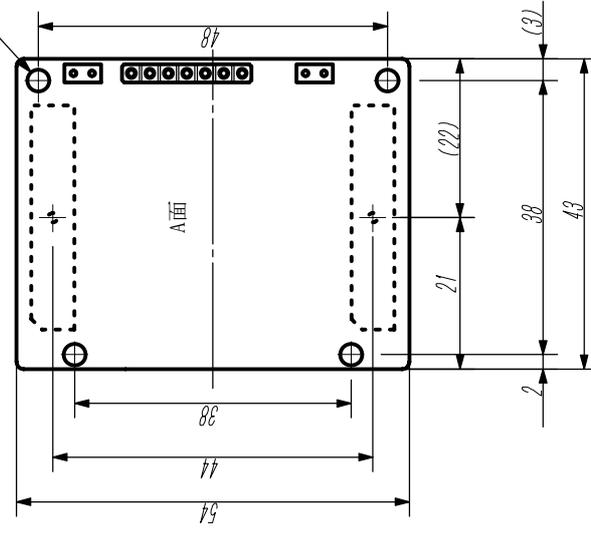
## 7.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA Pin	Connector Pin		FPGA Pin	NET LABEL	BANK
	V33_B	3.3 V (Input)	1	2	3.3 V (Input)	V33_B	
	V33_B	3.3 V (Input)	3	4	3.3 V (Input)	V33_B	
	Power (Reserved)	Power (Reserved)	5	6	Power (Reserved)	Power (Reserved)	
	Power (Reserved)	Power (Reserved)	7	8	Power (Reserved)	Power (Reserved)	
		N. C	9	10	N. C		
	GND	GND	-	-	GND	GND	
A	CLK-C	P77	11	12	P76	CLK-D	A
		N. C	13	14	N. C		
		N. C	15	16	N. C		
B	IOB0	P156	17	18	P155	IOB1	B
B	IOB2	P154	19	20	P150	IOB3	B
B	IOB4	P149	21	22	P148	IOB5	B
B	IOB6	P147	23	24	P146	IOB7	B
B	IOB8	P144	25	26	P143	IOB9	B
B	IOB10	P141	27	28	P140	IOB11	B
B	IOB12	P139	29	30	P138	IOB13	B
	GND	GND	-	-	GND	GND	
B	IOB14	P137	31	32	P135	IOB15	B
B	IOB16	P133	33	34	P132	IOB17	B
B	IOB18	P131	35	36	P130	IOB19	B
B	IOB20	P128	37	38	P126	IOB21	B
B	IOB22	P125	39	40	P124	IOB23	B
B	IOB24	P123	41	42	P122	IOB25	B
B	IOB26	P120	43	44	P119	IOB27	B
B	IOB28	P117	45	46	P116	IOB29	B
B	IOB30	P115	47	48	P114	IOB31	B
B	IOB32	P113	49	50	P111	IOB33	B
	GND	GND	-	-	GND	GND	
B	IOB34	P109	51	52	P108	IOB35	B
B	IOB36	P107	53	54	P106	IOB37	B
B	IOB38	P2	55	56	P3	IOB39	B
B	IOB40	P4	57	58	P5	IOB41	B
B	IOB42	P7	59	60	P9	IOB43	B
B	IOB44	P10	61	62	P11	IOB45	B
B	IOB46	P12	63	64	P13	IOB47	B
B	IOB48	P15	65	66	P16	IOB49	B
B	IOB50	P18	67	68	P19	IOB51	B
B	IOB52	P20	69	70	P21	IOB53	B
	GND	GND	-	-	GND	GND	
B	IOB54	P22	71	72	P24	IOB55	B
B	IOB56	P26	73	74	P27	IOB57	B
B	IOB58	P28	75	76	P29	IOB59	B
B	IOB60	P31	77	78	P33	IOB61	B
B	IOB62	P34	79	80	P35	IOB63	B



FX10A-80P/8-SV1(HIROSE)

4-φ3



材質		個数	
仕上			

**HUMANDATA**

UNIT

TITLE

XCM-101シリーズ 外形寸法図

CHK

DWG

SIZE

DWG NO XCM-101B

REV

---

Spartan-3 ブレッドボード  
XCM-101 シリーズ  
ユーザーズマニュアル

---

2005/04/25 初版 (Ver. 1.0) Rev. 1  
2006/01/12 第2版 (Ver. 1.1)  
2008/02/12 第2版(A) (Ver. 1.2)  
2008/05/07 第4版 (Ver. 2.0) Rev. 2  
2008/10/15 第5版 (Ver. 2.1)

2011/04/27 Ver. 2.2 (Rev. 2)

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---