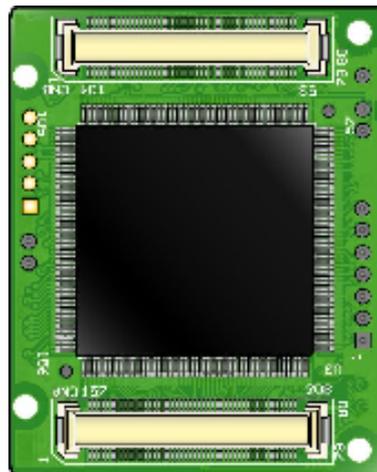




Spartan-3 ブレッドボード  
(ハーフカードサイズ)  
XCM-101-200/400  
ユーザーズマニュアル  
第 5 版 (Rev. 2)



ヒューマンデータ



## 目次

はじめに .....	2
ご注意 .....	2
1. 製品の内容について .....	3
2. 仕様 .....	3
3. 各部の名称 .....	4
4. 電源入力 .....	5
5. JTAG コネクタ .....	5
6. FPGA へのコンフィギュレーション方法 .....	7
7. コンフィギュレーション ROM データの作成方法 .....	8
8. コンフィギュレーション ROM へのデータ書き込み方法 .....	11
9. ジャンプスイッチの説明 .....	12
10. コネクタピン割付表 .....	13
11. XCM-101-200/400 参考資料について .....	15
12. 付属資料 .....	15

## はじめに

この度は、Spartan-3 ブレッドボード/XCM-101 シリーズをお買い上げいただきまして誠にありがとうございます。  
ございます。

XCM-101-200/400 は、XILINX の高性能 FPGA Spartan-3 (XC3S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROM などを装備した使いやすいボードになっています。

どうぞご活用ください。

## ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-101-200/400	1
付属品(ターゲット用コネクタ等)	1
マニュアル(本書)	1*
ユーザー登録はがき	1*

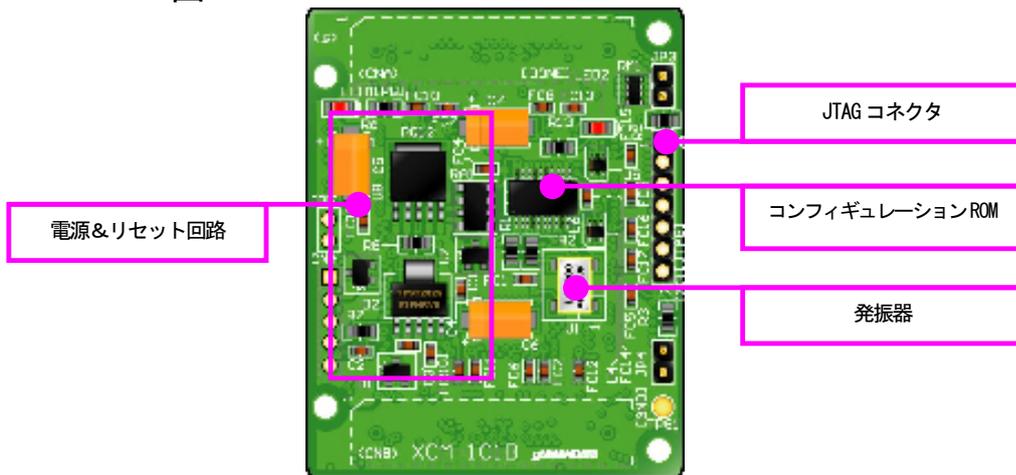
\* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できま

## 2. 仕様

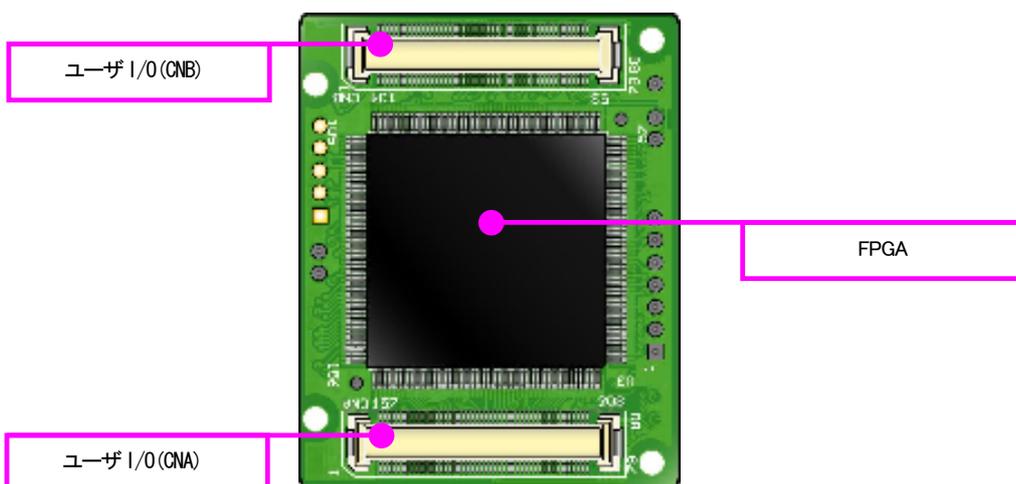
製品型番	XCM-101-200	XCM-101-400
搭載 FPGA	XC3S200-4PQG208C (XILINX)	XC3S400-4PQG208C (XILINX)
電源	DC 3.3V (詳細は FPGA データシートご参照)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	43 × 55 [mm]	
重量	約 20 [g]	
ユーザ I/O	128 本(64 本 × 2)	
I/O コネクタ	メーカー型番: FX10A-80P/8-SV1(71) (ヒロセ電機)	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
コンフィギュレーション ROM	XCF02SVOG20C (Xilinx)	
クロック	オンボード 48MHz、外部供給可能	
リセット回路	内蔵 (200ms TYP)	
JTAG コネクタ	SIP7 ピン 丸ピンソケット、変換アダプタにより 2mm、2.54mm 可能	
LED	電源表示用、コンフィギュレーション完了表示用	
付属品	SIP7 ピン ピンヘッド(本体に取付け済み) コネクタ: FX10A-80S/8-SV(71) (ヒロセ電機) 2 個 ジャンパソケット 2 個	
その他	-	-

3. 各部の名称

<A面>



<B面>



## 4. 電源入力

本ボードは、DC **3.3V** 単一電源で動作します。

内部に必要な、2.5V、1.2V はオンボードのレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は CNA、CNB から供給してください。

また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

VCC0 は 2 系統に分かれていますので、全て正しく接続して下さい。

## 5. JTAG コネクタ

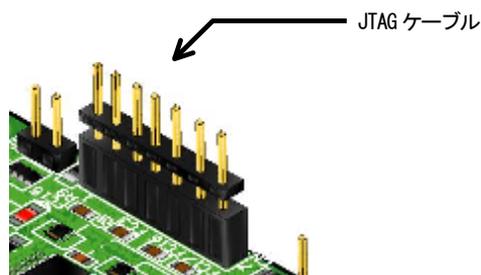
FPGA へのコンフィギュレーション、内蔵の ISP 可能なシリアル ROM への書込みに用います。

ピン配置は次表のとおりです。

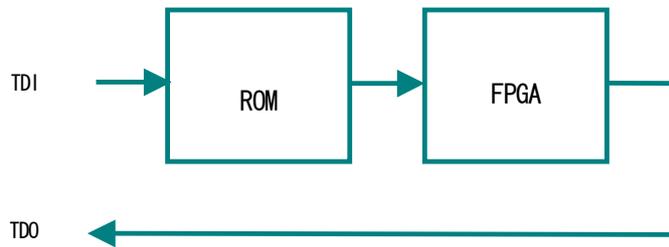
信号名	方向	ピン番号
<b>GND</b>	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
<b>VCC (3.3V)</b>	OUT (POW)	5
TDI	IN	6
<b>GND</b>	I/O	7

弊社製ダウンロードケーブル XC3、XCKIT や XILINX 社の純正ケーブルなどを用いることができます。

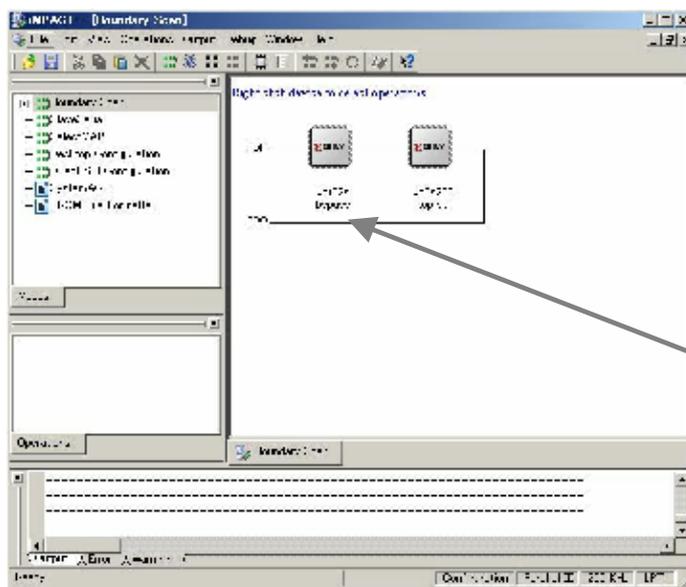
また、ダウンロードケーブルと本品 (XCM-101-200/400) との接続には付属品 SIP7 ピンヘッダをご利用できます。



JTAG チェインには ROM と FPGA の両方が参加しています。



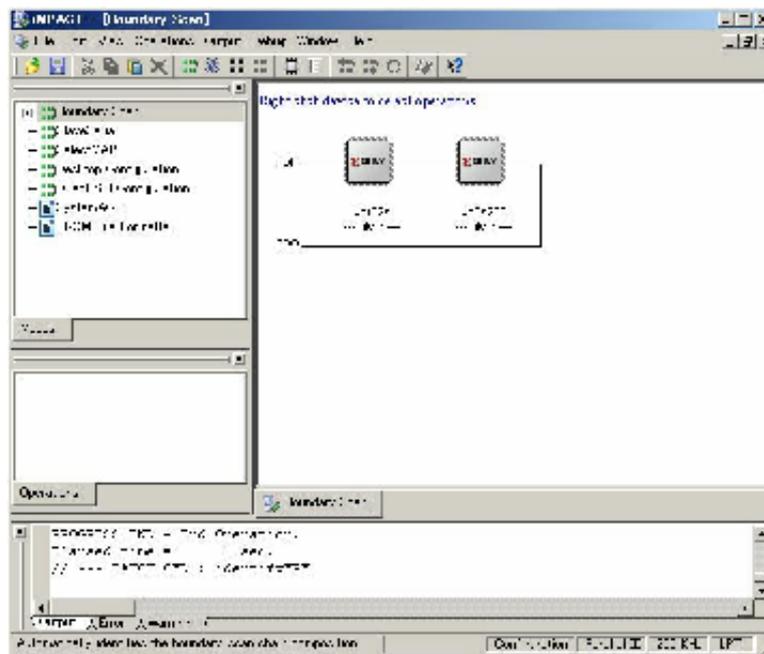
iMPACT により、いずれかを選択し、ROM ならば ISP (書き込み)、FPGA ならば Configuration を行ってください。



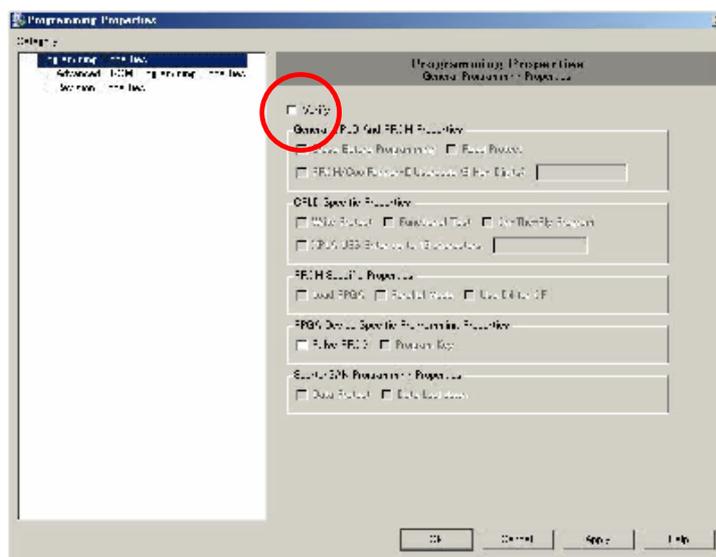
操作が必要ないときは、  
BYPASS とすれば良い

## 6. FPGA へのコンフィギュレーション方法

FPGA へのコンフィギュレーションは iMPACT により行います。  
 通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます。

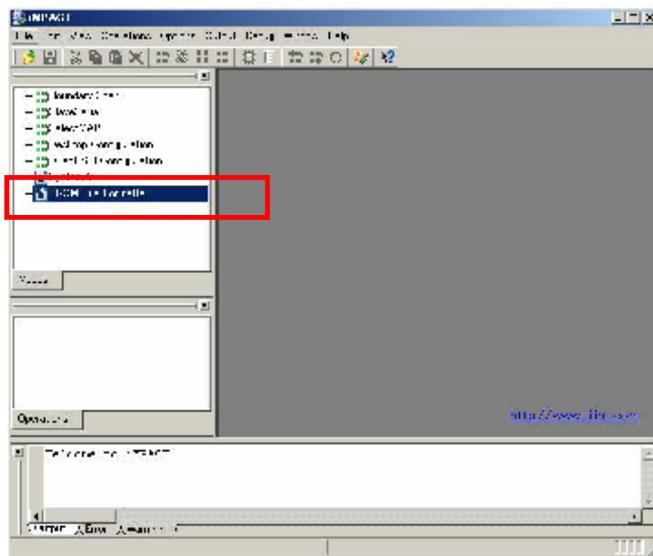


ROM は BYPASS とし、FPGA に対して bit ファイルを割り付けてください。  
 FPGA へのコンフィギュレーションの際は、通常 Verify のチェックを外してください。

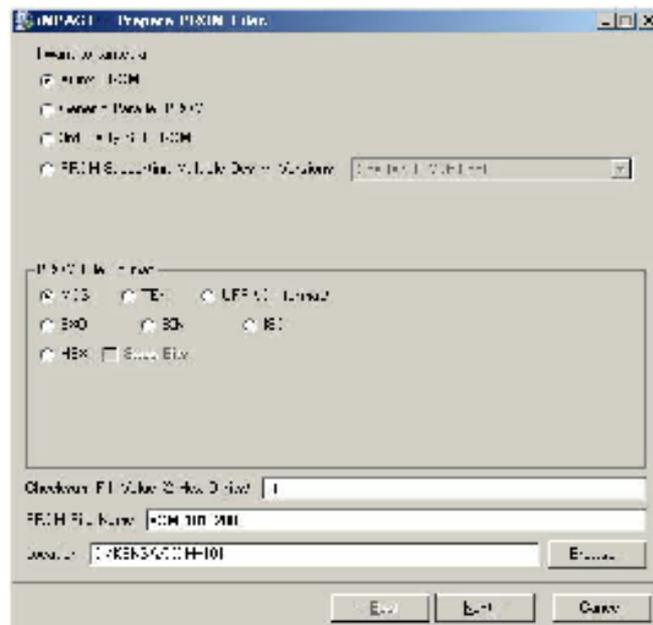


## 7. コンフィギュレーション ROM データの作成方法

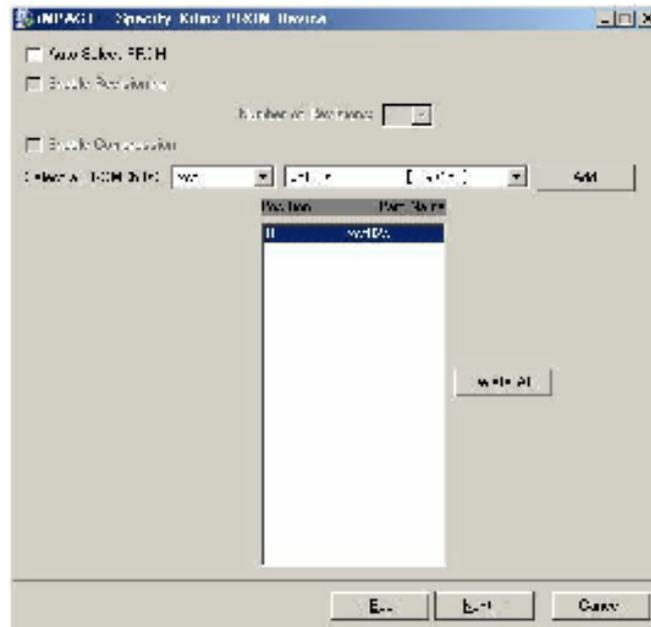
下図 赤枠[PROM File Formatter]上でダブルクリックします。



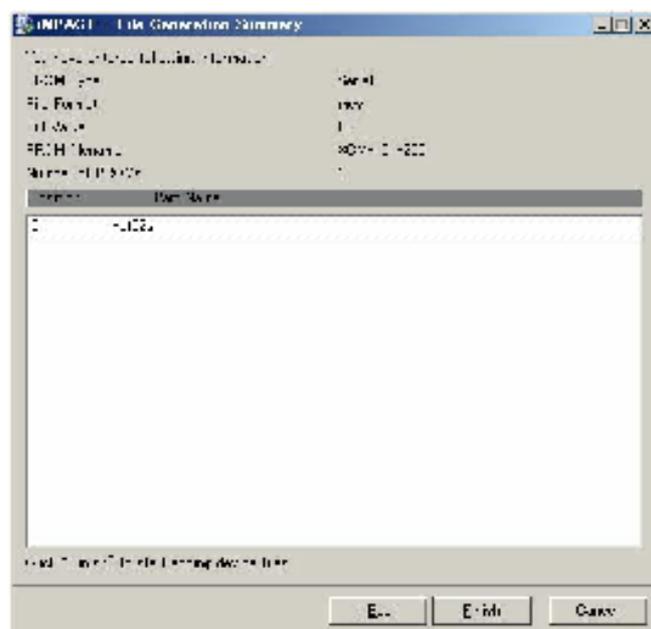
次に、下図のようにチェックを入れ、File Name と Location (保存先) を指定し **Next>** をクリックします



次に、PROM の種類を指定し Add をクリックします。  
 (XCM-101 は XCF02S を使用しているのので、Select a PROM は XCF02S を選択します)  
 下図のようになれば **Next** をクリックします。



次に、**Finish** をクリックします。



次に、下図ダイアログが表示されますので **OK** をクリックし、bit ファイルを指定します。



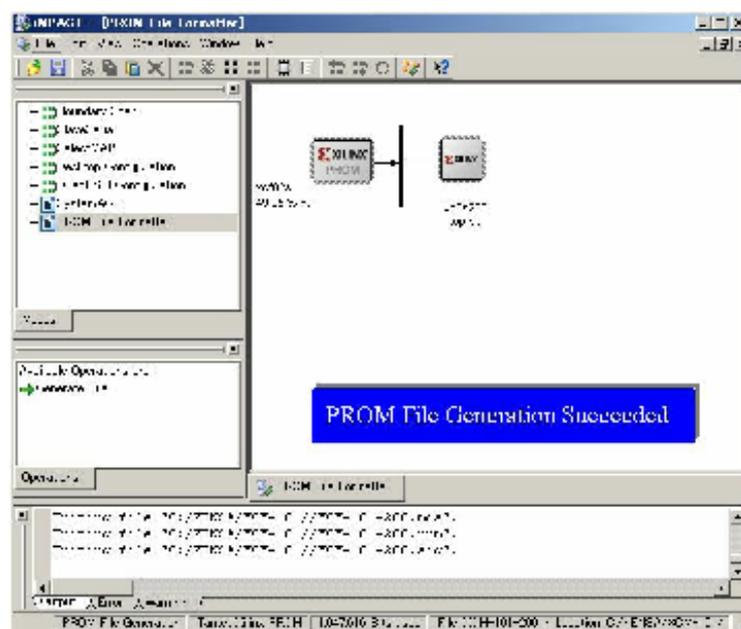
次に、**No** をクリックします。



次に、**OK** をクリックします。



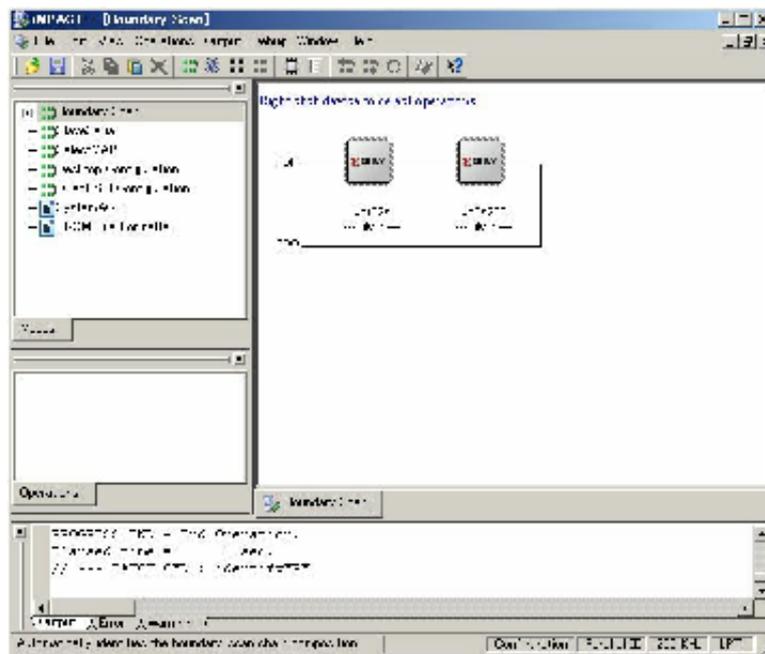
次に、PROM Formatter タブの、表示エリアで右ボタンメニューの Generate File をクリックします。  
PROM File Generation Succeeded が表示されれば ROM データの完成です。



## 8. コンフィギュレーション ROM へのデータ書き込み方法

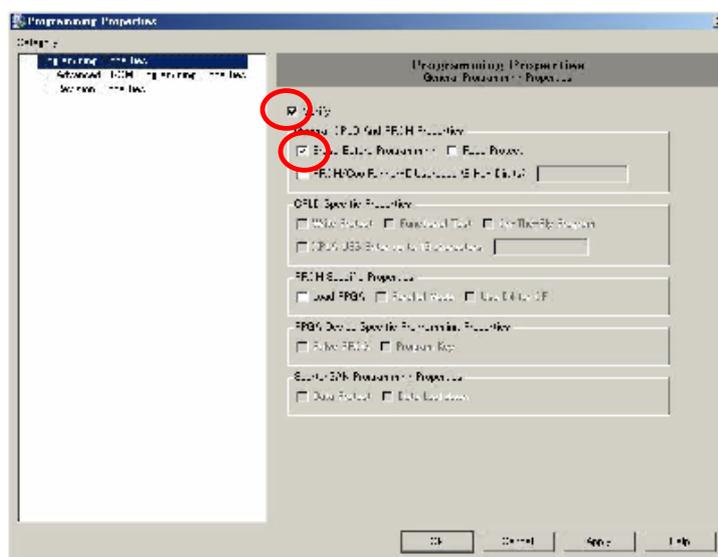
ROM へのデータ書き込みは iMPACT により行います。

通電状態で、iMPACT を起動すると、自動的に ROM と FPGA が認識されます



FPGA は BYPASS とし、ROM に対して mcs ファイルを割り付けてください

Program を実行し、[Verify]、[Erase Before Programming] にチェックを入れ **OK** をクリックします。



## 9. ジャンプスイッチの説明

**JP4** ——— **M0, M2 信号 設定用**

**M1 は 0 に固定 (回路図参照)**

**JP4 により、M0 と M2 は同時に 1 または 0 に設定されます。**

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode <sup>(1)</sup>	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT <sup>(2)</sup>
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

**Notes:**

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The delay chain is possible only in the Serial modes when DOUT is used.

(Xilinx 社データシートより)

**ROM 使用時 : Master Serial mode**

JP4 ショート M0 = 0

M1 = 0 (固定)

M2 = 0

**出荷時 : JTAG mode**

JP4 オープン M0 = 1

M1 = 0 (固定)

M2 = 1

**JP3** ——— **HSWAP ENABLE ピンの設定**

FPGA の HSWAP\_ENABLE ピンの設定を行います。

JP3 ショート : 0

JP3 オープン : 1

(出荷時はオープン)

## 10. コネクタピン割付表

**CNA**

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
	V33_A	3.3V	3	4	3.3V	V33_A	
	電源予約	電源予約	5	6	電源予約	電源予約	
	電源予約	電源予約	7	8	電源予約	電源予約	
	N.C	N.C	9	10	N.C	N.C	
	GND	GND	-	-	GND	GND	
	CLK-A	181	11	12	180	CLK-B	
	N.C	N.C	13	14	N.C	N.C	
	N.C	N.C	15	16	N.C	N.C	
A	IOA0	205	17	18	204	IOA1	A
A	IOA2	203	19	20	162	IOA3	A
A	IOA4	94	21	22	165	IOA5	A
A	IOA6	79	23	24	166	IOA7	A
A	IOA8	74	25	26	167	IOA9	A
A	IOA10	86	27	28	168	IOA11	A
A	IOA12	90	29	30	169	IOA13	A
	GND	GND	-	-	GND	GND	
A	IOA14	96	31	32	183	IOA15	A
A	IOA16	71	33	34	67	IOA17	A
A	IOA18	100	35	36	175	IOA19	A
A	IOA20	172	37	38	176	IOA21	A
A	IOA22	62	39	40	178	IOA23	A
A	IOA24	64	41	42	182	IOA25	A
A	IOA26	58	43	44	161	IOA27	A
B	IOA28	51	45	46	52	IOA29	B
A	IOA30	57	47	48	184	IOA31	A
A	IOA32	61	49	50	185	IOA33	A
	GND	GND	-	-	GND	GND	
A	IOA34	63	51	52	187	IOA35	A
A	IOA36	65	53	54	189	IOA37	A
A	IOA38	68	55	56	190	IOA39	A
A	IOA40	72	57	58	191	IOA41	A
A	IOA42	78	59	60	194	IOA43	A
A	IOA44	85	61	62	196	IOA45	A
A	IOA46	87	63	64	197	IOA47	A
A	IOA48	93	65	66	198	IOA49	A
A	IOA50	95	67	68	199	IOA51	A
A	IOA52	97	69	70	200	IOA53	A
	GND	GND	-	-	GND	GND	
A	IOA54	101	71	72	102	IOA55	A
B	IOA56	50	73	74	48	IOA57	B
B	IOA58	46	75	76	45	IOA59	B
B	IOA60	44	77	78	43	IOA61	B
B	IOA62	42	79	80	40	IOA63	B

**CNB**

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
	V33_B	3.3V	1	2	3.3V	V33_B	
	V33_B	3.3V	3	4	3.3V	V33_B	
	電源予約	電源予約	5	6	電源予約	電源予約	
	電源予約	電源予約	7	8	電源予約	電源予約	
	N.C	N.C	9	10	N.C	N.C	
	GND	GND	-	-	GND	GND	
A	CLK-C	77	11	12	76	CLK-D	A
	N.C	N.C	13	14	N.C	N.C	
	N.C	N.C	15	16	N.C	N.C	
B	IOB0	156	17	18	155	IOB1	B
B	IOB2	154	19	20	150	IOB3	B
B	IOB4	149	21	22	148	IOB5	B
B	IOB6	147	23	24	146	IOB7	B
B	IOB8	144	25	26	143	IOB9	B
B	IOB10	141	27	28	140	IOB11	B
B	IOB12	139	29	30	138	IOB13	B
	GND	GND	-	-	GND	GND	
B	IOB14	137	31	32	135	IOB15	B
B	IOB16	133	33	34	132	IOB17	B
B	IOB18	131	35	36	130	IOB19	B
B	IOB20	128	37	38	126	IOB21	B
B	IOB22	125	39	40	124	IOB23	B
B	IOB24	123	41	42	122	IOB25	B
B	IOB26	120	43	44	119	IOB27	B
B	IOB28	117	45	46	116	IOB29	B
B	IOB30	115	47	48	114	IOB31	B
B	IOB32	113	49	50	111	IOB33	B
	GND	GND	-	-	GND	GND	
B	IOB34	109	51	52	108	IOB35	B
B	IOB36	107	53	54	106	IOB37	B
B	IOB38	2	55	56	3	IOB39	B
B	IOB40	4	57	58	5	IOB41	B
B	IOB42	7	59	60	9	IOB43	B
B	IOB44	10	61	62	11	IOB45	B
B	IOB46	12	63	64	13	IOB47	B
B	IOB48	15	65	66	16	IOB49	B
B	IOB50	18	67	68	19	IOB51	B
B	IOB52	20	69	70	21	IOB53	B
	GND	GND	-	-	GND	GND	
B	IOB54	22	71	72	24	IOB55	B
B	IOB56	26	73	74	27	IOB57	B
B	IOB58	28	75	76	29	IOB59	B
B	IOB60	31	77	78	33	IOB61	B
B	IOB62	34	79	80	35	IOB63	B

#### オンボードクロック

オンボードクロック	NET LABEL	FPGA ピン#
48MHz	CLK0	80
48MHz	CLK1	81

#### 外部クロック

外部クロック	NET LABEL	FPGA ピン#
任意	CLK-A	181
任意	CLK-B	180
任意	CLK-C	77
任意	CLK-D	76

## 11. XCM-101-200/400 参考資料について

追加資料や参考資料が見つかった場合は  
製品サポートページ

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

にデータをアップロードすることにいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

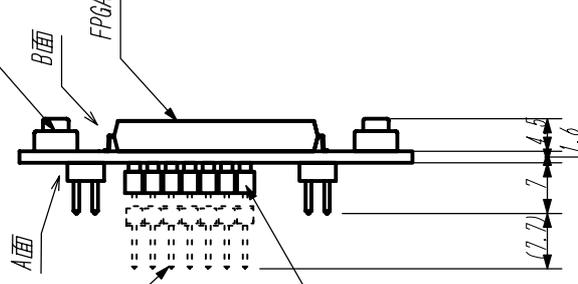
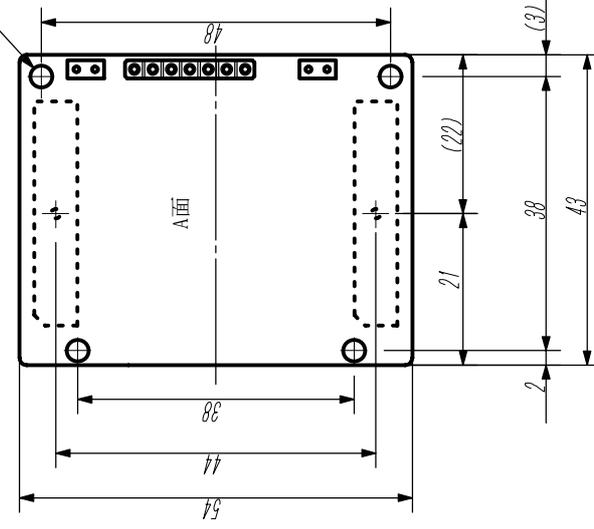
ときどきチェックしていただき必要に応じてご利用くださいませ。

## 12. 付属資料

1. 外形寸法図
2. 基板回路図 (別紙)

FX10A-80P/8-SV1(HIROSE)

4-φ3



A面

B面

FPGA

付属ピンヘッド(着脱可能)

丸ピンケツト  
適合ピンサイズ: 0.64角

材質	個数
仕上	

**HUMANDATA**

UNIT

TITLE

XCM-101シリーズ 外形寸法図

CHK

DWG

SIZE

DWG NO

XCM-101B

REV

---

Spartan-3 ブレッドボード  
(ハーフカードサイズ)

XCM-101-200/400

ユーザーズマニュアル

2005/04/25 初版 (R1)

2006/01/12 第2版 (R1)

2006/12/18 第2版 (A) (R1)

2008/02/12 第3版

2008/05/07 第4版 (R2)

2008/10/15 第5版 (R2)

---

**有限会社ヒューマンデータ**

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>

---