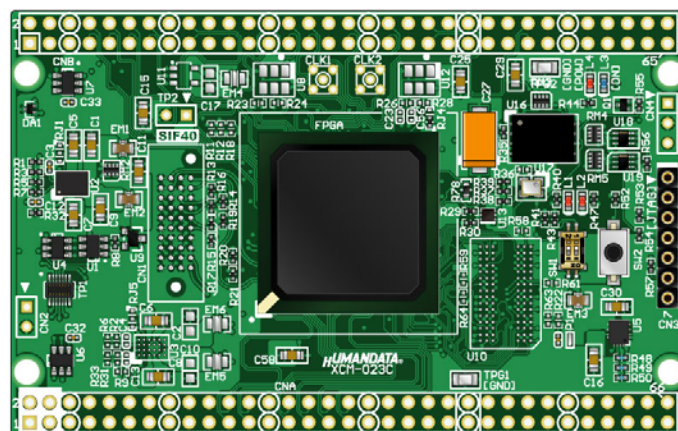




Artix-7 F484 FPGA ボード
XCM-023Z Rev2
ユーザズマニュアル
Ver. 2.0



ヒューマンデータ

目 次

● はじめに	1
● ご注意	1
● 改訂記録	2
1. 製品の内容について	2
2. 共通ピンについて【重要】	3
3. 開発環境	3
4. 仕様	4
5. 製品概要	5
5.1. 各部の名称	5
5.2. ブロック図	6
5.3. 電源入力	6
5.4. I/O (CNA/CNB)	6
5.5. クロック	7
5.6. 汎用 LED、汎用スイッチ	7
5.7. デバッグ I/F	7
5.8. 設定スイッチ	7
6. FPGA コンフィギュレーション	8
6.1. JTAG/バウンダリスキャン	8
6.2. コンフィグ ROM ファイルの作成	9
6.3. コンフィグ ROM アクセス	10
7. サポートページ	12
8. お問い合わせについて	12

● はじめに

この度は Artix-7 F484 FPGA ボード XCM-023Z をお買い上げいただきまして、誠にありがとうございます。XCM-023Z は、AMD (XILINX) の高性能 FPGA Artix-7 シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。

XCM-023Z は XCM-023 から高速トランシーバ部分と DDR3 SDRAM を除いた製品です。どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、 7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2023/12/22	2.0	製品リビジョンの更新 ・コンフィグ ROM 変更 ※ ・電源 IC の変更

※ 以前よりお使いのお客さまは MCS ファイルの再生成が必要になる場合があります

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード XCM-023Z	1
付属品	1
ユーザー登録はがき	1

マニュアルなどは付属していません。製品の資料ページからダウンロードして下さい。

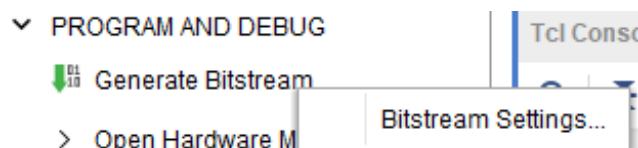
2. 共通ピンについて【重要】

本ボードでは、下表の Vref ピンが共通になっています。

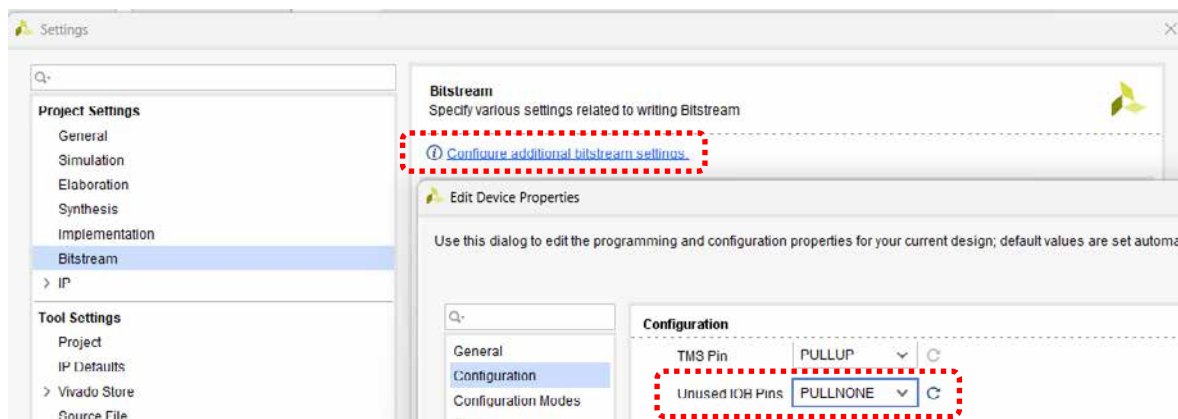
意図しないショートを避けるため、未使用ピンの設定を【PULLNONE】としておくことを推奨します。vivado での未使用ピン処理設定の確認は下記をご参照ください。

VDDR_REF	VRFB
V3	D15
W7	C20
	H18
	K14
	VRFB

1. 【Generate Bitstream】を右クリックして【Bitstream Settings】を開きます



2. 【Configure additional bitstream settings】をクリックし【Configuration】内の【Unused IOB Pins】を確認します



3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

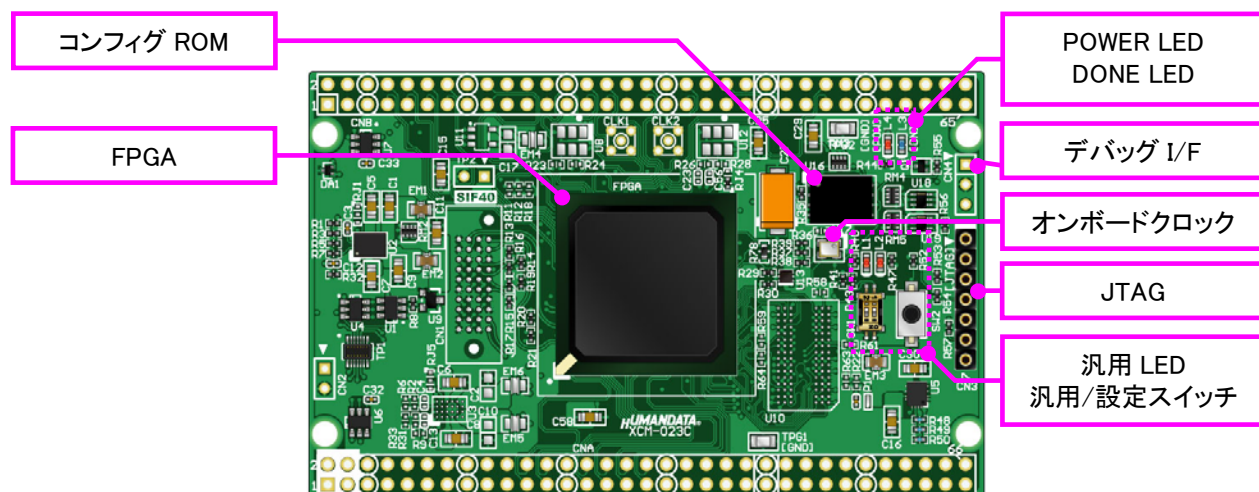
4. 仕様

製品型番	XCM-023Z -35T	XCM-023Z -50T	XCM-023Z -75T	XCM-023Z -100T	XCM-023Z -200T
搭載 FPGA	XC7A35T -1FGG484C	XC7A50T -1FGG484C	XC7A75T -1FGG484C	XC7A100T -1FGG484C	XC7A200T -1FBG484C
コンフィグ ROM	MT25QL128ABA1EW9-0SIT (Micron, 128Mbit)				
電源	DC 3.3 [V]				
オンボードクロック	50MHz (外部供給可能)				
ユーザ I/O	100 本				
ステータス LED	POWER(赤), DONE(青)				
汎用スイッチ	2 (Push x1 + DIP x1bit)				
汎用 LED	2				
リセット信号	コンフィグ用リセット信号(電源電圧検出 typ.240ms)				
I/O コネクタ	66 ピンスルーホール 0.9 [mmφ] 2.54 [mm] ピッチ				
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ				
プリント基板	ガラスエポキシ 8 層基板 1.6t				
消費電流	N/A (設計デザインに依存します)				
基板寸法	86 x 54 [mm]				
質量	約 31 [g]				
付属品	SIL7 ロングピンヘッダ x1 DIL80 ピンヘッダ(任意にカット可能)x2				

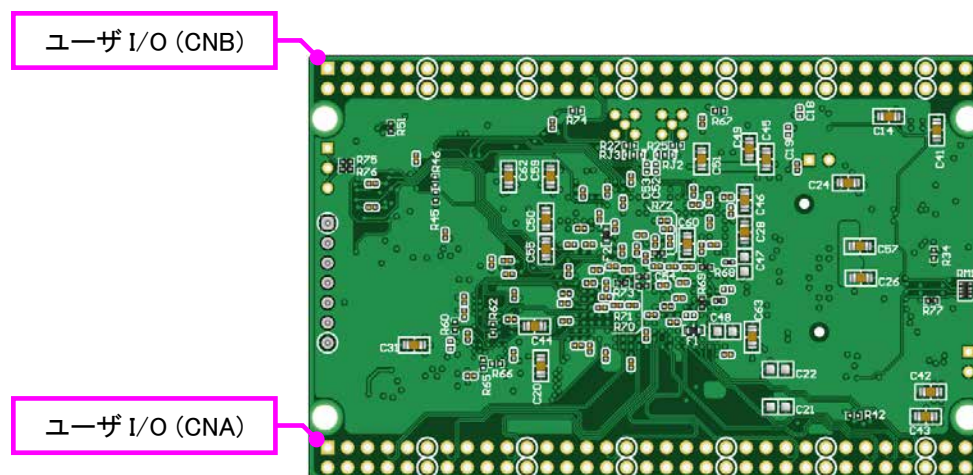
* これらの部品や仕様は変更となる場合がございます

5. 製品概要

5.1. 各部の名称

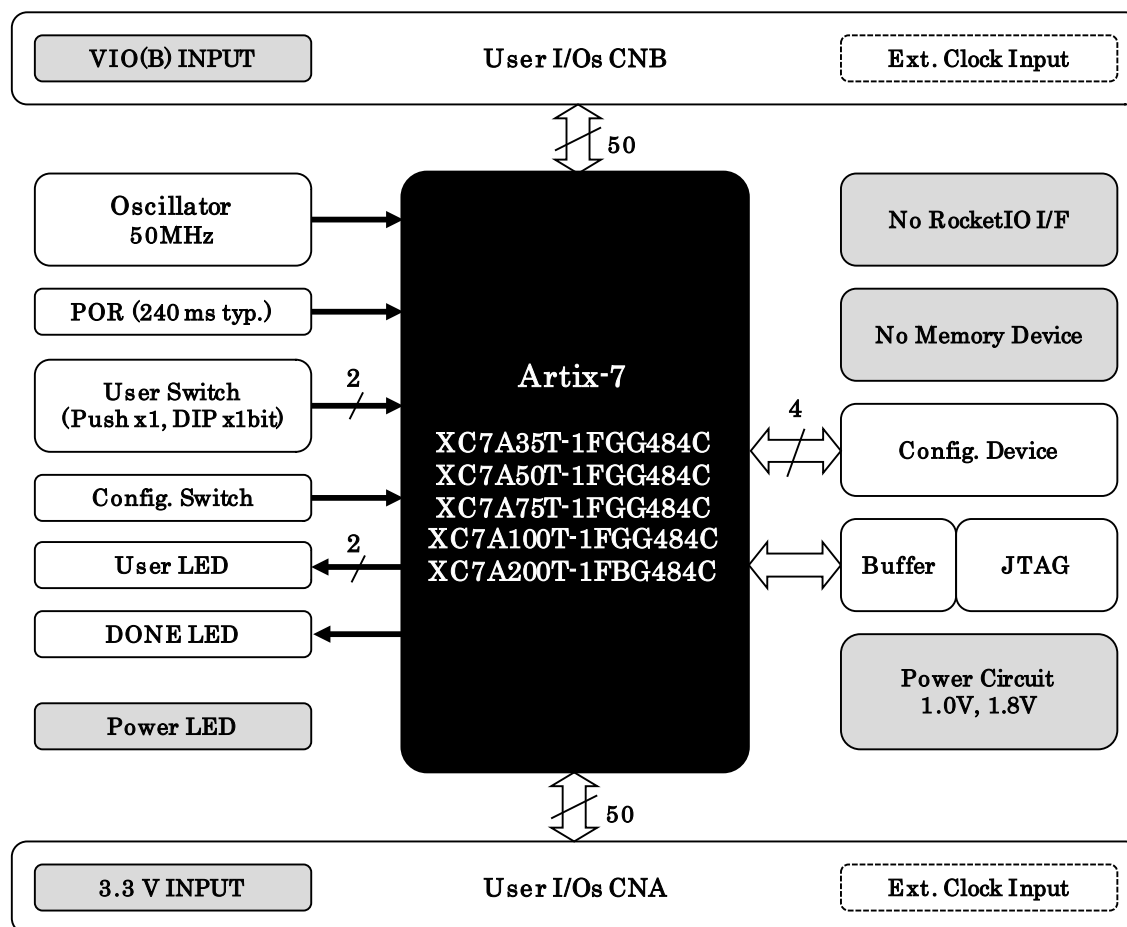


部品面



はんだ面

5.2. ブロック図



XCM-023Z Rev.B

5.3. 電源入力

電源は CNA, CNB より 3.3V を供給してください。内部で必要になる電源はオンボードレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

5.4. I/O (CNA/CNB)

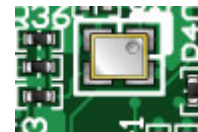
FPGA の I/O Bank は Bank Group A/B としてグループ化されています。詳しくは回路図をご参照ください。

CNA に接続された I/O が属する Bank Group A の Vcco は 3.3V に固定されています。CNB に接続された I/O が属する Bank Group B の Vcco は CNB より入力可能です。設計にあった電圧を入力してください

ピン割付、配線長については製品ウェブサイトの資料ページより「ピン割付表」をご参照ください。

5.5. クロック

オンボードクロックとして 50MHz (U17) を搭載しています。CNA、CNB より外部クロックを入力することも可能です。



5.6. 汎用 LED、汎用スイッチ

汎用 LED (L1, 2) は Low 出力で点灯させる事が出来ます。汎用プッシュスイッチ (SW2) はプルアップされていますので、ボタン押し込みにより Low 信号を FPGA に入力できます。汎用 DIP スイッチ (SW1 [2]) はプルアップされていますので、ON 設定により Low 信号を FPGA に入力できます。



5.7. デバッグ I/F

CN4 を汎用用途にご使用頂けます。
抵抗を介して Bank Group A の FPGA ピンに接続されています。



5.8. 設定スイッチ

設定スイッチ (SW1) によりコンフィギュレーションモードを変更することが可能です。コンフィギュレーションモードの詳細につきましては FPGA のコンフィギュレーションユーザガイドをご参照ください。

SW1

番号	1	2
ネット	X_M2	ASW
説明	コンフィグモード設定	汎用

コンフィギュレーションモード	SW1 [1] の設定
JTAG	OFF
Master Serial SPI	ON



6. FPGA コンフィギュレーション

JTAG コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN3

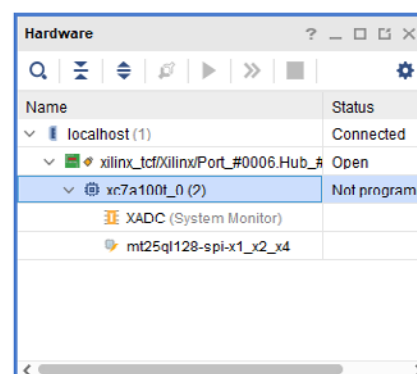
ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT
6	TDI	IN
7	GND	I/O



6.1. JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。

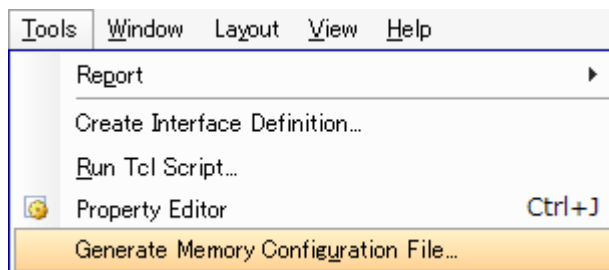
コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



6.2. コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。作成方法の一例を以下に示します。

(1) Hardware Manager にて【Tools – Generate Memory Configuration File】をクリックします



(2) 設定画面にて必要な項目を設定し【OK】をクリックします

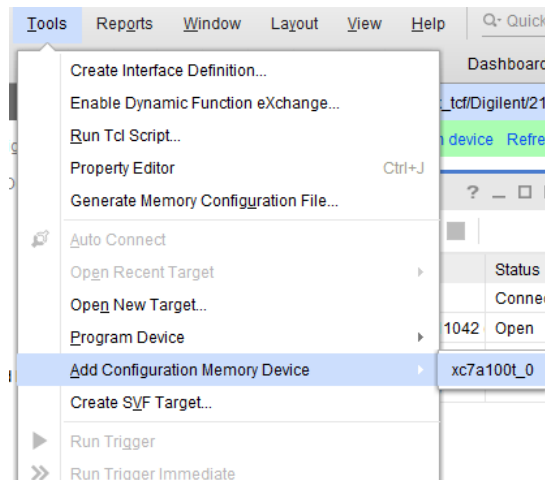
- Memory Part: mt25ql128-spi-x1_x2_x4
- Filename: 作成する MCS ファイル名
- Interface: 任意
- Bitfile: 変換する Bitstream ファイル



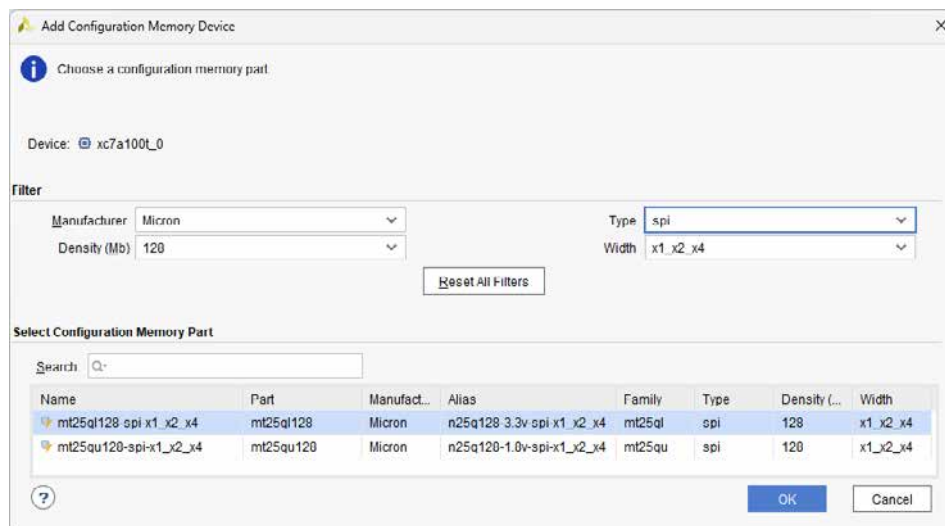
6.3. コンフィグ ROM アクセス

アクセスを行うには認識しているデバイスに対してコンフィグ ROM を追加します。

(1) 【Tools – Add Configuration Memory Device】から認識中のデバイスを選択します



(2) デバイスは【mt25ql128-spi-x1_x2_x4】を選択します



(3) MCS ファイルと実行するコマンドを選択し【OK】をクリックします

Program Configuration Memory Device

Select a configuration file and set programming options.

Memory Device: ...

Configuration file: ...

PRM file: ...

State of non-config mem I/O pins:

Program Operations

Address Range:

☒ Erase

☐ Blank Check

☒ Program

☒ Verify

☐ Verify Checksum

SVF Options

☐ Create SVF Only (no program operations)

SVF File: ...

? OK Cancel Apply

7. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/xcm-023Z/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト

またサポートセンターも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

8. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことり

当社は、開発ツールの使用方法やFPGAなどのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

Artix-7 F484 FPGA ボード

XCM-023Z シリーズ Rev2
ユーザーズマニュアル

2023/12/22 Ver.2.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
