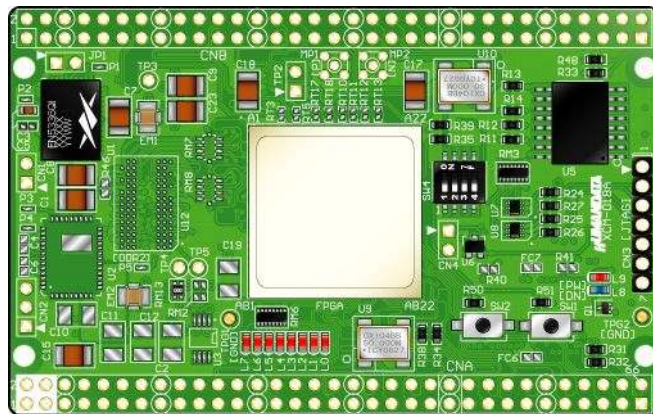




Spartan-6 FPGA ボード
XCM-018Z
ユーザーズマニュアル
Ver. 1. 2



目次


| | |
|-----------------------------|----|
| ● はじめに..... | 1 |
| ● ご注意..... | 1 |
| ● 改訂記録..... | 1 |
| 1. 共通ピンについて【重要】..... | 2 |
| 2. 製品の内容について..... | 2 |
| 3. 開発環境について..... | 3 |
| 4. 仕様..... | 3 |
| 5. 製品説明..... | 4 |
| 5.1. 各部名称..... | 4 |
| 5.2. ブロック図..... | 5 |
| 5.3. 電源..... | 5 |
| 5.4. クロック..... | 6 |
| 5.5. 設定スイッチ (SW4)..... | 6 |
| 6. FPGA コンフィギュレーション..... | 7 |
| 6.1. JTAG/バウンダリスキャン..... | 7 |
| 6.2. コンフィグ ROM ファイルの作成..... | 7 |
| 6.3. コンフィグ ROM アクセス..... | 8 |
| 7. FPGA ピン割付け表..... | 9 |
| 7.1. ユーザ I/O (CNA)..... | 9 |
| 7.2. ユーザ I/O (CNB)..... | 10 |
| 7.3. オンボードクロック..... | 11 |
| 7.4. 外部クロック入力..... | 11 |
| 7.5. 汎用 LED..... | 11 |
| 7.6. 汎用スイッチ..... | 12 |
| 7.7. シリアルインタフェース (CN2)..... | 12 |
| 7.8. 共通ピン..... | 12 |
| 8. サポートページ..... | 13 |
| 9. 付属資料..... | 13 |
| 10. お問い合わせについて..... | 13 |


● はじめに

この度は Spartan-6 FPGA ボード XCM-018Z シリーズをお買い上げいただきまして、誠にありがとうございます。

XCM-018Z は、XILINX の高性能 FPGA Spartan-6 シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

| | |
|--|---|
|  禁止 | 1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。 |
| | 2 水中、高湿度の場所での使用はご遠慮ください。 |
| | 3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。 |
| | 4 基板表面に他の金属が接触した状態で電源を入れしないでください。 |
| | 5 定格を越える電源を加えないでください。 |

| | |
|--|--|
|  注意 | 6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。 |
| | 7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。 |
| | 8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。 |
| | 9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。 |
| | 10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。 |
| | 11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。 |
| | 12 ノイズの多い環境での動作は保障しかねますのでご了承願います。 |
| 13 静電気にご注意ください。 | |

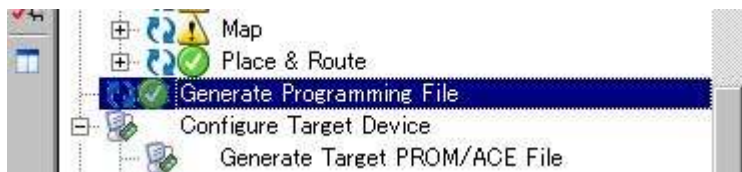
● 改訂記録

| 日付 | バージョン | 改訂内容 |
|------------|-------|-----------------------|
| 2010/11/11 | 1.0 | ・ 初版発行 |
| 2010/12/13 | 1.1 | ・ 外形図（スルーホールの穴径表記を修正） |
| 2012/05/11 | 1.2 | ・ 開発環境についての記述を編集 |

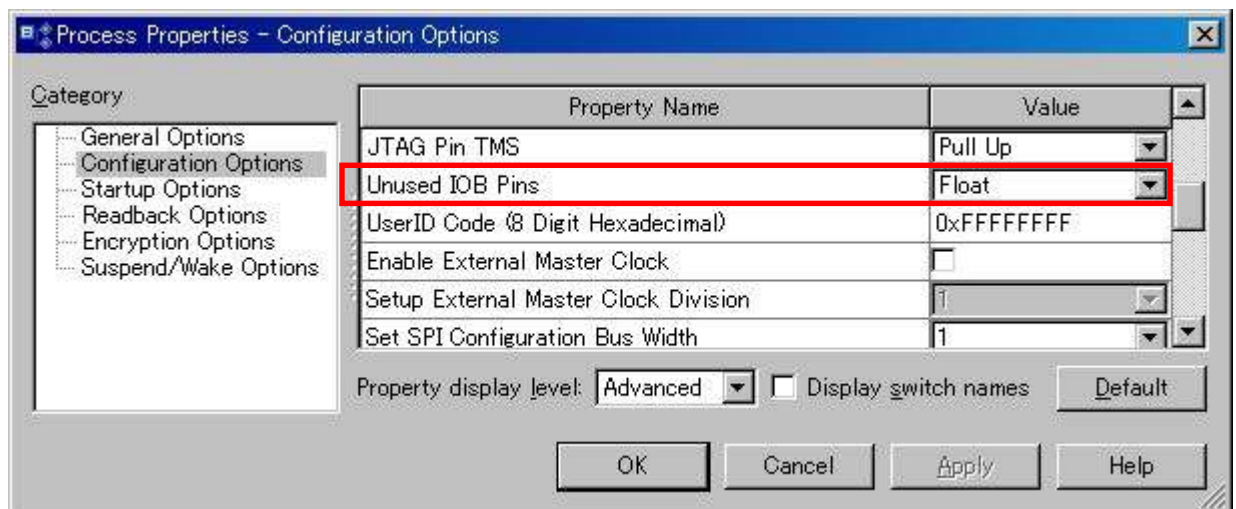
1. 共通ピンについて **【重要】**

本ボードでは、下表の Vref ピンが共通になっています。
意図しないショートを避けるため、未使用ピンの設定を【Float】としておくことを推奨します。ISE での未使用ピン処理設定の確認は下記をご参照ください。

| VRFB | V09_REF |
|------|---------|
| A4 | K8 |
| A9 | Y1 |
| A13 | M4 |
| C16 | B3 |



1. 【Generate Programming File】を右クリックして【Process Properties】を開きます



2. 【Configuration Options】内の【Unused IOB Pins】を確認します

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

| | | |
|-----------|----------|-----|
| FPGA ボード | XCM-018Z | 1 |
| 付属品 | | 1 |
| マニュアル（本書） | | 1 * |
| ユーザ登録はがき | | 1 * |

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

3. 開発環境について

FPGAの内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

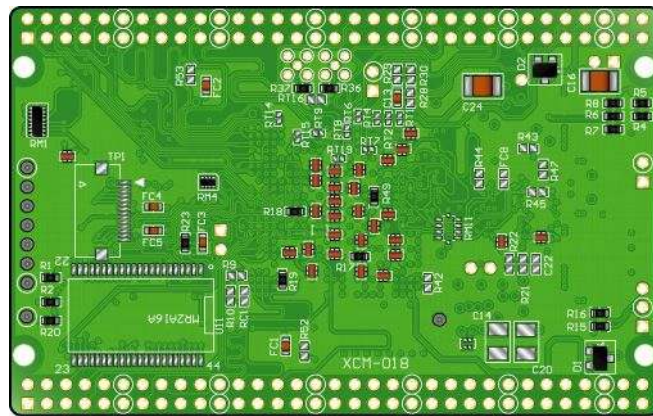
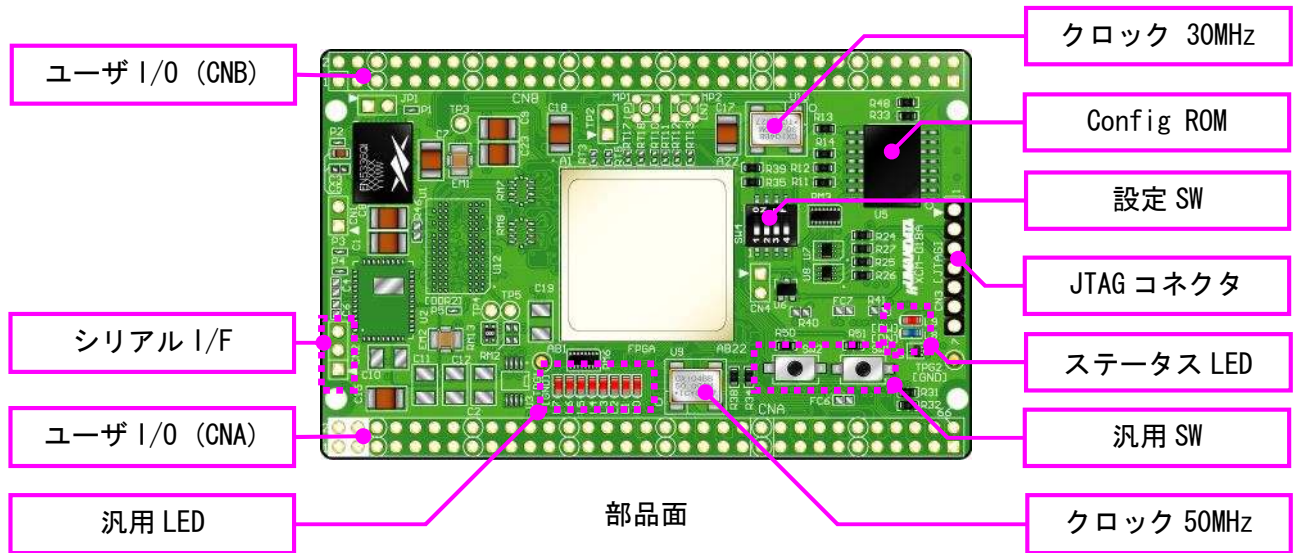
4. 仕様

| | | | | |
|------------|---|-----------------------|------------------------|------------------------|
| 製品型番 | XCM-018Z-LX45 | XCM-018Z-LX75 | XCM-018Z-LX100 | XCM-018Z-LX150 |
| 搭載 FPGA | XC6SLX45 -2FGG484C | XC6SLX75 -2FGG484C | XC6SLX100 -2FGG484C | XC6SLX150 -2FGG484C |
| コンフィグ ROM | M25P32-VMF6P (32Mbit) | | M25P64-VMF6P (64Mbit) | |
| DDR2 SDRAM | 非搭載 | | | |
| MRAM | 非搭載 | | | |
| オンボードクロック | 50MHz、30MHz | | | |
| 外部入力クロック | ユーザ I/O (CNA-48/49, CNB-48/49), MMCX x2 (不実装) | | | |
| 電源 | DC 3.3[V] | | | |
| 消費電流 | N/A (詳細は FPGA データシートをご参照ください) | | | |
| 外形寸法 | 86 x 54 [mm] | | | |
| 質量 | 約 32 [g] | | | |
| ユーザ I/O | 100 本 | | | |
| 汎用スイッチ | 3 (Push x2, DIP x1bit) | | | |
| 汎用 LED | 8 | | | |
| I/O コネクタ | 66 ピンスルーホール 1.0[mmφ] 2.54[mm] ピッチ | | | |
| プリント基板 | ガラスエポキシ 8 層基板 1.6t | | | |
| リセット信号 | コンフィグ用リセット信号 (typ. 240ms) | | | |
| JTAG コネクタ | SIL7 ピンソケット 2.54mm ピッチ | | | |
| ステータス LED | POWER (赤), DONE (青) | | | |
| 付属品 | SIL7 ピンヘッダ (本体に取付け済み) x1 | | | |
| | DIL80 ピンヘッダ (任意にカット可能) x2 | | | |

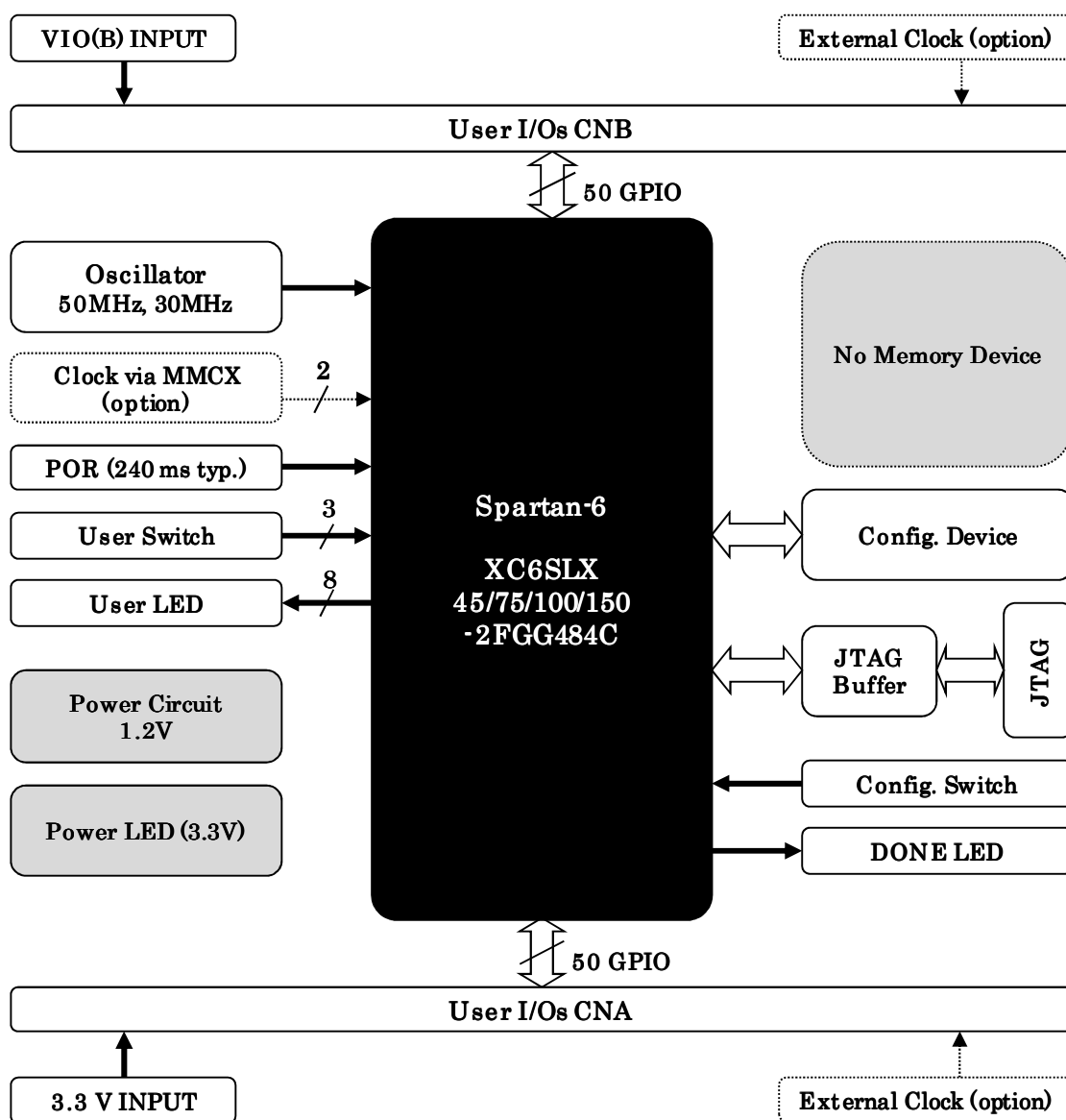
*これらの部品や仕様は変更となる場合がございます

5. 製品説明

5.1. 各部名称



5.2. ブロック図



5.3. 電源

電源はCNA, CNBより3.3Vを供給してください。内部で必要になる1.2Vはオンボードレギュレータにより生成されます。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。

BANK BのVccioはボード上の3.3Vとは接続されていません。任意の値をCNBから入力してください。(JP1をショートして3.3Vとすることも出来ます)

詳しくはFPGAのデータシートや回路図などを参照してください。

5.4. クロック

オンボードクロックとして 50MHz (U9) と 30MHz (U10) を搭載しています。CNA、CNB または MMCX コネクタ (MP1, MP2) より外部クロックを入力することも可能です。
詳しくは回路図をご参照ください。

5.5. 設定スイッチ (SW4)

設定スイッチ (SW4) によりコンフィギュレーションモードなどを変更することが可能です。各ピンの詳細については Spartan-6 コンフィギュレーションユーザガイドをご参照ください。

SW1

| 番号 | 1 | 2 | 3 | 4 |
|-----|---------|------------|-----|------|
| 記号 | HSWAPEN | M0 | M1 | ASWO |
| 出荷時 | OFF | OFF | OFF | OFF |
| 説明 | プルアップ設定 | コンフィグモード設定 | | 汎用 |



| | Master Serial/SPI | JTAG |
|--------------|-------------------|-------|
| M[0..1] の設定値 | OFF - ON | X - X |

X: Don' t Care

- **HSWAPEN**
コンフィギュレーション前のユーザ I/O の状態を設定します。
ON : プルアップ有り
OFF : プルアップ無し (ハイインピーダンス)
- **M0, M1**
コンフィギュレーションモードを設定します。上表に示したモードは一部のものです。
- **ASWO**
汎用用途としてご使用頂けます。

6. FPGA コンフィギュレーション

JTAG コネクタ (CN3) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

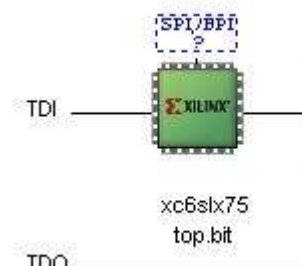
CN3

| ピン番号 | 信号名 | 方向 |
|------|-----------|-----|
| 1 | GND | I/O |
| 2 | TCK | IN |
| 3 | TDO | OUT |
| 4 | TMS | IN |
| 5 | VCC(3.3V) | OUT |
| 6 | TDI | IN |
| 7 | GND | I/O |



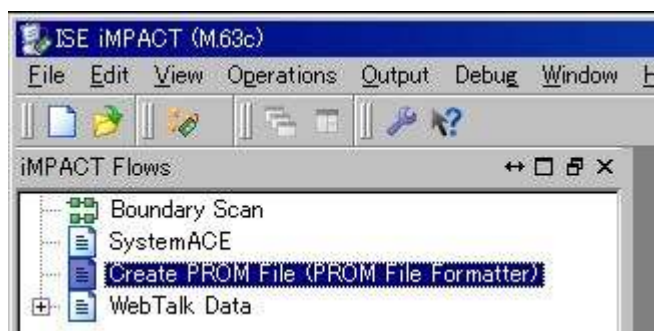
6.1. JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには下記をご参照ください。

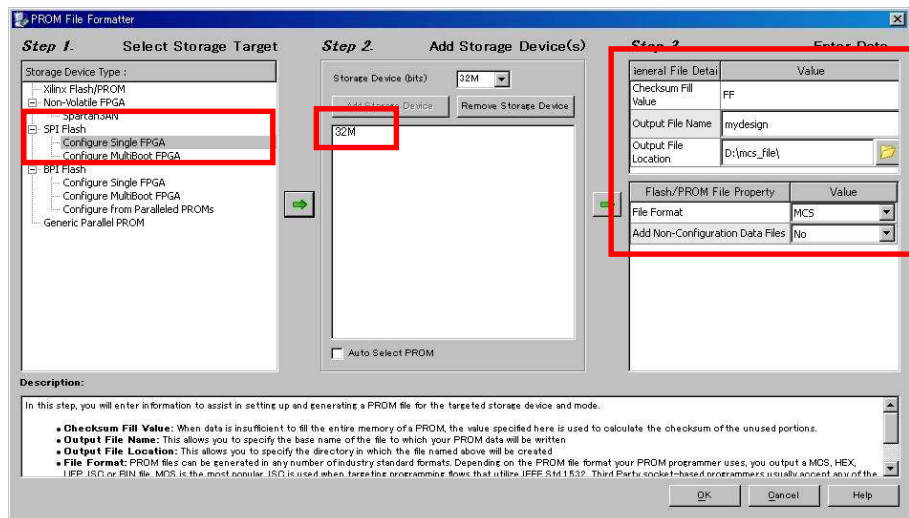


6.2. コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。



(1) iMPACT にて「Create PROM File」をダブルクリックします



(2) 設定画面にて必要な項目を設定します

- Storage Target: SPI Flash - Configure Single FPGA
- Storage Device: 32M または 64M (1つ)
- File Format: MCS
- その他項目: 任意

(3) 使用する bit ファイルを選択します

(4) iMPACT Processes のタブにある「Generate File…」をダブルクリックします

(5) 「Generate Succeeded」と表記されれば完了です

6.3. コンフィグ ROM アクセス

バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MCS ファイルを割付けます。デバイスには【SPI PROM - M25P32】または【SPI PROM - M25P64】を選択してください。

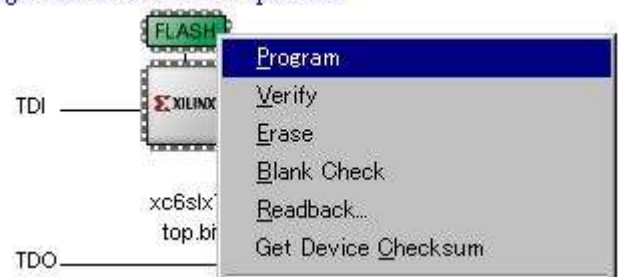
右クリックから各コマンドを実行できます。コマンド実行時にはコンフィギュレーションモードを Master Serial/SPI に設定する必要があります。

SW4

| | 1 | 2 | 3 | 4 |
|-----|---|---|---|---|
| ON | X | | ■ | X |
| OFF | X | ■ | | X |

X : Don't Care

Right click device to select operations



7. FPGA ピン割付け表

7.1. ユーザ I/O (CNA)

| BANK | NET LABEL | FPGA ピン | CNA | | FPGA ピン | NET LABEL | BANK |
|------|-----------|---------|-----|----|---------|-----------|------|
| | V33_A | 3.3V | 1 | 2 | 3.3V | V33_A | |
| | | 電源予約 | 3 | 4 | 電源予約 | | |
| | | GND | 5 | 6 | GND | | |
| A | IOA0 | AA2 | 7 | 8 | AB2 | IOA1 | A |
| A | IOA2 | Y3 | 9 | 10 | AB3 | IOA3 | A |
| A | IOA4 | AA4 | 11 | 12 | AB4 | IOA5 | A |
| A | IOA6 | Y4 | 13 | 14 | W4 | IOA7 | A |
| | | GND | 15 | 16 | GND | | |
| A | IOA8 | AA6 | 17 | 18 | AB6 | IOA9 | A |
| A | IOA10 | Y7 | 19 | 20 | AB7 | IOA11 | A |
| A | IOA12 | AA8 | 21 | 22 | AB8 | IOA13 | A |
| A | IOA14 | AB9 | 23 | 24 | Y9 | IOA15 | A |
| | | GND | 25 | 26 | GND | | |
| A | IOA16 | AA10 | 27 | 28 | AB10 | IOA17 | A |
| A | IOA18 | V11 | 29 | 30 | W11 | IOA19 | A |
| A | IOA20 | Y12 | 31 | 32 | Y13 | IOA21 | A |
| A | IOA22 | AA12 | 33 | 34 | AB12 | IOA23 | A |
| | | GND | 35 | 36 | GND | | |
| A | IOA24 | AA14 | 37 | 38 | AB14 | IOA25 | A |
| A | IOA26 | AB15 | 39 | 40 | V15 | IOA27 | A |
| A | IOA28 | Y15 | 41 | 42 | AB16 | IOA29 | A |
| A | IOA30 | AA16 | 43 | 44 | Y17 | IOA31 | A |
| | | GND | 45 | 46 | GND | | |
| A | IOA32 | AB17 | 47 | 48 | AA18 | IOA33 | A |
| A | IOA34 | AB18 | 49 | 50 | Y19 | IOA35 | A |
| A | IOA36 | AB19 | 51 | 52 | W20 | IOA37 | A |
| A | IOA38 | W22 | 53 | 54 | V21 | IOA39 | A |
| | | GND | 55 | 56 | GND | | A |
| A | IOA40 | V22 | 57 | 58 | U22 | IOA41 | A |
| A | IOA42 | U20 | 59 | 60 | R20 | IOA43 | A |
| A | IOA44 | T21 | 61 | 62 | P19 | IOA45 | A |
| A | IOA46 | T22 | 63 | 64 | R22 | IOA47 | A |
| A | IOA48 *1 | P20 | 65 | 66 | P22 | IOA49 *2 | A |

(*1) 抵抗 (R32) を介して ECLK_AP (Y11) に接続されています

(*2) 抵抗 (R31) を介して ECLK_AN (AB11) に接続されています

(* 配線長はピン割付表をご参照ください (サポートページ)

7.2. ユーザ I/O (CNB)

| BANK | NET LABEL | FPGA ピン | CNB | | FPGA ピン | NET LABEL | BANK |
|------|-----------|---------|-----|----|---------|-----------|------|
| | V10(B) | VCC10_x | 1 | 2 | VCC10_x | V10(B) | |
| | | 電源予約 | 3 | 4 | 電源予約 | | |
| | | GND | 5 | 6 | GND | | |
| B | IOB0 | C5 | 7 | 8 | A5 | IOB1 | B |
| B | IOB2 | D6 | 9 | 10 | C6 | IOB3 | B |
| B | IOB4 | B6 | 11 | 12 | A6 | IOB5 | B |
| B | IOB6 | C7 | 13 | 14 | A7 | IOB7 | B |
| | | GND | 15 | 16 | GND | | |
| B | IOB8 | D8 | 17 | 18 | D7 | IOB9 | B |
| B | IOB10 | C8 | 19 | 20 | D9 | IOB11 | B |
| B | IOB12 | A8 | 21 | 22 | B8 | IOB13 | B |
| B | IOB14 | D10 | 23 | 24 | C10 | IOB15 | B |
| | | GND | 25 | 26 | GND | | |
| B | IOB16 | B10 | 27 | 28 | A10 | IOB17 | B |
| B | IOB18 | C11 | 29 | 30 | A11 | IOB19 | B |
| B | IOB20 | D14 | 31 | 32 | C14 | IOB21 | B |
| B | IOB22 | B14 | 33 | 34 | A14 | IOB23 | B |
| | | GND | 35 | 36 | GND | | |
| B | IOB24 | C15 | 37 | 38 | A15 | IOB25 | B |
| B | IOB26 | B16 | 39 | 40 | A16 | IOB27 | B |
| B | IOB28 | C17 | 41 | 42 | A17 | IOB29 | B |
| B | IOB30 | E16 | 43 | 44 | D17 | IOB31 | B |
| | | GND | 45 | 46 | GND | | |
| B | IOB32 | A18 | 47 | 48 | B18 | IOB33 | B |
| B | IOB34 | C9 | 49 | 50 | C13 | IOB35 | B |
| B | IOB36 | D15 | 51 | 52 | A20 | IOB37 | A |
| A | IOB38 | B20 | 53 | 54 | A21 | IOB39 | A |
| | | GND | 55 | 56 | GND | | |
| A | IOB40 | B21 | 57 | 58 | B22 | IOB41 | A |
| A | IOB42 | C22 | 59 | 60 | D21 | IOB43 | A |
| A | IOB44 | D22 | 61 | 62 | E22 | IOB45 | A |
| A | IOB46 | F22 | 63 | 64 | G22 | IOB47 | A |
| A | IOB48 *1 | J20 | 65 | 66 | J22 | IOB49 *2 | A |

(*1) 抵抗 (R33) を介して ECLK_BP (D11) に接続されています

(*2) 抵抗 (R48) を介して ECLK_BN (C12) に接続されています

(* 配線長はピン割付表をご参照ください (サポートページ)

7.3. オンボードクロック

| 周波数 | NET LABEL | FPGA Pin |
|-------|-----------|----------|
| 30MHz | GCLK_30A | H22 |
| | GCLK_30B | W12 |
| 50MHz | GCLK_50A | K20 |
| | GCLK_50B | AB13 |

7.4. 外部クロック入力

| コネクタ | NET LABEL | FPGA Pin |
|------------|-----------|----------|
| CNA_65 | ECLK_AP | Y11 |
| CNA_66 | ECLK_AN | AB11 |
| CNB_65 | ECLK_BP | D11 |
| CNB_66 | ECLK_BN | C12 |
| MMCX (MP1) | CLKEX_P | B12 |
| MMCX (MP2) | CLKEX_N | A12 |

7.5. 汎用LED

| LED | NET LABEL | FPGA Pin |
|-----|-----------|----------|
| L7 | ULED7 | H18 |
| L6 | ULED6 | H19 |
| L5 | ULED5 | G19 |
| L4 | ULED4 | F18 |
| L3 | ULED3 | F20 |
| L2 | ULED2 | E20 |
| L1 | ULED1 | D19 |
| L0 | ULED0 | D20 |

7.6. 汎用スイッチ

| SW | NET LABEL | FPGA Pin |
|-------|-----------|----------|
| SW1 | PSW1 | C20 |
| SW2 | PSW2 | N19 |
| SW4-4 | ASW0 | F19 |

7.7. シリアルインタフェース (CN2)

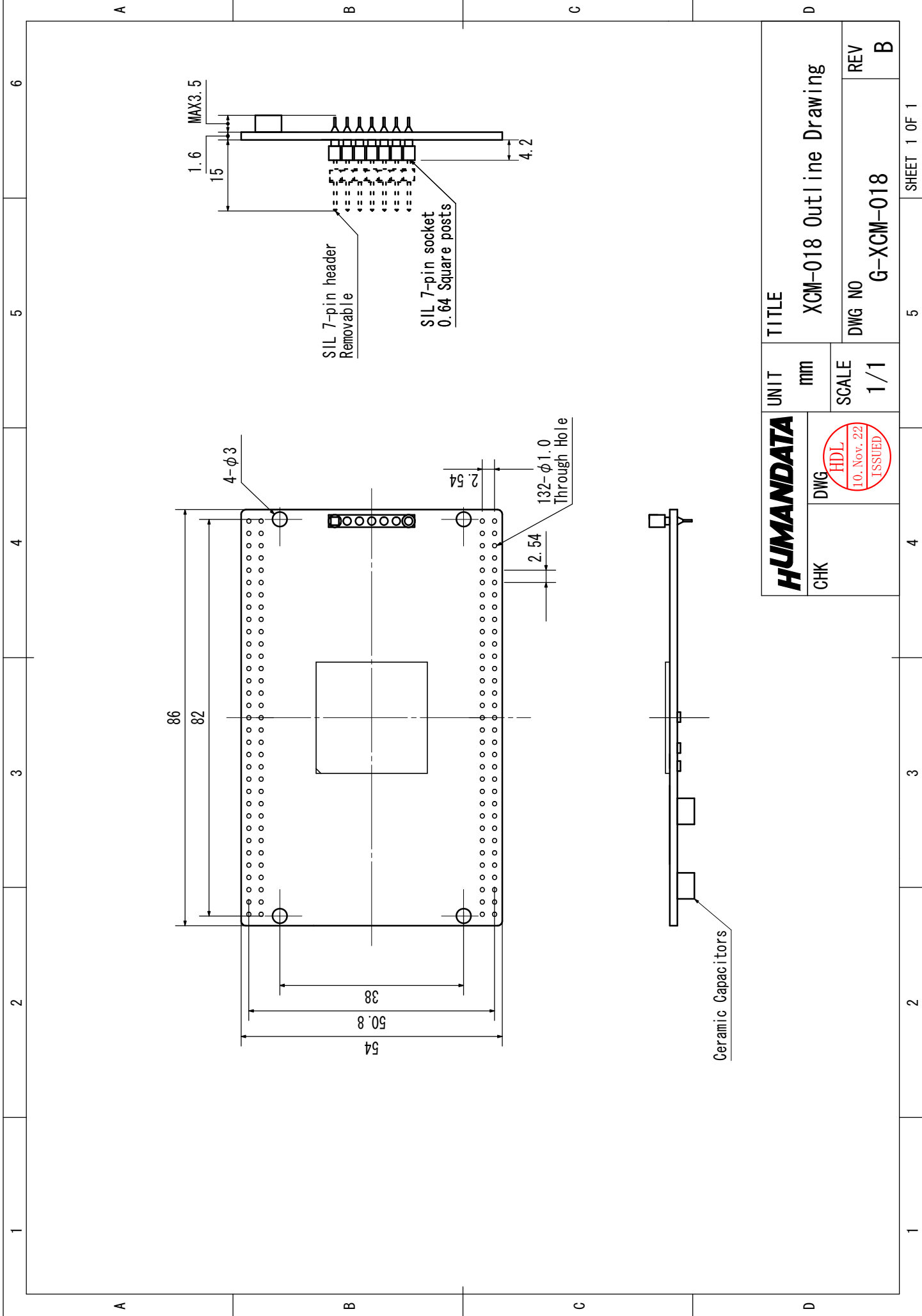
| コネクタ番号 | NET LABEL | FPGA Pin |
|--------|-----------|----------|
| 1 | SIO_TX | M20 |
| 2 | GND | - |
| 3 | SIO_RX | L19 |

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。汎用ピンとしてもご使用頂けます。詳しくは回路図をご参照ください。

7.8. 共通ピン

下記の汎用ポートは、VREF 機能を兼ねているため共通となっています。出力ポートとして使用しないようにご注意ください。詳しくは1章をご参照ください。

| VRFB | V09_REF |
|------|---------|
| A4 | K8 |
| A9 | Y1 |
| A13 | M4 |
| C16 | B3 |



| | | | |
|------------------|-----|-------------------------|-----------|
| HUMANDATA | | TITLE | |
| CHK | DWG | XCM-018 Outline Drawing | |
| | | UNIT | mm |
| | | SCALE | 1/1 |
| | | DWG NO | G-XCM-018 |
| | | REV | B |

Spartan-6 FPGA ボード
XCM-018Z シリーズ
ユーザーズマニュアル

2010/11/11 Ver.1.0 (初版)
2010/12/13 Ver.1.1

2012/05/11 Ver.1.2

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
