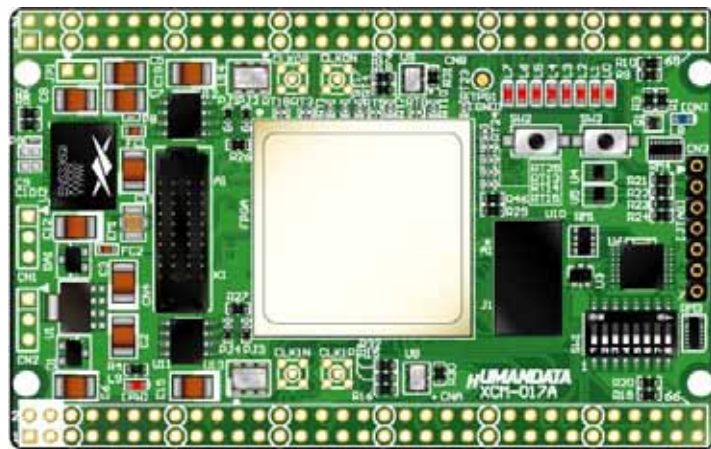


Virtex-5 FPGA ボード
XCM-017
ユーザーズマニュアル
Ver.1.1



目次


| | |
|--|----|
| ● はじめに..... | 1 |
| ● ご注意..... | 1 |
| ● 改訂記録..... | 2 |
| 1. 固定ピンについて [重要] | 2 |
| 2. 製品の内容について..... | 3 |
| 3. 開発環境..... | 3 |
| 4. 仕様..... | 4 |
| 5. 製品概要..... | 5 |
| 5.1 各部の名称..... | 5 |
| 5.2 ブロック図..... | 6 |
| 5.3 電源入力..... | 7 |
| 5.4 クロック..... | 7 |
| 5.5 設定スイッチ(SW3)..... | 8 |
| 6. FPGA コンフィギュレーション..... | 9 |
| 6.1 JTAG/バウンダリスキャン..... | 10 |
| 6.2 コンフィグ ROM ファイルの作成..... | 10 |
| 6.3 コンフィグ ROM アクセス..... | 11 |
| 7. FPGA ピン割付表..... | 12 |
| 7.1 ユーザ I/O (CNA)..... | 12 |
| 7.2 ユーザ I/O (CNB)..... | 13 |
| 7.3 SDRAM (U10)..... | 14 |
| 7.4 オンボードクロック..... | 15 |
| 7.5 外部クロック入力..... | 15 |
| 7.6 汎用 LED..... | 15 |
| 7.7 汎用スイッチ..... | 15 |
| 7.8 温度ダイオード(CN2)..... | 16 |
| 7.9 RocketIO 信号専用コネクタ/SIF40 (CN4)..... | 16 |
| 7.10 固定ピン..... | 16 |
| 8. サポートページ..... | 17 |
| 9. 付属資料..... | 17 |
| 10. お問い合わせについて..... | 17 |


● はじめに

この度は Virtex-5 FPGA ボード XCM-017 をお買い上げいただきまして、誠にありがとうございます。
 ございます。

XCM-017 は、XILINX の高性能 FPGA Virtex-5 LXT シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

| | |
|--|--|
|  禁止 | 1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。 |
| | 2. 水中、高湿度の場所での使用はご遠慮ください。 |
| | 3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。 |
| | 4. 基板表面に他の金属が接触した状態で電源を入れないでください。 |
| | 5. 定格を越える電源を加えないでください。 |

| | |
|--|---|
|  注意 | 6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。 |
| | 7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。 |
| | 8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。 |
| | 9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。 |
| | 10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。 |
| | 11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。 |
| | 12. ノイズの多い環境での動作は保障しかねますのでご了承ください。 |
| | 13. 静電気にご注意ください。 |

● 改訂記録

| 日付 | バージョン | 改訂内容 |
|------------|-------|----------------------------------|
| 2010/09/01 | 1.0 | ・初版発行 |
| 2012/10/15 | 1.1 | ・JP1 を不実装に変更 (V33A と VIO(B) の分離) |

1. 固定ピンについて【重要】

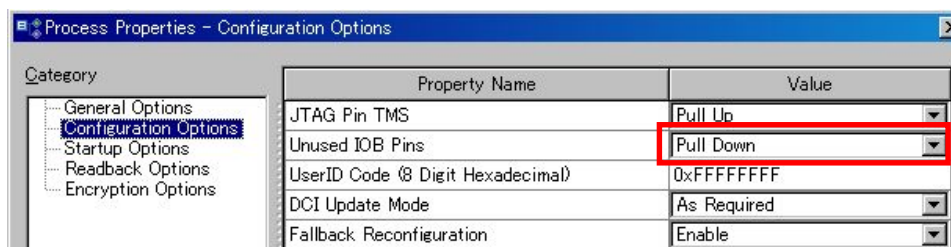
本ボードでは、一部の I/O ピンが GND に接続されています。

これらの I/O は入力、または Float に設定する必要があります。自動的に割り振られてしまわぬように、前もって制約しておくことを推奨します。

ISE での未使用ピン処理設定の確認は下記をご参照ください。



1. 【Generate Programming File】を右クリックして【Process Properties】を開きます



2. 【Configuration Options】内の【Unused IOB Pins】を確認します

| Bank12 | | | | | | |
|--------|----|----|----|----|----|----|
| Y6 | K6 | N8 | H6 | K8 | R7 | W5 |
| Y5 | K7 | P8 | Y4 | L7 | W4 | W6 |
| G6 | U6 | R8 | G5 | M7 | F5 | H4 |
| L8 | G4 | V6 | P6 | L5 | U7 | N7 |
| R6 | J5 | V7 | N6 | U5 | T8 | R5 |
| T7 | K5 | J6 | M6 | T5 | | |

| Bank16 | |
|--------|----|
| E5 | D5 |

| Bank18 | | |
|--------|-----|-----|
| AB5 | AD5 | AA5 |

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

| | |
|------------------|----|
| FPGA ボード XCM-017 | 1 |
| 付属品 | 1 |
| マニュアル(本書) | 1* |
| ユーザー登録はがき | 1* |

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

3. 開発環境

FPGA の内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

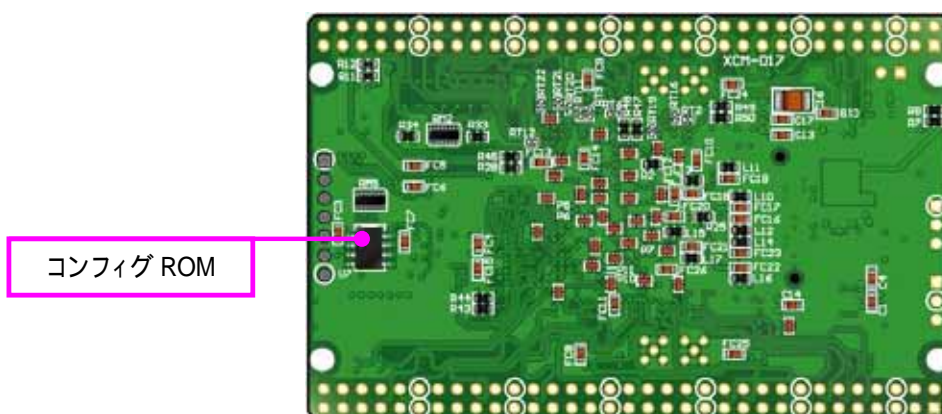
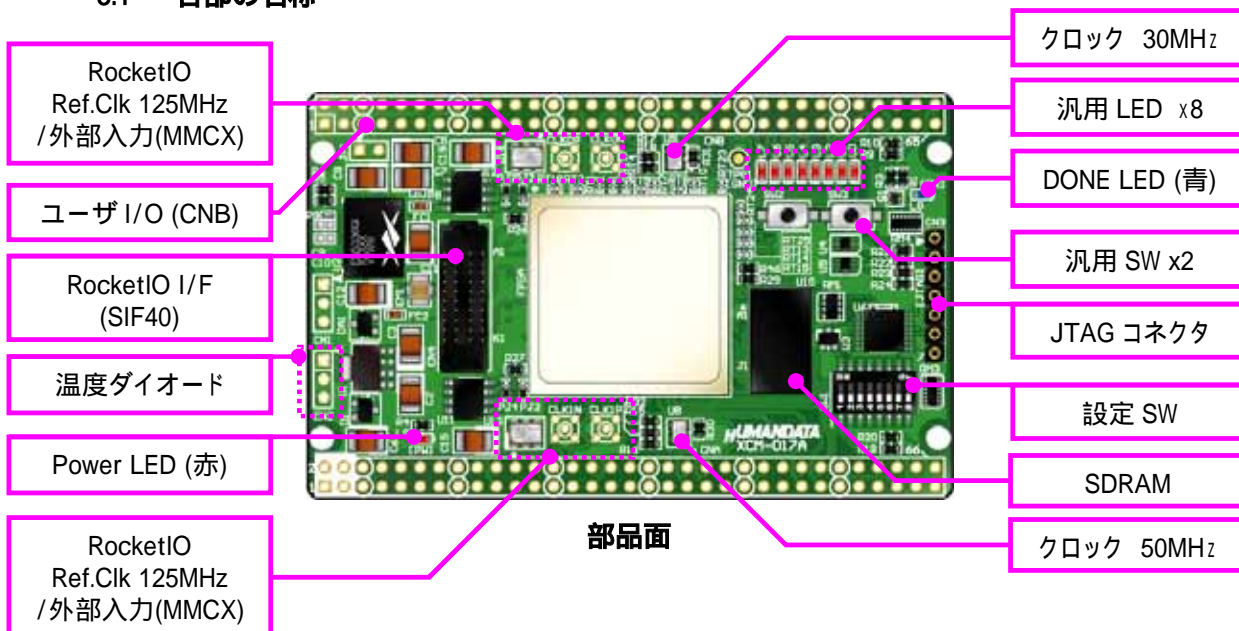
4. 仕様

| 製品型番 | XCM-017-30T | XCM-017-50T |
|------------|--|--------------------|
| 搭載 FPGA | XC5VLX30T-1FFG665C | XC5VLX50T-1FFG665C |
| コンフィグ ROM | M25P16-VMN6P (Numonyx, 16Mbit) | |
| SDRAM | MT48LC16M16A2BG-7E (Micron, 256Mbit: 4Mb x16 x4 banks) | |
| オンボードクロック | 50MHz、30MHz (外部供給可能) | |
| 電源 | DC 3.3 [V] | |
| 消費電流 | N/A (詳細は FPGA データシートをご参照ください) | |
| 基板寸法 | 86 x 54 [mm] | |
| 質量 | 約 32 [g] | |
| ユーザ I/O | 100 本 | |
| 汎用スイッチ | 2 | |
| 汎用 LED | 8 | |
| I/O コネクタ | 66 ピンスルーホール 0.9 [mm] 2.54 [mm] ピッチ | |
| SIF40 コネクタ | RocketIO 信号 (Samtec: SEAF-10-05.0-S-04-2-A-K-TR) | |
| MMCX コネクタ | RocketIO リファレンスクロック入力専用 x 2ch (不実装) | |
| プリント基板 | ガラスエポキシ 8 層基板 1.6t | |
| リセット信号 | コンフィグ用リセット信号 (電源電圧検出 typ.240ms) | |
| JTAG コネクタ | SIL7 ピンソケット 2.54mm ピッチ | |
| ステータス LED | POWER (赤), DONE (青) | |
| 付属品 | SIL7 ロングピンヘッダ (本体に取付け済み) x1 DIL80 ピンヘッダ (任意にカット可能) x2 | |

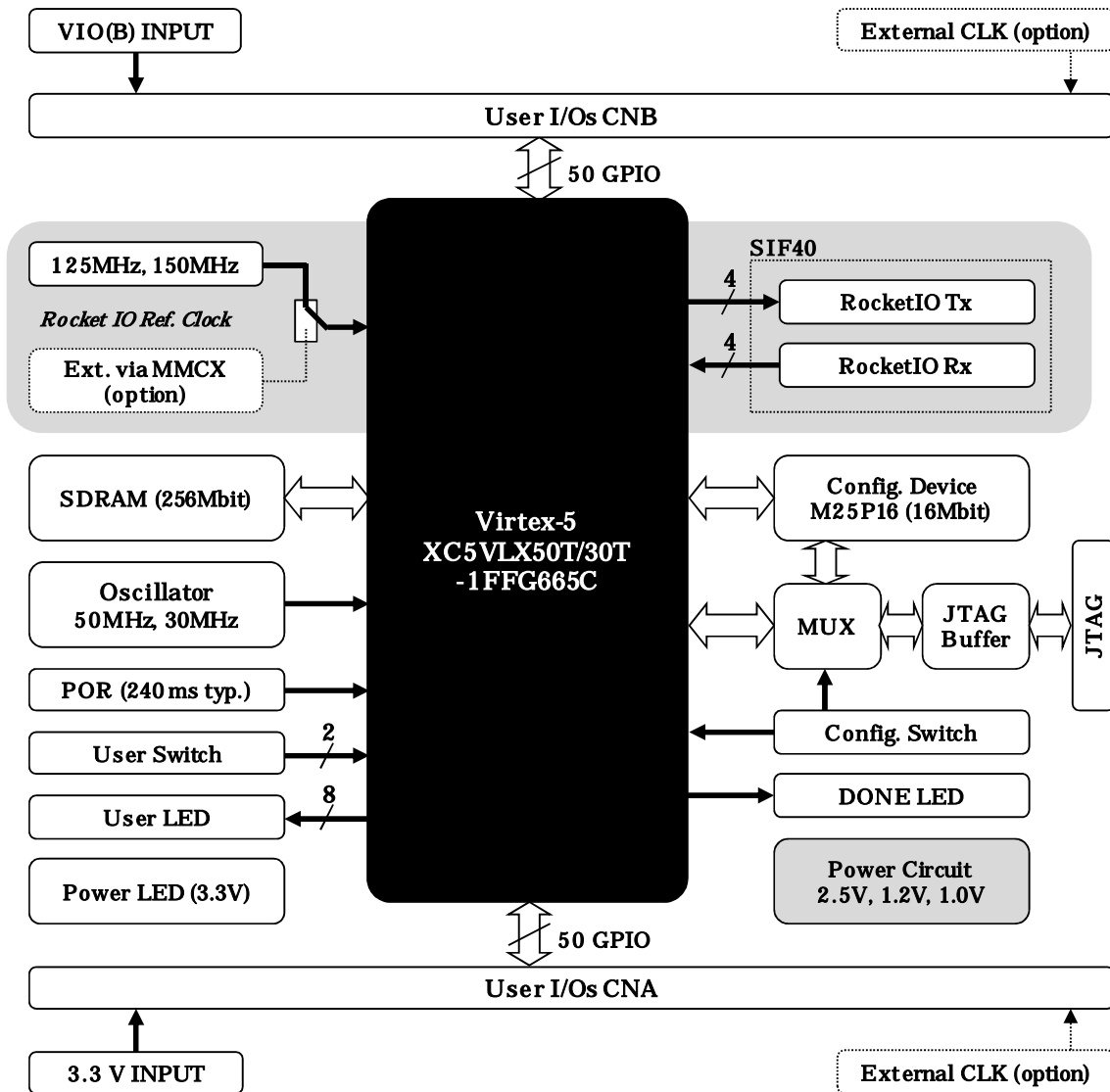
* これらの部品や仕様は変更となる場合がございます

5. 製品概要

5.1 各部の名称



5.2 ブロック図



5.3 電源入力

電源は CNA, CNB より 3.3V を供給してください。内部で必要になる 2.5V、1.2V、1.0V はオンボードレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。

5.4 クロック

オンボードクロックとして 50MHz(U8)と 30MHz(U9)を搭載しています。CNA、CNB より外部クロックを入力することも可能です。

RocketIO 用のリファレンスクロックとして 150MHz(U13)と 125MHz(U14)を搭載しています。

MMCX コネクタを実装することにより、外部入力することも可能です。外部入力クロックを使用する際は、AC カップリング用コンデンサ(JP1 ~ JP4)の位置を変更する必要があります。

詳しくは回路図をご参照ください。

5.5 設定スイッチ(SW3)

SW1 により JTAG コンフィギュレーションモードなどを変更することが可能です。各ピンの詳細については Virtex-5 コンフィギュレーションユーザガイドをご参照ください。

SW1

| 番号 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|-----|---------|------------|------|-----------|----------|-------------|-----|-----|
| 記号 | X_PROG | X_M0 | X_M1 | X_M2 | HSWAP_EN | FS2 | FS1 | FS0 |
| 出荷時 | OFF | OFF | OFF | OFF | OFF | OFF | OFF | OFF |
| 説明 | ターゲット指定 | コンフィグモード設定 | | I/O プルアップ | | SPI モード変数設定 | | |

| | マスタ SPI | JTAG |
|---------------|---------------|----------------|
| X_M[0..2]の設定値 | OFF : ON : ON | OFF : ON : OFF |

- **X_PROG**

JTAG による書込み対象を選択します。

通常、出荷時状態のままをご使用頂けます。

ON : コンフィギュレーション ROM
OFF : FPGA

- **M2, M1, M0**

動作モードを設定します。上表に示したモードは一部のものです。

- **HSWAP_EN**

コンフィギュレーション中の I/O の状態を設定します。

ON : プルアップ
OFF : トライステート

- **FS0, FS1, FS2**

SPI モード変数設定ピンです。

通常、出荷時状態のままをご使用頂けます。

6. FPGA コンフィギュレーション

JTAG コネクタ(CN3)よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

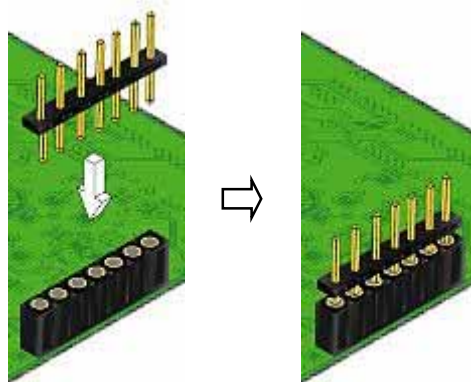
JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN3

| ピン番号 | 信号 | 方向 |
|------|-----|-----|
| 1 | GND | I/O |
| 2 | TCK | IN |
| 3 | TDO | OUT |
| 4 | TMS | IN |
| 5 | VCC | OUT |
| 6 | TDI | IN |
| 7 | GND | I/O |



ダウンロードケーブルとの接続には、付属のロングピンヘッドをご利用いただけます。



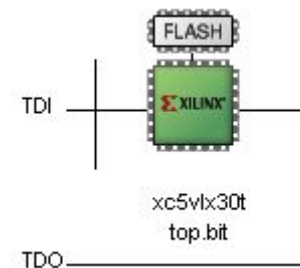
使用例

注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

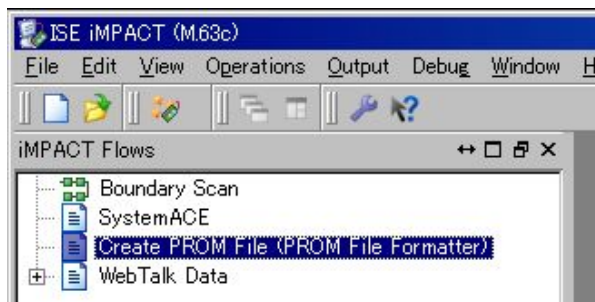
6.1 JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。

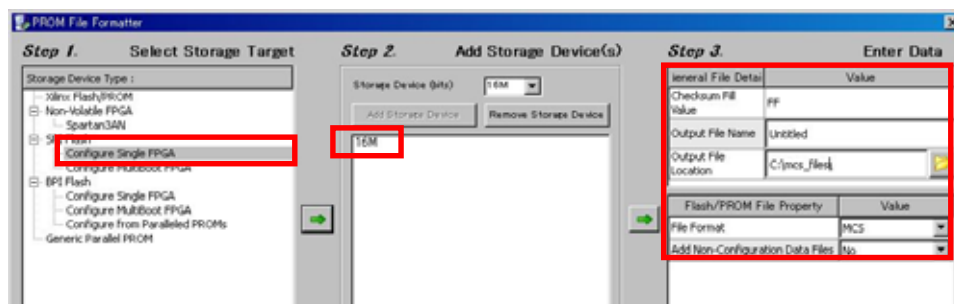


6.2 コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。



(1) iMPACT にて「Create PROM File」をダブルクリックします



(2) 設定画面にて必要な項目を設定します

- Storage Target: SPI Flash - Configure Single FPGA
- Storage Device: 16M (1つ)
- File Format: MCS
- その他項目: 任意

(3) 使用する bit ファイルを選択します

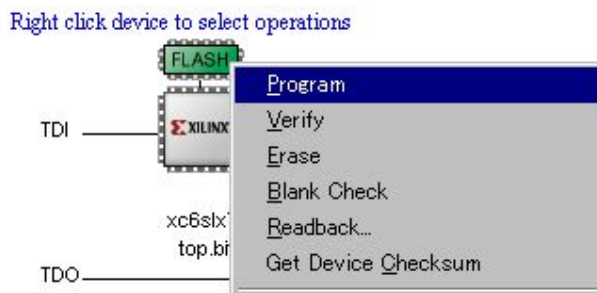
(4) iMPACT Processes のタブにある「Generate File...」をダブルクリックします

(5) 「Generate Succeeded」と表記されれば完了です

6.3 コンフィグ ROM アクセス

バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MCS ファイルを割付けます。デバイスには[SPI PROM - M25P16]を選択してください。

右クリックから各コマンドを実行できます。コマンド実行時にはコンフィギュレーションモードをマスタ SPI に設定する必要があります。



SW1

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|-----|---|---|---|---|---|---|---|---|
| ON | | | | | X | X | X | X |
| OFF | | | | | X | X | X | X |

X : Don't Care

旧バージョンの iMPACT では Direct SPI モードが使用できます。Direct SPI モードを使用する際は SW1 の X_PROG を OFF に設定してください。

7. FPGA ピン割付表

7.1 ユーザ I/O (CNA)

| BANK Group | NET LABEL | FPGA ピン | CNA | | FPGA ピン | NET LABEL | BANK Group |
|------------|-----------|---------|-----|----|---------|-----------|------------|
| | V33_A | 3.3V | 1 | 2 | 3.3V | V33_A | |
| | | 電源予約 | 3 | 4 | 電源予約 | | |
| | | GND | 5 | 6 | GND | | |
| A | IOA0 | AF3 | 7 | 8 | AF4 | IOA1 | A |
| A | IOA2 | AD4 | 9 | 10 | AE5 | IOA3 | A |
| A | IOA4 | AE6 | 11 | 12 | AF5 | IOA5 | A |
| A | IOA6 | AD6 | 13 | 14 | AC7 | IOA7 | A |
| | | GND | 15 | 16 | GND | | |
| A | IOA8 | AE7 | 17 | 18 | AE8 | IOA9 | A |
| A | IOA10 | AF7 | 19 | 20 | AF8 | IOA11 | A |
| A | IOA12 | AD10 | 21 | 22 | AE10 | IOA13 | A |
| A | IOA14 | AF9 | 23 | 24 | AF10 | IOA15 | A |
| | | GND | 25 | 26 | GND | | |
| A | IOA16 | AD11 | 27 | 28 | AE11 | IOA17 | A |
| A | IOA18 | AF12 | 29 | 30 | AE12 | IOA19 | A |
| A | IOA20 | AE13 | 31 | 32 | AF13 | IOA21 | A |
| A | IOA22 | AD13 | 33 | 34 | AD14 | IOA23 | A |
| | | GND | 35 | 36 | GND | | |
| A | IOA24 | AF14 | 37 | 38 | AF15 | IOA25 | A |
| A | IOA26 | AD16 | 39 | 40 | AE16 | IOA27 | A |
| A | IOA28 | AF17 | 41 | 42 | AE17 | IOA29 | A |
| A | IOA30 | AD18 | 43 | 44 | AE18 | IOA31 | A |
| | | GND | 45 | 46 | GND | | |
| A | IOA32 | AF18 | 47 | 48 | AF19 | IOA33 | A |
| A | IOA34 | AD19 | 49 | 50 | AD20 | IOA35 | A |
| A | IOA36 | AF20 | 51 | 52 | AE20 | IOA37 | A |
| A | IOA38 | AE21 | 53 | 54 | AF22 | IOA39 | A |
| | | GND | 55 | 56 | GND | | A |
| A | IOA40 | AE22 | 57 | 58 | AD23 | IOA41 | A |
| A | IOA42 | AF23 | 59 | 60 | AE23 | IOA43 | A |
| A | IOA44 | AF24 | 61 | 62 | AF25 | IOA45 | A |
| A | IOA46 | AE25 | 63 | 64 | AE26 | IOA47 | A |
| A | IOA48 *1 | AD26 | 65 | 66 | AC26 | IOA49 *2 | A |

(*1) 抵抗(R19)を介して CLK_EXA0(AC18)に接続されています

(*2) 抵抗(R20)を介して CLK_EXA1(AB21)に接続されています

7.2 ユーザ I/O (CNB)

| BANK Group | NET LABEL | FPGA ピン | CNB | | FPGA ピン | NET LABEL | BANK Group |
|------------|-----------|---------|-----|----|---------|-----------|------------|
| | | | 1 | 2 | | | |
| | VIO(B) | VCCIO_x | 1 | 2 | VCCIO_x | VIO(B) | |
| | | 電源予約 | 3 | 4 | 電源予約 | | |
| | | GND | 5 | 6 | GND | | |
| B | IOB0 | B4 | 7 | 8 | B5 | IOB1 | B |
| B | IOB2 | C6 | 9 | 10 | C7 | IOB3 | B |
| B | IOB4 | A7 | 11 | 12 | B7 | IOB5 | B |
| B | IOB6 | C8 | 13 | 14 | B9 | IOB7 | B |
| | | GND | 15 | 16 | GND | | |
| B | IOB8 | A10 | 17 | 18 | B10 | IOB9 | B |
| B | IOB10 | B11 | 19 | 20 | A12 | IOB11 | B |
| B | IOB12 | B12 | 21 | 22 | C12 | IOB13 | B |
| B | IOB14 | A13 | 23 | 24 | B14 | IOB15 | B |
| | | GND | 25 | 26 | GND | | |
| B | IOB16 | A14 | 27 | 28 | A15 | IOB17 | B |
| B | IOB18 | B15 | 29 | 30 | C16 | IOB19 | B |
| B | IOB20 | B17 | 31 | 32 | A17 | IOB21 | B |
| B | IOB22 | A18 | 33 | 34 | A19 | IOB23 | B |
| | | GND | 35 | 36 | GND | | |
| B | IOB24 | C18 | 37 | 38 | B19 | IOB25 | B |
| B | IOB26 | A20 | 39 | 40 | B20 | IOB27 | B |
| B | IOB28 | C19 | 41 | 42 | D19 | IOB29 | B |
| B | IOB30 | B21 | 43 | 44 | C21 | IOB31 | B |
| | | GND | 45 | 46 | GND | | |
| B | IOB32 | A22 | 47 | 48 | B22 | IOB33 | B |
| B | IOB34 | C23 | 49 | 50 | B24 | IOB35 | B |
| B | IOB36 | C24 | 51 | 52 | D24 | IOB37 | B |
| B | IOB38 | A25 | 53 | 54 | B25 | IOB39 | B |
| | | GND | 55 | 56 | GND | | |
| B | IOB40 | B26 | 57 | 58 | C26 | IOB41 | B |
| B | IOB42 | D25 | 59 | 60 | D26 | IOB43 | B |
| B | IOB44 | E25 | 61 | 62 | E26 | IOB45 | B |
| B | IOB46 | F25 | 63 | 64 | G26 | IOB47 | B |
| B | IOB48 *1 | G25 | 65 | 66 | H26 | IOB49 *2 | B |

(*1) 抵抗(R9, R10)を介して CLK_EXBP0/1(D15, E20)に接続されています

(*2) 抵抗(R10, R12)を介して CLK_EXBN0/1(E15, D16, E21, F20)に接続されています

7.3 SDRAM (U10)

| SDRAM | | NET LABEL | FPGA PIN |
|----------|-----|--------------|----------|
| Pin Name | Pin | | |
| CAS# | F7 | NSDCAS | W21 |
| CKE | F3 | NSDCLKE | AA23 |
| CS# | G9 | NSDCS | Y26 |
| RAS# | F8 | NSDRAS | Y25 |
| WE# | F9 | NSDWE | AA25 |
| A0 | H7 | SDADD0 | Y22 |
| A1 | H8 | SDADD1 | V24 |
| A2 | J8 | SDADD2 | U26 |
| A3 | J7 | SDADD3 | U25 |
| A4 | J3 | SDADD4 | Y23 |
| A5 | J2 | SDADD5 | W23 |
| A6 | H3 | SDADD6 | AA24 |
| A7 | H2 | SDADD7 | V22 |
| A8 | H1 | SDADD8 | V21 |
| A9 | G3 | SDADD9 | AB24 |
| A10 | H9 | SDADD10 | V26 |
| A11 | G2 | SDADD11 | U24 |
| A12 | G1 | SDADD12 | V23 |
| BA0 | G7 | SDBS0 | AA22 |
| BA1 | G8 | SDBS1 | W25 |
| DQ0 | A8 | SDD0 | R26 |
| DQ1 | B9 | SDD1 | R25 |
| DQ2 | B8 | SDD2 | R22 |
| DQ3 | C9 | SDD3 | P26 |
| DQ4 | C8 | SDD4 | T25 |
| DQ5 | D9 | SDD5 | P24 |
| DQ6 | D8 | SDD6 | P25 |
| DQ7 | E9 | SDD7 | AB26 |
| DQ8 | E1 | SDD8 | U21 |
| DQ9 | D2 | SDD9 | T22 |
| DQ10 | D1 | SDD10 | T23 |
| DQ11 | C2 | SDD11 | P23 |
| DQ12 | C1 | SDD12 | R21 |
| DQ13 | B2 | SDD13 | P21 |
| DQ14 | B1 | SDD14 | T24 |
| DQ15 | A2 | SDD15 | R23 |
| LDQM | E8 | SDLQDM | AB25 |
| UDQM | F1 | SDUDQM | U22 |
| CLK | F2 | SDDCLK_O *1 | W24 |
| | | SDDCLK_FB *2 | W26 |

(*1) 抵抗(R43)を介して FPGA に接続されています

(*2) 抵抗(R44)を介して FPGA に接続されています

7.4 オンボードクロック

| 周波数 | NET LABEL | FPGA ピン |
|-------|-----------|---------|
| 30MHz | GCLK_1 | AC12 |
| | GCLK_2 | F12 |
| 50MHz | GCLK_A | Y21 |
| | GCLK_B | AB10 |
| | GCLK_C | E13 |

7.5 外部クロック入力

| コネクタ | NET LABEL | FPGA ピン |
|-------|-----------|---------|
| IOA48 | CLK_EXA0 | AC18 |
| IOA49 | CLK_EXA1 | AB21 |
| IOB48 | CLK_EXBP0 | D15 |
| | CLK_EXBP1 | E20 |
| IOB49 | CLK_EXBN0 | E15 |
| | | D16 |
| | CLK_EXBN1 | E21 |
| | | F20 |

7.6 汎用 LED

| LED | NET LABEL | FPGA ピン |
|-----|-----------|---------|
| L0 | ULED0 | G19 |
| L1 | ULED1 | H18 |
| L2 | ULED2 | G17 |
| L3 | ULED3 | F18 |
| L4 | ULED4 | F17 |
| L5 | ULED5 | G16 |
| L6 | ULED6 | G15 |
| L7 | ULED7 | F15 |

7.7 汎用スイッチ

| SW | NET LABEL | FPGA ピン |
|-----|-----------|---------|
| SW2 | PSW2 | H21 |
| SW3 | PSW3 | G20 |

7.8 温度ダイオード(CN2)

| コネクタ番号 | FPGA ピン |
|--------|---------|
| 1 | DXP |
| 2 | GND |
| 3 | DXN |

FPGA の温度測定用ダイオードに直結しています。外部での温度監視にご使用頂けます。弊社 UTL-015 をご使用頂けます。詳しくは回路図をご参照ください。

7.9 RocketIO 信号専用コネクタ/SIF40 (CN4)

| | 4 | 3 | 2 | 1 |
|---|-----|----------|----------|----------|
| A | GND | TXP0_114 | GND | TXP0_112 |
| B | GND | TXN0_114 | GND | TXN0_112 |
| C | VCC | GND | RXN1_112 | GND |
| D | VCC | GND | RXP1_112 | GND |
| E | GND | RXP0_114 | GND | RXP0_112 |
| F | GND | RXN0_114 | GND | RXN0_112 |
| G | VCC | GND | RXN1_114 | GND |
| H | VCC | GND | RXP1_114 | GND |
| J | GND | TXN1_114 | GND | TXN1_112 |
| K | GND | TXP1_114 | GND | TXP1_112 |



7.10 固定ピン

これらのポートは GND に接続されています。

出力ポートとして使用しないようにご注意ください。詳細は 1 章をご参照ください。

| Bank12 | | | | | | |
|--------|----|----|----|----|----|----|
| Y6 | K6 | N8 | H6 | K8 | R7 | W5 |
| Y5 | K7 | P8 | Y4 | L7 | W4 | W6 |
| G6 | U6 | R8 | G5 | M7 | F5 | H4 |
| L8 | G4 | V6 | P6 | L5 | U7 | N7 |
| R6 | J5 | V7 | N6 | U5 | T8 | R5 |
| T7 | K5 | J6 | M6 | T5 | | |

| Bank16 | |
|--------|----|
| E5 | D5 |

| Bank18 | | |
|--------|-----|-----|
| AB5 | AD5 | AA5 |

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/xcm-017/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

http://www.hdl.co.jp/support_c.html

9. 付属資料

1. 基板外形図
2. 基板回路図(別紙)

10. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

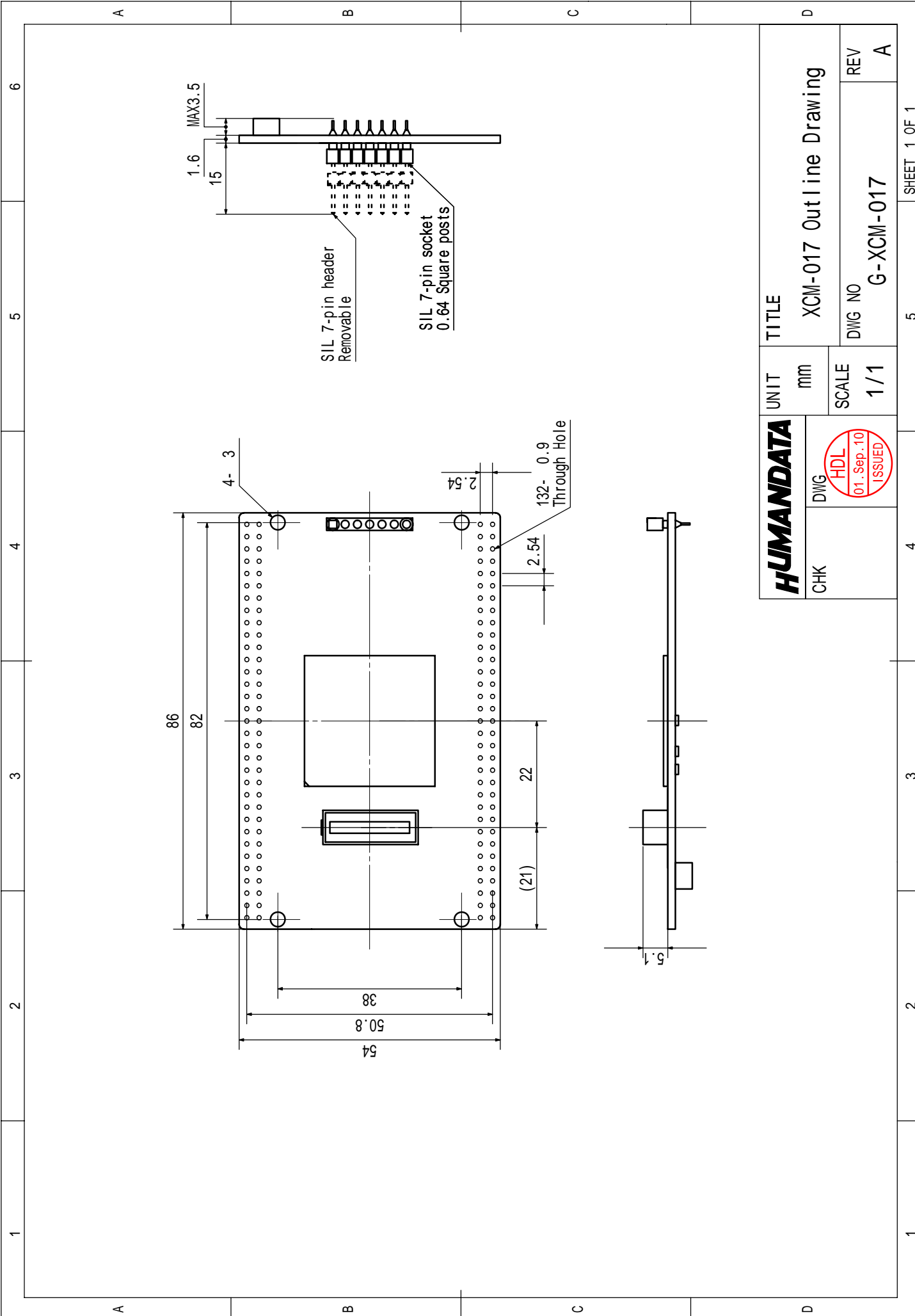
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただいております。あらかじめご了承下さいませ。



| | | | |
|------------------|-------|--------------------------|-----|
| HUMANDATA | UNIT | TITLE | |
| | mm | XCM-017 Out line Drawing | |
| CHK | DWG | DWG NO | REV |
| | | G-XCM-017 | A |
| | SCALE | | |
| | 1/1 | | |

Virtex-5 FPGA ボード

XCM-017 シリーズ
ユーザズマニュアル

2010/09/01 Ver.1.0

2012/10/15 Ver.1.1

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
