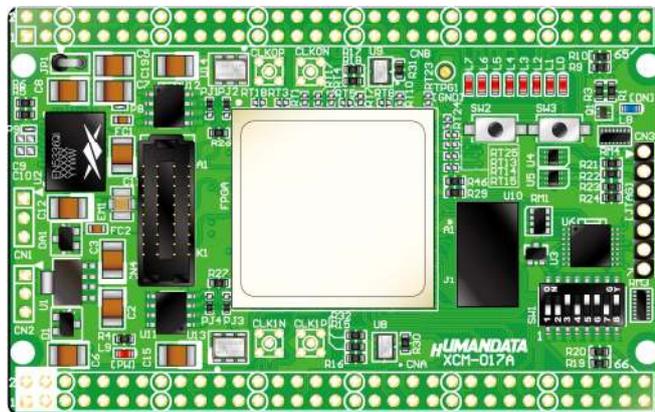




Virtex-5 FPGA ボード  
XCM-017  
ユーザーズマニュアル  
Ver. 1.0





## 目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 固定ピンについて【重要】.....	2
2. 製品の内容について.....	2
3. 開発環境.....	3
4. 仕様.....	3
5. 製品説明.....	4
5.1. 各部名称.....	4
5.2. ブロック図.....	5
5.3. 電源.....	5
5.4. クロック.....	6
5.5. 設定スイッチ (SW1).....	6
6. FPGA コンフィギュレーション.....	7
6.1. JTAG/バウンダリスキャン.....	7
6.2. コンフィグ ROM ファイルの作成.....	7
6.3. コンフィグ ROM アクセス.....	8
7. FPGA ピン割付け表.....	9
7.1. ユーザ I/O (CNA).....	9
7.2. ユーザ I/O (CNB).....	10
7.3. SDRAM (U10).....	11
7.4. オンボードクロック.....	12
7.5. 外部クロック入力.....	12
7.6. 汎用 LED.....	12
7.7. 汎用スイッチ.....	12
7.8. 温度ダイオード (CN2).....	13
7.9. RocketIO 信号専用コネクタ/SIF40 (CN4).....	13
7.10. 固定ピン.....	13
8. サポートページ.....	14
9. 付属資料.....	14

## ● はじめに

この度はVirtex-5 FPGA ボード XCM-017 をお買い上げいただきまして、誠にありがとうございます。  
 います。

XCM-017 は、XILINX の高性能 FPGA Virtex-5 LXT シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

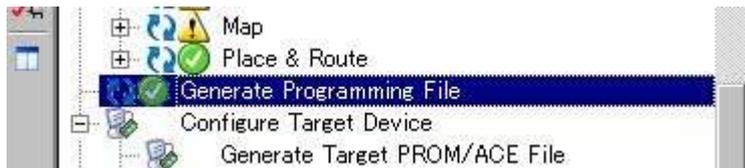
 <b>注意</b>	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
13 静電気にご注意ください。	

## ● 改訂記録

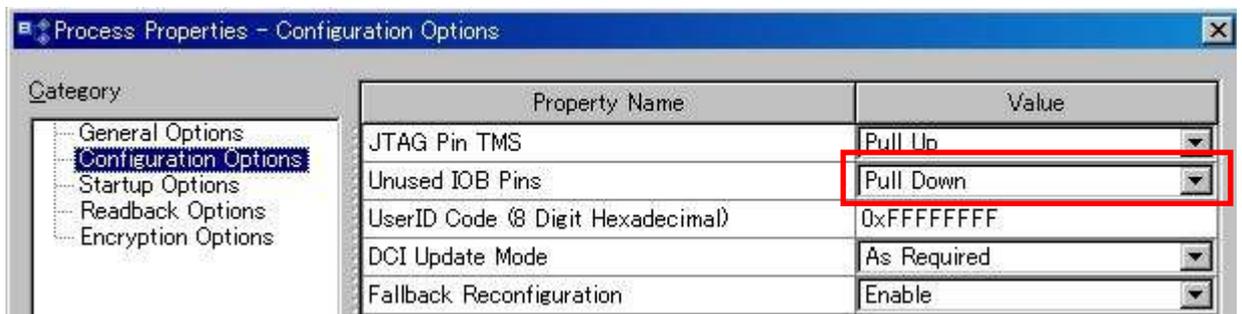
日付	バージョン	改訂内容
2010/09/01	1.0	・初版発行

## 1. 固定ピンについて【重要】

本ボードでは、一部の I/O ピンが GND に接続されています。  
 これらの I/O は入力、または Float に設定する必要があります。自動的に割り振られてしま  
 わぬように、前もって制約しておくことを推奨します。  
 ISE での未使用ピン処理設定の確認は下記をご参照ください。



1. 【Generate Programming File】を右クリックして【Process Properties】を開きます



2. 【Configuration Options】内の【Unused IOB Pins】を確認します

Bank12						
Y6	K6	N8	H6	K8	R7	W5
Y5	K7	P8	Y4	L7	W4	W6
G6	U6	R8	G5	M7	F5	H4
L8	G4	V6	P6	L5	U7	N7
R6	J5	V7	N6	U5	T8	R5
T7	K5	J6	M6	T5		

Bank16	
E5	D5

Bank18		
AB5	AD5	AA5

## 2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛  
 にご連絡ください。

FPGA ボード	XCM-017	1
付属品		1
マニュアル（本書）		1 *
ユーザ登録はがき		1 *

\* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

### 3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、XILINX 社が無償配布する ISE がご使用頂けます。使用する際には、インターネットによるライセンス登録が必要となります。

本マニュアルは ISE Ver. 12.2 を元に作成しています。

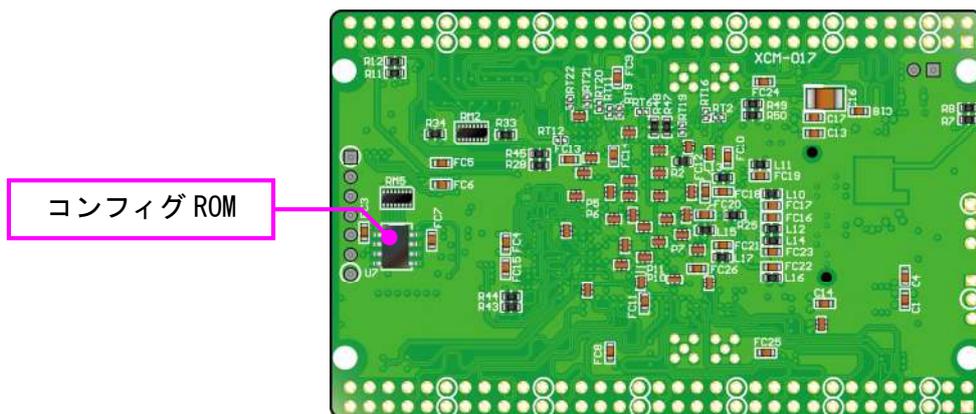
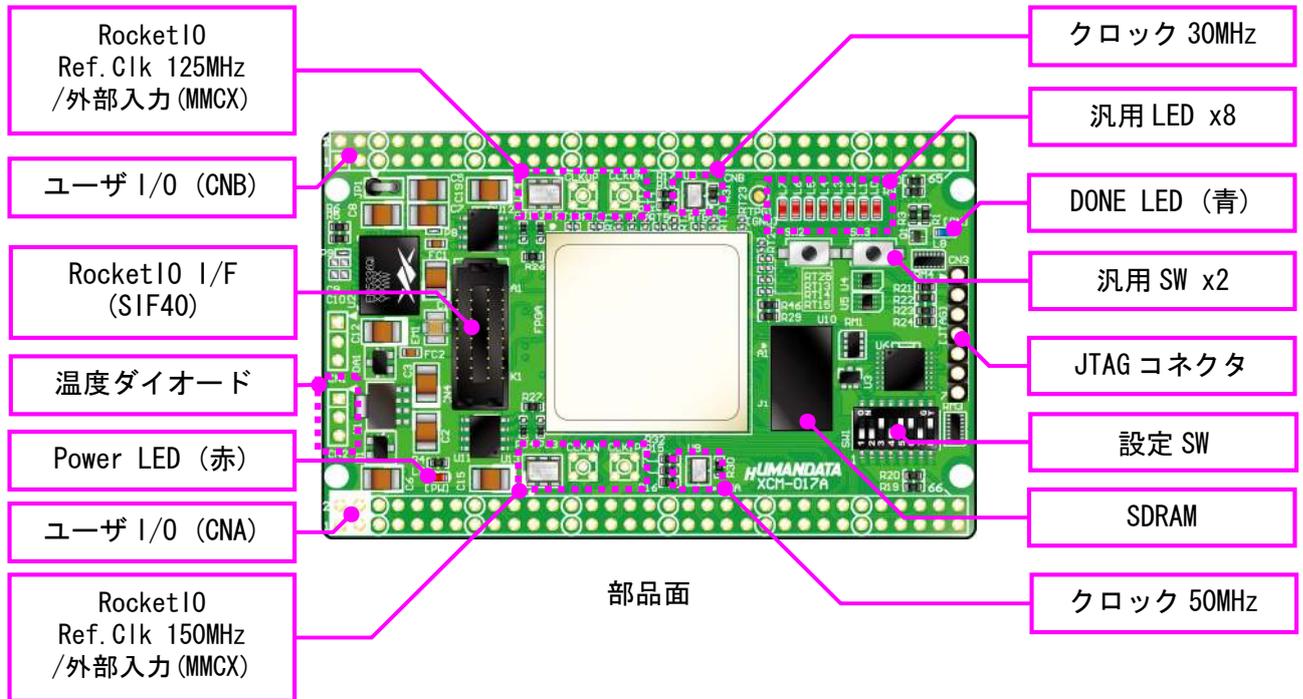
### 4. 仕様

製品型番	XCM-017-30T	XCM-017-50T
搭載 FPGA	XC5VLX30T-1FFG665C	XC5VLX50T-1FFG665C
コンフィグ ROM	M25P16-VMN6P (Numonyx, 16Mbit)	
SDRAM	MT48LC16M16A2BG-7E (Micron, 256Mbit: 4Mb x16 x4 banks)	
オンボードクロック	50MHz、30MHz (外部供給可能)	
電源	DC 3.3[V]	
消費電流	N/A (詳細は FPGA データシートをご参照ください)	
外形寸法	86 x 54 [mm]	
質量	約 32 [g]	
ユーザ I/O	100 本	
汎用スイッチ	2	
汎用 LED	8	
I/O コネクタ	66 ピンスルーホール 0.9[mmφ] 2.54[mm] ピッチ	
SIF40 コネクタ	RocketIO 信号 (Samtec: SEAF-10-05.0-S-04-2-A-K-TR)	
MMCX コネクタ	RocketIO リファレンスクロック入力専用 x 2ch (不実装)	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
リセット信号	コンフィグ用リセット信号 (電源電圧検出 typ. 240ms)	
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ	
ステータス LED	POWER (赤), DONE (青)	
付属品	SIL7 ピンヘッダ (本体に取付け済み) x1	
	DIL80 ピンヘッダ (任意にカット可能) x2	

\*これらの部品や仕様は変更となる場合がございます

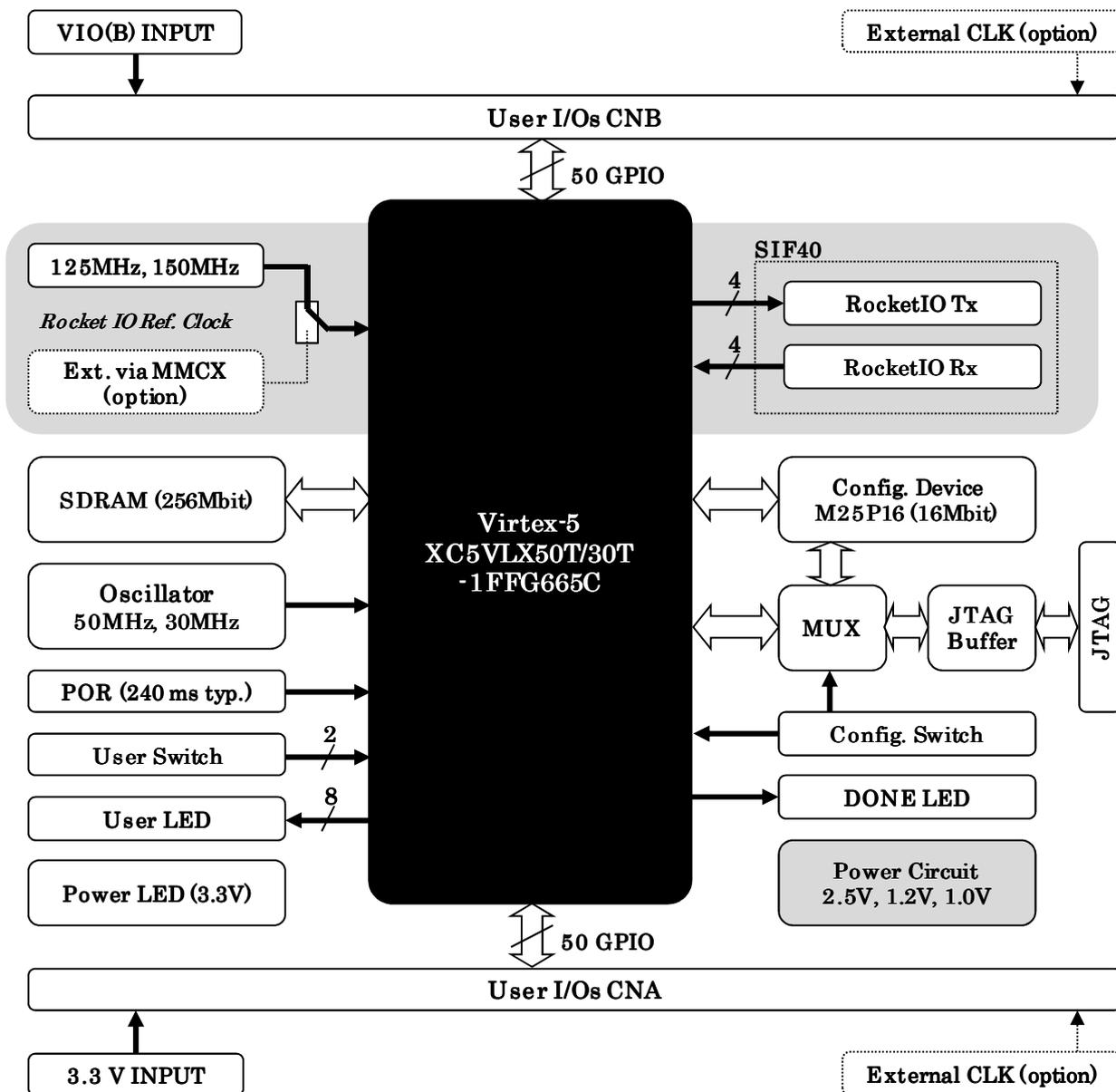
## 5. 製品説明

### 5.1. 各部名称



はんだ面

## 5.2. ブロック図



## 5.3. 電源

電源はCNA, CNBより3.3Vを供給してください。内部で必要になる2.5V、1.2V、1.0Vはオンボードレギュレータにより生成されます。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。

詳しくはFPGAのデータシートや回路図などを参照してください。

## 5.4. クロック

オンボードクロックとして 50MHz (U8) と 30MHz (U9) を搭載しています。CNA、CNB より外部クロックを入力することも可能です。

RocketIO 用のリファレンスクロックとして 150MHz (U13) と 125MHz (U14) を搭載しています。MMCX コネクタを実装することにより、外部入力することも可能です。外部入力クロックを使用する際は、AC カップリング用コンデンサ (JP1~JP4) の位置を変更する必要があります。詳しくは回路図をご参照ください。

## 5.5. 設定スイッチ (SW1)

SW1 により JTAG コンフィギュレーションモードなどを変更することが可能です。各ピンの詳細については Virtex-5 コンフィギュレーションユーザガイドをご参照ください。

SW1

番号	1	2	3	4	5	6	7	8
記号	X_PROG	X_M0	X_M1	X_M2	HSWAP_EN	FS2	FS1	FS0
出荷時	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
説明	ターゲット指定	コンフィグモード設定			I/O プルアップ	SPI モード変数設定		

	マスタ SPI	JTAG
X_M[0..2] の設定値	1 : 0 : 0	1 : 0 : 1

- **X\_PROG**  
JTAG による書込み対象を選択します。  
通常、出荷時状態のままをご使用頂けます。  
ON : コンフィギュレーション ROM  
OFF : FPGA
- **M2, M1, M0**  
動作モードを設定します。上表に示したモードは一部のものです。
- **HSWAP\_EN**  
コンフィギュレーション中の I/O の状態を設定します。  
ON : プルアップ  
OFF : トライステート
- **FS0, FS1, FS2**  
SPI モード変数設定ピンです。  
通常、出荷時状態のままをご使用頂けます。

## 6. FPGA コンフィギュレーション

JTAG コネクタ (CN3) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

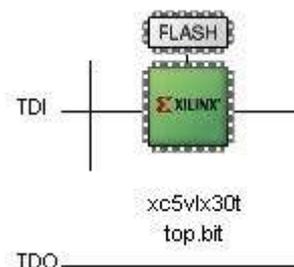
CN3

ピン番号	信号名	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC(3.3V)	OUT
6	TDI	IN
7	GND	I/O



### 6.1. JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには下記をご参照ください。

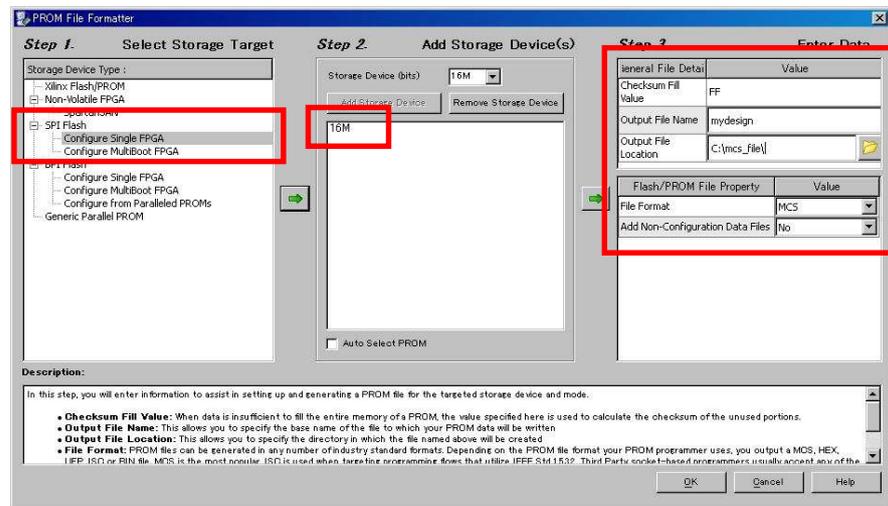


### 6.2. コンフィグ ROM ファイルの作成

コンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。書き込みたい bit ファイルから、iMPACT を使用して作成することができます。作成方法の一例を以下に示します。



1. iMPACT にて「Create PROM File」をダブルクリックします。



2. 設定画面にて必要な項目を設定します。

- Storage Target: SPI Flash - Configure Single FPGA
- Storage Device: 16M (1つ)
- File Format: MCS
- その他項目: 任意

3. 使用する bit ファイルを選択します。

4. iMPACT Processes のタブにある「Generate File…」をダブルクリックします。

5. 「Generate Succeeded」と表記されれば完了です。

### 6.3. コンフィグ ROM アクセス

バウンダリスキャン画面にて、下図のようにコンフィグ ROM に MCS ファイルを割付けます。デバイスには【SPI PROM - M25P16】を選択してください。

右クリックから各コマンドを実行できます。コマンド実行時にはコンフィギュレーションモードをマスタ SPI に設定する必要があります。下表を参照してください。



SW1

	1	2	3	4	5	6	7	8
ON	■		■	■	X	X	X	X
OFF		■			X	X	X	X

X : Don't Care

※旧バージョンの iMPACT では Direct SPI モードが使用できます。

Direct SPI モードを使用する際は SW1 の X\_PROG を OFF に設定してください。

## 7. FPGA ピン割付け表

### 7.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	AF3	7	8	AF4	IOA1	A
A	IOA2	AD4	9	10	AE5	IOA3	A
A	IOA4	AE6	11	12	AF5	IOA5	A
A	IOA6	AD6	13	14	AC7	IOA7	A
		GND	15	16	GND		
A	IOA8	AE7	17	18	AE8	IOA9	A
A	IOA10	AF7	19	20	AF8	IOA11	A
A	IOA12	AD10	21	22	AE10	IOA13	A
A	IOA14	AF9	23	24	AF10	IOA15	A
		GND	25	26	GND		
A	IOA16	AD11	27	28	AE11	IOA17	A
A	IOA18	AF12	29	30	AE12	IOA19	A
A	IOA20	AE13	31	32	AF13	IOA21	A
A	IOA22	AD13	33	34	AD14	IOA23	A
		GND	35	36	GND		
A	IOA24	AF14	37	38	AF15	IOA25	A
A	IOA26	AD16	39	40	AE16	IOA27	A
A	IOA28	AF17	41	42	AE17	IOA29	A
A	IOA30	AD18	43	44	AE18	IOA31	A
		GND	45	46	GND		
A	IOA32	AF18	47	48	AF19	IOA33	A
A	IOA34	AD19	49	50	AD20	IOA35	A
A	IOA36	AF20	51	52	AE20	IOA37	A
A	IOA38	AE21	53	54	AF22	IOA39	A
		GND	55	56	GND		A
A	IOA40	AE22	57	58	AD23	IOA41	A
A	IOA42	AF23	59	60	AE23	IOA43	A
A	IOA44	AF24	61	62	AF25	IOA45	A
A	IOA46	AE25	63	64	AE26	IOA47	A
A	IOA48 *1	AD26	65	66	AC26	IOA49 *2	A

(\*1) 抵抗 (R19) を介して CLK\_EXA0 (AC18) に接続されています

(\*2) 抵抗 (R20) を介して CLK\_EXA1 (AB21) に接続されています

## 7.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK
	V10(B) *1	VCCIO_x	1	2	VCCIO_x	V10(B) *1	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	I0B0	B4	7	8	B5	I0B1	B
B	I0B2	C6	9	10	C7	I0B3	B
B	I0B4	A7	11	12	B7	I0B5	B
B	I0B6	C8	13	14	B9	I0B7	B
		GND	15	16	GND		
B	I0B8	A10	17	18	B10	I0B9	B
B	I0B10	B11	19	20	A12	I0B11	B
B	I0B12	B12	21	22	C12	I0B13	B
B	I0B14	A13	23	24	B14	I0B15	B
		GND	25	26	GND		
B	I0B16	A14	27	28	A15	I0B17	B
B	I0B18	B15	29	30	C16	I0B19	B
B	I0B20	B17	31	32	A17	I0B21	B
B	I0B22	A18	33	34	A19	I0B23	B
		GND	35	36	GND		
B	I0B24	C18	37	38	B19	I0B25	B
B	I0B26	A20	39	40	B20	I0B27	B
B	I0B28	C19	41	42	D19	I0B29	B
B	I0B30	B21	43	44	C21	I0B31	B
		GND	45	46	GND		
B	I0B32	A22	47	48	B22	I0B33	B
B	I0B34	C23	49	50	B24	I0B35	B
B	I0B36	C24	51	52	D24	I0B37	B
B	I0B38	A25	53	54	B25	I0B39	B
		GND	55	56	GND		
B	I0B40	B26	57	58	C26	I0B41	B
B	I0B42	D25	59	60	D26	I0B43	B
B	I0B44	E25	61	62	E26	I0B45	B
B	I0B46	F25	63	64	G26	I0B47	B
B	I0B48 *2	G25	65	66	H26	I0B49 *3	B

(\*1) V10(B)はV33\_A(3.3V)に接続されています。変更時はJP1を取外してください

(\*2) 抵抗(R9, R10)を介してCLK\_EXBP0/1(D15, E20)に接続されています

(\*3) 抵抗(R10, R12)を介してCLK\_EXBN0/1(E15, D16, E21, F20)に接続されています

## 7.3. SDRAM (U10)

SDRAM		NET LABEL	FPGA PIN
Pin Name	Pin		
CAS#	F7	NSDCAS	W21
CKE	F3	NSDCLKE	AA23
CS#	G9	NSDCS	Y26
RAS#	F8	NSDRAS	Y25
WE#	F9	NSDWE	AA25
A0	H7	SDADD0	Y22
A1	H8	SDADD1	V24
A2	J8	SDADD2	U26
A3	J7	SDADD3	U25
A4	J3	SDADD4	Y23
A5	J2	SDADD5	W23
A6	H3	SDADD6	AA24
A7	H2	SDADD7	V22
A8	H1	SDADD8	V21
A9	G3	SDADD9	AB24
A10	H9	SDADD10	V26
A11	G2	SDADD11	U24
A12	G1	SDADD12	V23
BA0	G7	SDBS0	AA22
BA1	G8	SDBS1	W25
DQ0	A8	SDD0	R26
DQ1	B9	SDD1	R25
DQ2	B8	SDD2	R22
DQ3	C9	SDD3	P26
DQ4	C8	SDD4	T25
DQ5	D9	SDD5	P24
DQ6	D8	SDD6	P25
DQ7	E9	SDD7	AB26
DQ8	E1	SDD8	U21
DQ9	D2	SDD9	T22
DQ10	D1	SDD10	T23
DQ11	C2	SDD11	P23
DQ12	C1	SDD12	R21
DQ13	B2	SDD13	P21
DQ14	B1	SDD14	T24
DQ15	A2	SDD15	R23
LDQM	E8	SDLQDM	AB25
UDQM	F1	SDUDQM	U22
CLK	F2	SDDCLK_0 *1	W24
		SDDCLK_FB *2	W26

(\*1) 抵抗 (R43) を介して FPGA に接続されています

(\*2) 抵抗 (R44) を介して FPGA に接続されています

#### 7.4. オンボードクロック

周波数	NET LABEL	FPGA PIN
30MHz	GCLK_1	AC12
	GCLK_2	F12
50MHz	GCLK_A	Y21
	GCLK_B	AB10
	GCLK_C	E13

#### 7.5. 外部クロック入力

コネクタ	NET LABEL	FPGA PIN
10A48	CLK_EXA0	AC18
10A49	CLK_EXA1	AB21
10B48	CLK_EXBP0	D15
	CLK_EXBP1	E20
10B49	CLK_EXBN0	E15
		D16
	CLK_EXBN1	E21
		F20

#### 7.6. 汎用LED

LED	NET LABEL	FPGA PIN
L0	ULED0	G19
L1	ULED1	H18
L2	ULED2	G17
L3	ULED3	F18
L4	ULED4	F17
L5	ULED5	G16
L6	ULED6	G15
L7	ULED7	F15

#### 7.7. 汎用スイッチ

SW	NET LABEL	FPGA PIN
SW2	PSW2	H21
SW3	PSW3	G20

## 7.8. 温度ダイオード (CN2)

コネクタ番号	FPGA PIN
1	DXP
2	GND
3	DXN

FPGA の温度測定用ダイオードに直結しています。外部での温度監視にご使用頂けます。弊社 UTL-015 をご使用頂けます。詳しくは回路図をご参照ください。

## 7.9. RocketIO 信号専用コネクタ/SIF40 (CN4)

	4	3	2	1
A	GND	TXPO_114	GND	TXPO_112
B	GND	TXNO_114	GND	TXNO_112
C	VCC	GND	RXN1_112	GND
D	VCC	GND	RXP1_112	GND
E	GND	RXPO_114	GND	RXPO_112
F	GND	RXNO_114	GND	RXNO_112
G	VCC	GND	RXN1_114	GND
H	VCC	GND	RXP1_114	GND
J	GND	TXN1_114	GND	TXN1_112
K	GND	TXP1_114	GND	TXP1_112



## 7.10. 固定ピン

これらのポートは GND に接続されています。出力ポートとして使用しないようにご注意ください。詳細は1章をご参照ください。

Bank12						
Y6	K6	N8	H6	K8	R7	W5
Y5	K7	P8	Y4	L7	W4	W6
G6	U6	R8	G5	M7	F5	H4
L8	G4	V6	P6	L5	U7	N7
R6	J5	V7	N6	U5	T8	R5
T7	K5	J6	M6	T5		

Bank16	
E5	D5

Bank18		
AB5	AD5	AA5





---

Virtex-5 FPGA ボード  
XCM-017  
ユーザーズマニュアル

---

2010/09/01 Ver.1.0

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---