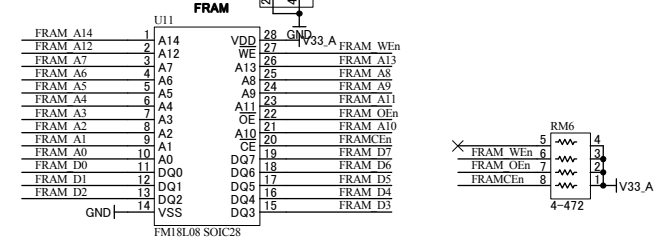
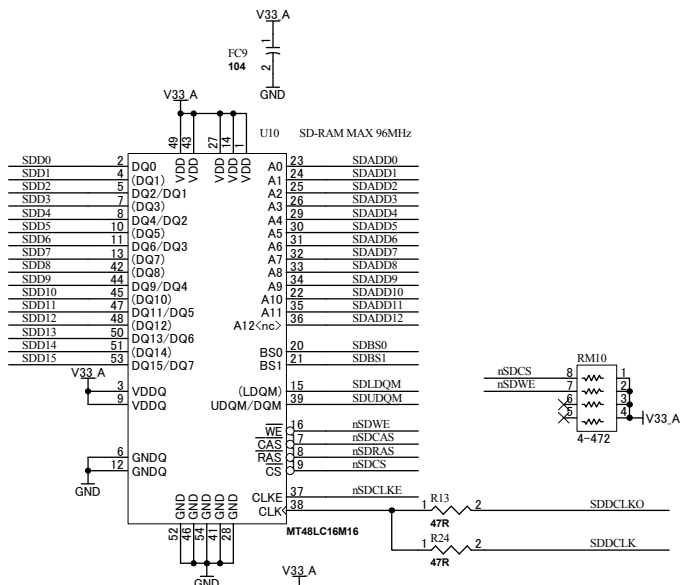
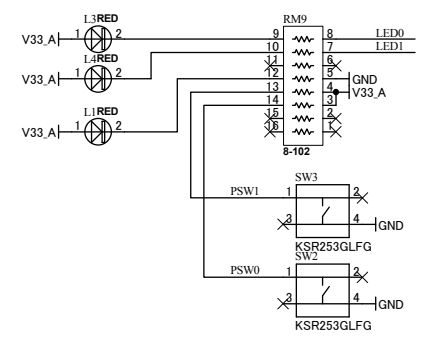
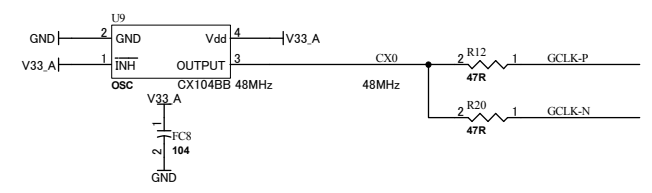


V10	V10
V25	V25
V33.A	V33.A
V33.B	V33.B
GND	GND

IOA[0..49]

CLKAP CLKAP  
CLKBN CLKBN



FPGA1G	
X	H7 IO L4N.VREF.12
X	M3 IO L14N.VREF.12
X	J6 IO L4P.12
X	P3 IO L14P.12
X	SDD10 E7 IO L0P.12
X	SDD11 F7 IO L0N.12
X	SDD8 E6 IO L1P.12
X	SDADD12 E5 IO L1N.12
X	SDD9 G6 IO L2P.12
X	SDD14 G7 IO L2N.12
X	SDLDQM F5 IO L3P.12
X	SDADD9 F4 IO L3N.12
X	SDADD7 H4 IO L5P.12
X	SDADD7 H4 IO L5N.12
X	SDADD8 G4 IO L6P.12
X	SDADD6 J5 IO L6N.12
X	SDADD5 J4 IO L7P.12
X	SDADD5 J4 IO L7N.12
X	K6 IO L8P.CC.12
X	K7 IO L8N.CC.12
X	L7 IO L8P.CC.12
X	M7 IO L8N.CC.12
X	M7 IO L9N.CC.12
X	SDADD4 K5 IO L10P.CC.12
X	L5 IO L10N.CC.12
X	IOA15 L4 IO L11P.CC.12
X	IOA14 L3 IO L11N.CC.12
X	N7 IO L13P.12
X	M6 IO L13N.12
X	M4 IO L15P.12
X	M4 IO L15N.12
X	P5 IO L16P.12
X	P4 IO L16N.12
X	IOA19 R3 IO L17P.12
X	IOA18 T3 IO L17N.12
X	R5 IO L18N.12
X	P8 IO L18P.12
X	R7 IO L19N.12
X	M6 IO L12N.VRP.12
X	M5 IO L12P.VRN.12
X	J2 VCCO.12
X	H5 VCCO.12
X	L6 VCCO.12

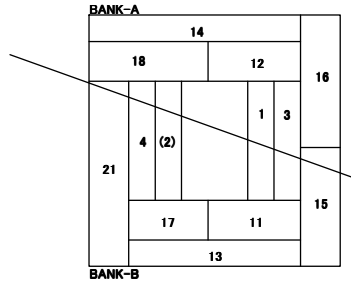
FPGA1D	
X	E11 IO L4N.GC.VREF.3
X	U26 IO L14N.VREF.13
X	E10 IO L4P.GC.3
X	V26 IO L14P.13
X	F14 CLKAP
X	F13 IO L0P.CC.GC.3
X	D13 CLKBN
X	D14 IO L0N.CC.GC.3
X	D15 GCLK-P
X	E15 IO L1N.CC.GC.3
X	E15 IO L3P.GC.3
X	E15 IO L3N.GC.3
X	E15 IO L5P.GC.3
X	E15 IO L5N.GC.3
X	F9 IO L6P.GC.3
X	F9 IO L6N.GC.3
X	F18 IO L7P.GC.3
X	F19 IO L7N.GC.3
X	F8 IO L8P.GC.3
X	F8 IO L8N.GC.3
X	F8 IO L8P.GC.3
X	F8 IO L8N.GC.3
X	F8 IO L9N.GC.3
X	T24 IO L13P.13
X	T25 IO L13N.13
X	U25 IO L15P.13
X	U24 IO L15N.13
X	W25 IO L16P.13
X	W26 IO L16N.13
X	Y25 IO L17P.13
X	Y26 IO L17N.13
X	AB25 IO L17N.13
X	AA25 IO L18N.13
X	AC26 IO L18P.13
X	AB26 IO L19N.13
X	F12 IO L2N.GC.VRP.3
X	E12 IO L2P.GC.VRN.3
X	R26 IO L12N.VRP.13
X	R25 IO L12P.VRN.13
X	E14 VCCO.3
X	D17 VCCO.3

FPGA1I	
X	K2 IO L4N.VREF.14
X	W1 IO L14N.VREF.14
X	K3 IO L4P.14
X	Y1 IO L14P.14
X	IOA22 E2 IO L0P.14
X	IOA23 F1 IO L0N.14
X	IOA10 E1 IO L1P.14
X	IOA11 E3 IO L1N.14
X	IOA26 G1 IO L2P.14
X	IOA27 H1 IO L2N.14
X	IOA24 F2 IO L3P.14
X	IOA25 G2 IO L3N.14
X	IOA13 H3 IO L5P.14
X	IOA12 J3 IO L5N.14
X	IOA31 L2 IO L6P.14
X	IOA30 K1 IO L6N.14
X	IOA29 J1 IO L7P.14
X	IOA28 H2 IO L7N.14
X	IOA32 M1 IO L8P.CC.14
X	IOA33 N1 IO L8N.CC.14
X	IOA16 M2 IO L8P.CC.14
X	IOA17 N2 IO L8N.CC.14
X	IOA34 P1 IO L10P.CC.14
X	IOA35 Q1 IO L10N.CC.14
X	IOA20 T2 IO L11P.CC.14
X	IOA21 B2 IO L11N.CC.14
X	IOA37 V2 IO L13P.14
X	IOA36 V1 IO L13N.14
X	PSW1 AA2 IO L15P.14
X	PSW0 Y2 IO L15N.14
X	IOA39 AB2 IO L16P.14
X	IOA38 AB1 IO L16N.14
X	IOA40 AC2 IO L17P.14
X	IOA41 AC1 IO L17N.14
X	IOA43 AE1 IO L18P.14
X	IOA42 AD1 IO L18N.14
X	IOA45 AF2 IO L19P.14
X	IOA44 AE2 IO L19N.14
X	U1 IO L12N.VRP.14
X	U2 IO L12P.VRN.14
X	W2 VCCO.14
X	R4 VCCO.14
X	V5 VCCO.14

FPGA1K	
X	D9 IO L4N.VREF.16
X	D4 IO L14N.VREF.16
X	C9 IO L4P.16
X	D3 IO L14P.16
X	D11 IO L0P.16
X	D10 IO L0N.16
X	C11 IO L1P.16
X	C12 IO L1N.16
X	G1 IO L2P.16
X	H1 IO L2N.16
X	B12 IO L3P.16
X	A13 IO L3N.16
X	A12 IO L5P.16
X	B10 IO L5N.16
X	B11 IO L6P.16
X	A10 IO L6N.16
X	A9 IO L7P.16
X	A8 IO L7N.16
X	D8 IO L8P.CC.16
X	B7 IO L8N.CC.16
X	B7 IO L8P.CC.16
X	D6 IO L8N.CC.16
X	A7 IO L10P.CC.16
X	D5 IO L10N.CC.16
X	C6 IO L11P.CC.16
X	C7 IO L11N.CC.16
X	B5 IO L13P.16
X	B5 IO L13N.16
X	C4 IO L15P.16
X	B4 IO L15N.16
X	C2 IO L16P.16
X	C3 IO L16N.16
X	A5 IO L17P.16
X	D1 IO L17N.16
X	D1 IO L18P.16
X	C1 IO L18N.16
X	B1 IO L19P.16
X	B2 IO L19N.16
X	A5 IO L12N.VRP.16
X	A4 IO L12P.VRN.16
X	E4 VCCO.16
X	D7 VCCO.16
X	G8 VCCO.16

FPGA1M	
X	W4 IO L4N.VREF.18
X	AB5 IO L14N.VREF.18
X	V4 IO L4P.18
X	AB6 IO L14P.18
X	V3 IO L0P.18
X	U4 IO L0N.18
X	T5 IO L1P.18
X	T4 IO L1N.18
X	T7 IO L2P.18
X	U7 IO L2N.18
X	U5 IO L3P.18
X	U5 IO L3N.18
X	U6 IO L5P.18
X	U6 IO L5N.18
X	U6 IO L6P.18
X	U6 IO L6N.18
X	U6 IO L7P.18
X	U6 IO L7N.18
X	U6 IO L8P.CC.18
X	U6 IO L8N.CC.18
X	U6 IO L8P.CC.18
X	U6 IO L8N.CC.18
X	AA4 IO L9P.CC.18
X	AA5 IO L9N.CC.18
X	AA7 IO L10P.CC.18
X	AA7 IO L10N.CC.18
X	AA7 IO L11P.CC.18
X	AA7 IO L11N.CC.18
X	AA3 IO L13P.18
X	AD4 IO L13N.18
X	AC6 IO L15P.18
X	AD6 IO L15N.18
X	AF3 IO L16P.18
X	AE3 IO L16N.18
X	AD6 IO L17P.18
X	AD5 IO L17N.18
X	AD6 IO L18P.18
X	AF4 IO L18N.18
X	AE6 IO L19P.18
X	AE5 IO L19N.18
X	AC3 IO L12N.VRP.18
X	AC4 IO L12P.VRN.18
X	AB3 VCCO.18
X	AA6 VCCO.18
X	AD7 VCCO.18

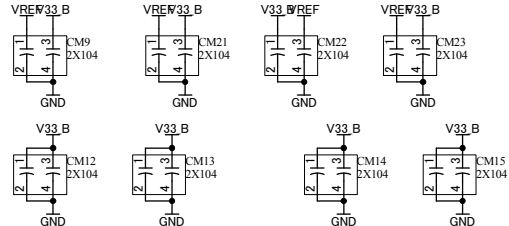
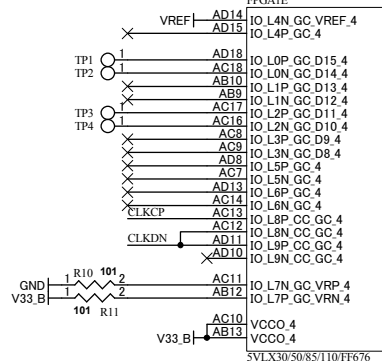
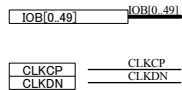
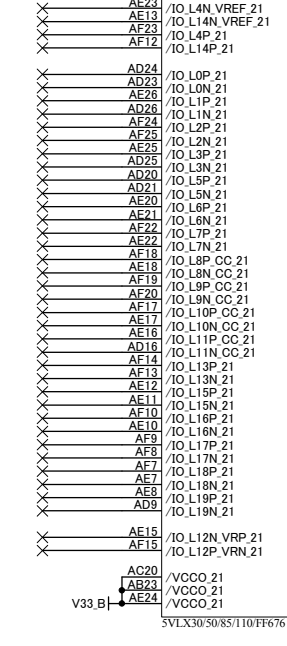
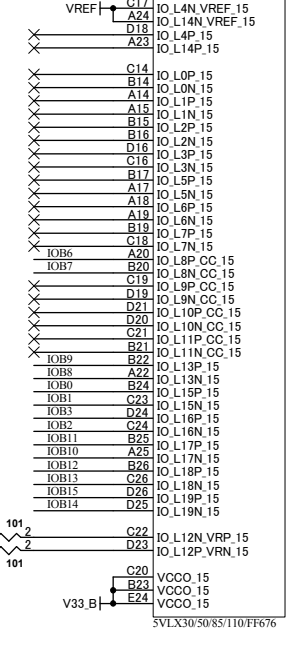
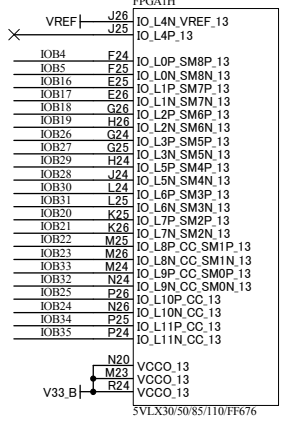
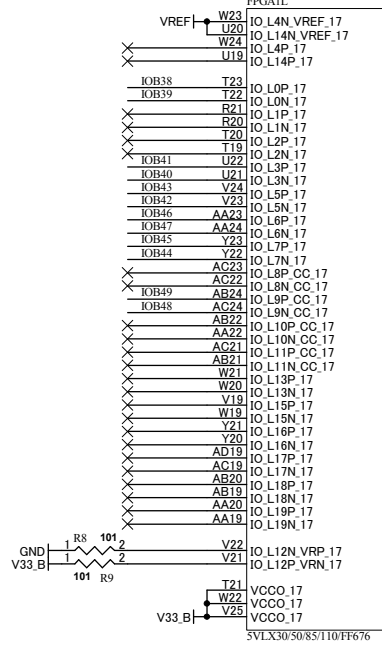
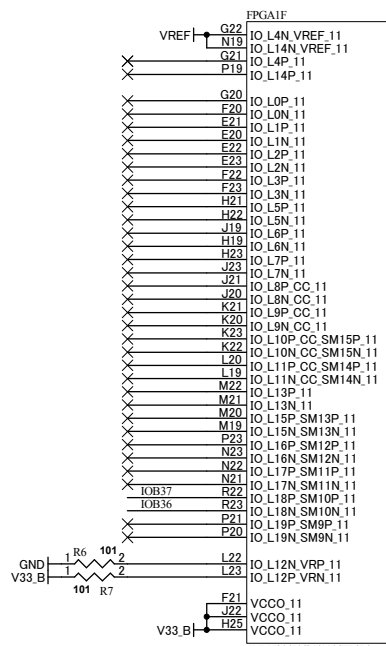
FPGA1B	
X	G14 nSDCAS
X	F13 nSDCS
X	H14 nSDWE
X	H13 nSDRAS
X	F15 nSD7
X	G15 nSDLQ0M
X	G12 nSDBS0
X	H12 nSDBS1
X	G16 nSDB6
X	H11 IO L4N.VREF.A10.D26.1
X	G11 IO L5P.A9.D25.1
X	G11 IO L5N.A8.D24.1
X	H17 IO L6P.A7.D23.1
X	G17 IO L6N.A6.D22.1
X	G9 IO L7P.A5.D21.1
X	G9 IO L7N.A4.D20.1
X	G19 IO L8P.CC.A3.D19.1
X	H18 IO L8N.CC.A2.D18.1
X	H8 IO L9P.CC.A1.D17.1
X	H8 IO L9N.CC.A0.D16.1
X	A2 VCCO.1
X	F11 VCCO.1



BANK-A

	2008/02/06	<b>Virtex-5 FPGA MODULE</b>	
	HuMANDATA LTD. OSAKA JAPAN www.hdl.co.jp		
Date: 6-Feb-2008	13:10:32	File: X5IOA.sch	Sheet 2 of 3

V10 V10  
 V25 V25  
 V33.A V33.A  
 V33.B V33.B  
 GND GND  
 VREF VREF



BANK-B

