

## XCM-011 マニュアル第2版 正誤表

XCM-011 シリーズのマニュアルに誤表記がありました。  
 ここにお詫びして訂正いたします。

### 訂正箇所

マニュアル 6 ページ

### ● 4. ディップスイッチの説明

#### 誤                    マスタ SelectMAP<sup>(2)</sup>

表 2-1 : Virtex-5 コンフィギュレーション モード

コンフィギュレーション モード	M[2:0]	バス幅	CCLK の方向
マスタ シリアル <sup>(2)</sup>	000	1	出力
マスタ SPI <sup>(2)</sup>	001	1	出力
マスタ BPI-Up <sup>(2)</sup>	010	8、16	出力
マスタ BPI-Down <sup>(2)</sup>	011	8、16	出力
マスタ SelectMAP <sup>(2)</sup>	100	8、16	出力
JTAG	101	1	入力 (TCK)
スレーブ SelectMAP	110	8、16、32	入力
スレーブ シリアル	111	1	入力

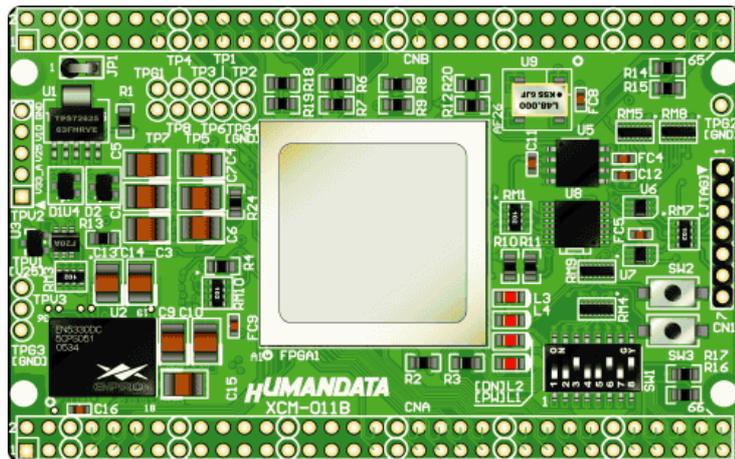
#### 正                    JTAG

表 2-1 : Virtex-5 コンフィギュレーション モード

コンフィギュレーション モード	M[2:0]	バス幅	CCLK の方向
マスタ シリアル <sup>(2)</sup>	000	1	出力
マスタ SPI <sup>(2)</sup>	001	1	出力
マスタ BPI-Up <sup>(2)</sup>	010	8、16	出力
マスタ BPI-Down <sup>(2)</sup>	011	8、16	出力
マスタ SelectMAP <sup>(2)</sup>	100	8、16	出力
JTAG	101	1	入力 (TCK)
スレーブ SelectMAP	110	8、16、32	入力
スレーブ シリアル	111	1	入力



Virtex-5 ブレッドボード  
XCM-011-LX30/LX50  
ユーザーズマニュアル  
第2版



ヒューマンデータ



---

## 目次

---

はじめに .....	1
ご注意 .....	1
1. 製品の内容について .....	2
2. 仕様 .....	2
3. 製品説明 .....	3
3-1. 各部の名称 .....	3
3-2. ブロック図 .....	4
3-3. 電源 .....	4
3-4. JTAG コネクタ .....	5
4. ディップスイッチの説明 .....	6
5. FPGA へのコンフィギュレーション .....	7
5-1. ディップスイッチの設定 .....	7
6. SPI-PROM への書き込み .....	8
6-1. mcs データ作成方法 .....	8
6-2. SPI-PROM への書き込み .....	11
7. ROM から FPGA へのコンフィギュレーション(パワーON 動作) .....	13
8. Configuration Rate の設定 .....	14
9. デバイスピンの割付表 .....	16
9-1. CNA .....	16
9-2. CNB .....	17
9-3. SDRAM .....	18
9-4. FRAM .....	19
9-5. LED .....	19
9-6. 汎用 SW .....	19
9-7. ディップスイッチ .....	20
9-8. オンボードクロック .....	20
10. XCM-011 シリーズ 参考資料について .....	21
11. 付属資料 .....	21

## はじめに

この度は、Virtex-5 ブレッドボード XCM-011-LX30/LX50 をお買い上げいただきまして誠にありがとうございます。

XCM-011-LX30/LX50 は、XILINX の高性能 FPGA Virtex-5 を用いた評価用ボードで、電源回路、クロック回路、コンフィギュレーション回路、SPI-PROM、SDRAM、FRAMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

## ご注意

 <b>禁止</b>	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 <b>注意</b>	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7.項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-011-LX30/LX50	1
付属品(ターゲット用コネクタ等)	1
マニュアル(本書)	オーダー毎に各1
ユーザー登録はがき	(ご要望により追加請求できます)

## 2. 仕様

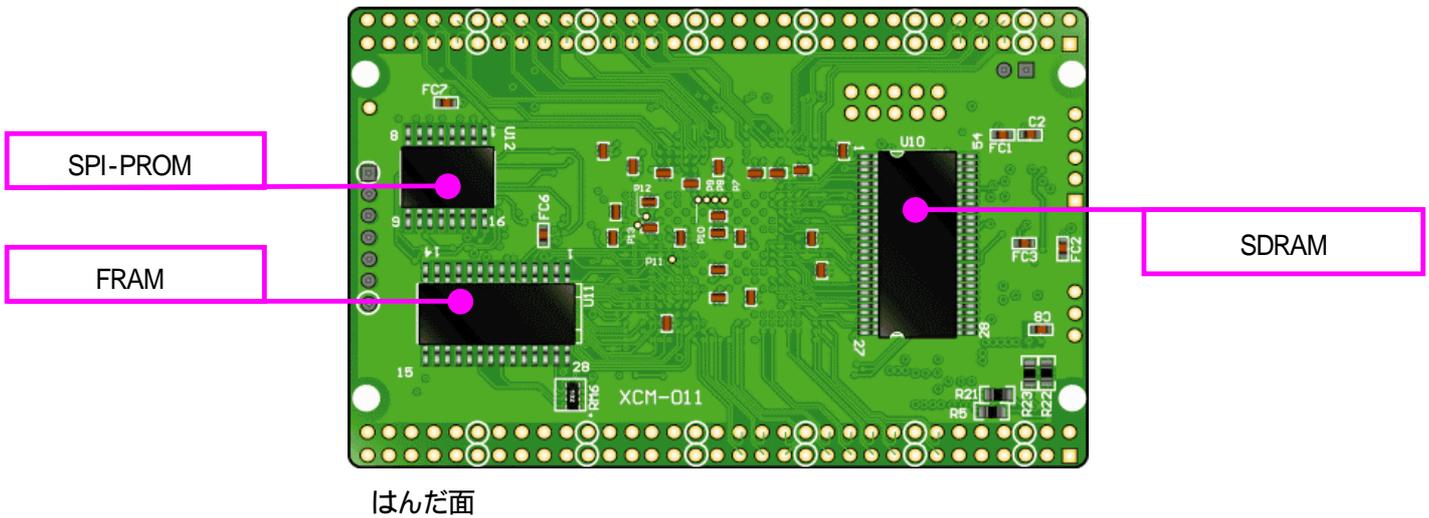
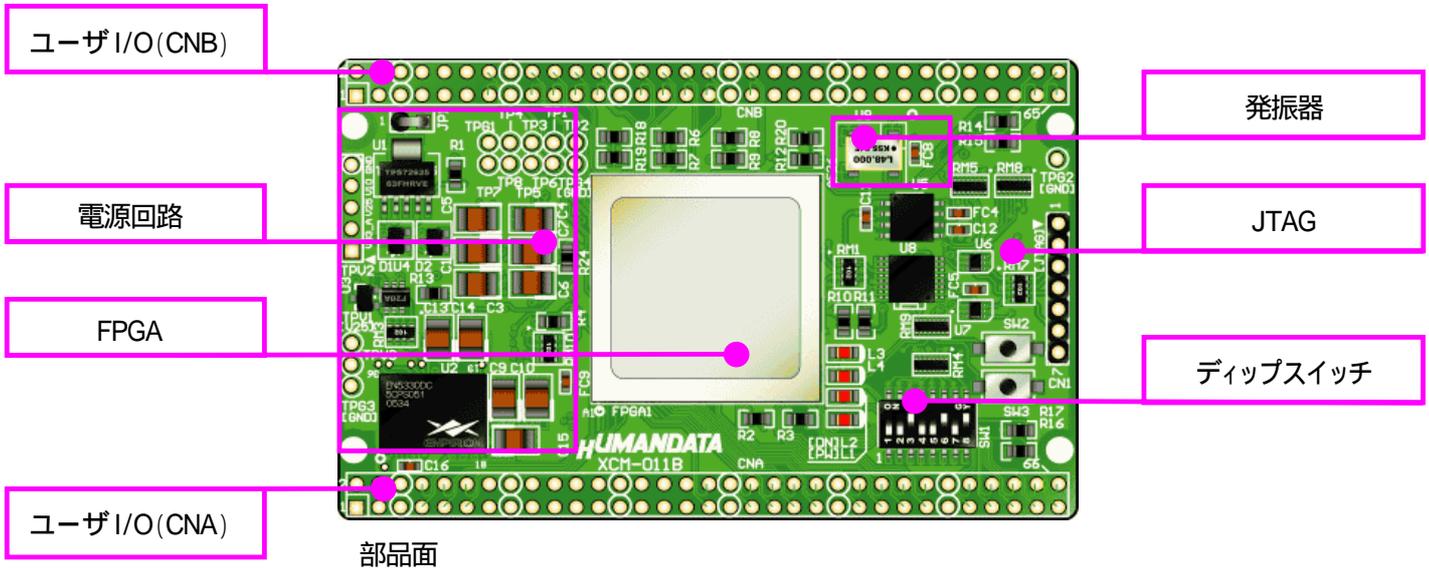
製品型番	XCM-011-LX30	XCM-011-LX50
搭載 FPGA	XC5VLX30-1FFG676C	XC5VLX50-1FFG676C
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86 × 54 [mm]	
重量	約 30 [g]	
ユーザー I/O	100 本	
I/O コネクタ	66 ピンスルーホール 0.9[mm] x2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
SPI-PROM	M25P16(ST マイクロエレクトロニクス)	
SDRAM	MT48LC16M16A2P-75-D (MICRON) *1	
FRAM	FM18L08-70-SG *1	
クロック	オンボード 48MHz 外部供給可能	
コンフィギュレーション用リセット回路	内蔵 (200ms TYP)	
JTAG コネクタ	SIP7 ピン 丸ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER-LED , DONE-LED)	
汎用 LED	2 個	
汎用 SW	2 個	
付属品	DIP80 ピンヘッダ 2 個 (任意にカット可能) SIP7 ピン ピンヘッダ (本体に取付け済み)	

\*1 互換品と変更になる場合がございます

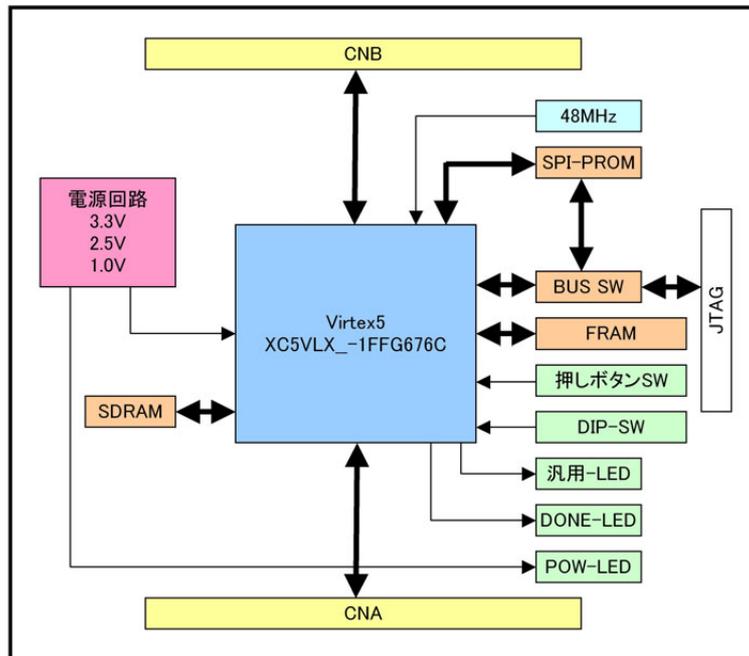
以下 XCM-011-LX30/LX50 を XCM-011 と表記します。

## 3. 製品説明

### 3.1. 各部の名称



### 3-2. ブロック図



### 3-3. 電源

本ボードは、DC 3.3V 単一電源で動作します。

内部に必要な、2.5V、1.0V はオンボードのレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

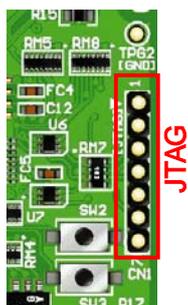
電源は、CNA、CNB から供給してください。いづれも 3.3V を超えることはできません。  
詳しくは FPGA のデータシートや回路図などを参照してください。

また電源の立ち上がりは単調増加である必要があります。

良質の電源を使用するようにしてください。

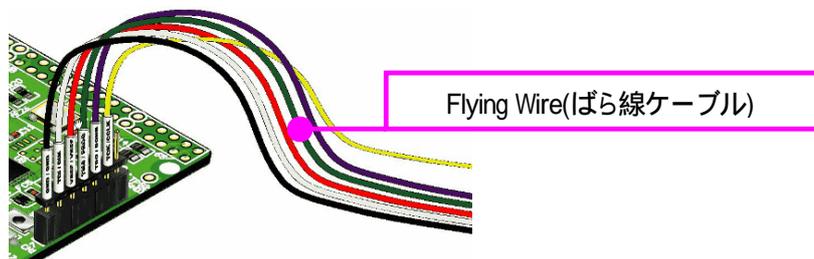
## 3-4. JTAG コネクタ

FPGA へのコンフィギュレーション、SPI-PROM への書き込みに用います。  
ピン配置は次表のとおりです。



信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	OUT(POW)	5
TDI	IN	6
GND	I/O	7

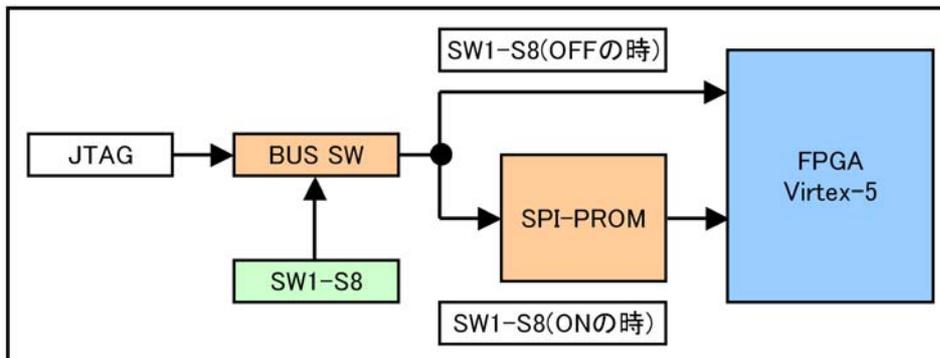
弊社製ダウンロードケーブル XC2、XCKIT や XILINX 社の純正ケーブルなどを用いることができます。また、ダウンロードケーブルと本品との接続には付属品 SIP7 ピンヘッドや ZKB-031KIT を使用することが可能です。



### 注意

ダウンロードケーブルを接続する場合、誤差しなどにご注意ください

JTAG チェインには BUS SW を介して SPI-PROM と FPGA の両方に接続されています。



## 4. ディップスイッチの説明

XCM-011 のディップスイッチ(SW1)は以下のように割り付けられています。

SW を **ON** で **Low** に固定されます。

番号	S1	S2	S3	S4	S5	S6	S7	S8
記号	FS0	FS1	FS2	HSWAP_EN	M1	M2	M0	X_PROG
出荷時	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF
説明	SPI変数セレクトピン			HSWAP_EN	コンフィギュレーションモード			汎用

表 2-1: Virtex-5 コンフィギュレーション モード

コンフィギュレーション モード	M[2:0]	バス幅	CCLK の方向
マスタ シリアル <sup>(2)</sup>	000	1	出力
マスタ SPI <sup>(2)</sup>	001	1	出力
マスタ BPI-Up <sup>(2)</sup>	010	8、16	出力
マスタ BPI-Down <sup>(2)</sup>	011	8、16	出力
マスタ SelectMAP <sup>(2)</sup>	100	8、16	出力
JTAG	101	1	入力 (TCK)
スレーブ SelectMAP	110	8、16、32	入力
スレーブ シリアル	111	1	入力

メモ:

1. パラレル コンフィギュレーション モードのバスは、コンフィギュレーション ロジックによって自動的に検出されます。
2. マスタ コンフィギュレーション モードでは、CCLK ピンが Virtex-5 の内部コンフィギュレーション ロジック用のクロック ソースです。内部コンフィギュレーション ロジックのダブルクロッキングを回避するため、Virtex-5 CCLK 出力ピンでは反射が起きないようにする必要があります。詳細は、「コンフィギュレーションクロック (CCLK) のボードレイアウト」セクションを参照してください。

xilinx 社 Virtex-5 FPGA コンフィギュレーションガイドより引用

### S1、S2、S3 : SPI 変数セレクトピン

詳しくは、FPGA データシートをご覧ください。

通常出荷時設定でご使用ください。

### S4 : HSWAPEN の設定

コンフィギュレーション前の I/O のプルアップの状態を設定することができます。

### S5、S6、S7 : コンフィギュレーションモード

#### ROM 使用時: マスタ SPI

S7(OFF) M0 = 1

S6(ON) M2 = 0

S5(ON) M1 = 0

#### 出荷時: JTAG mode

S7(OFF) M0 = 1

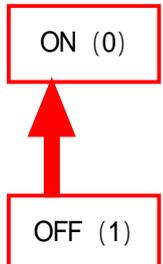
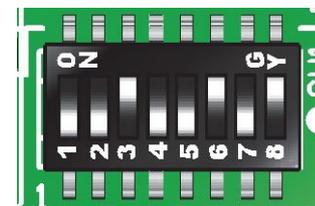
S6(OFF) M2 = 1

S5(ON) M1 = 0

### S8 : ターゲット設定

OFF : JTAG

ON : SPI-ROM



## 5 . FPGA へのコンフィギュレーション

### 5-1. ディップスイッチの設定

FPGA にコンフィギュレーションする際、ディップスイッチの設定が必要です。ディップスイッチを下記のように設定してください。

SW1

	1	2	3	4	5	6	7	8
ON(0)								
OFF(1)								

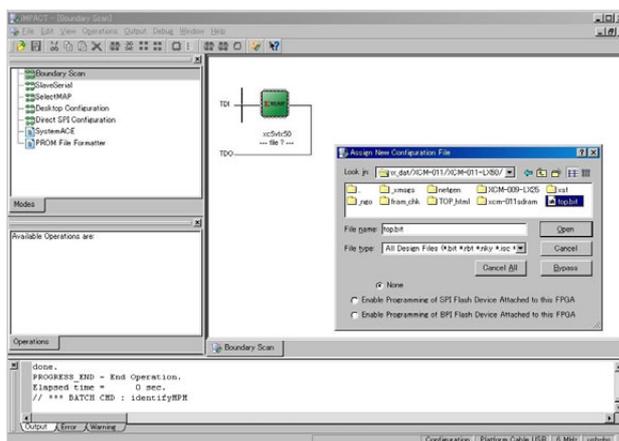
FPGA へのコンフィギュレーションは iMPACT により行ないます。

iMPACT を起動します。

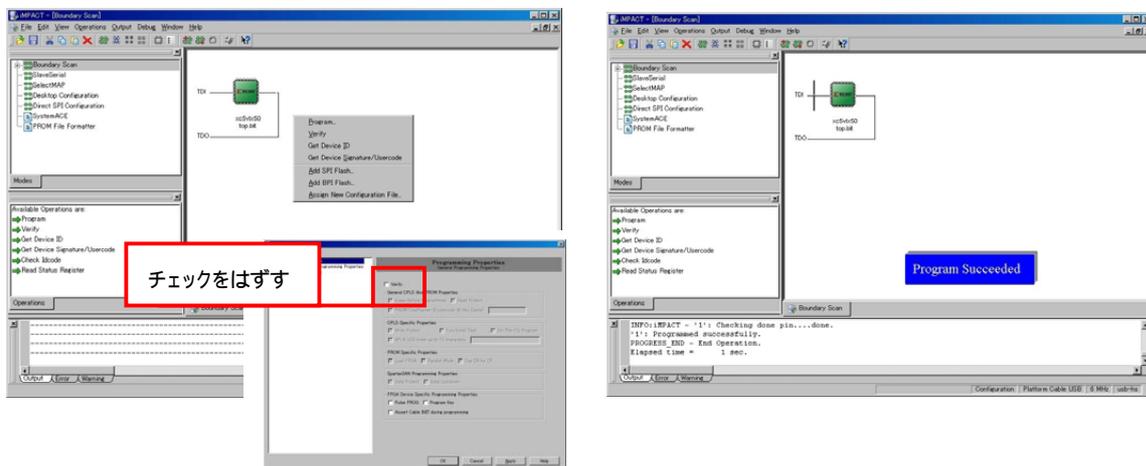
iMPACT Mode は[Boundary Scan]にします。

[File]-[Initialize Chain]をクリックすると、FPGA が認識されます。

FPGA に対して bit ファイルを割り付けてください。



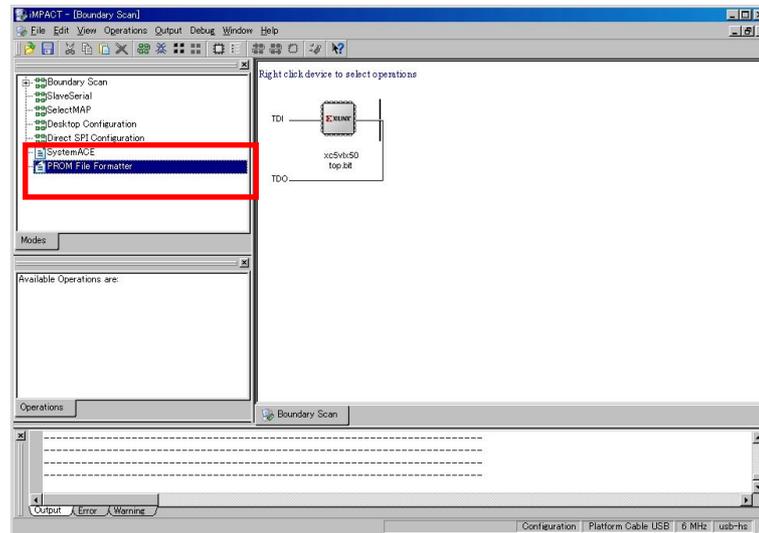
次にデバイスのアイコン上で右クリックをし、[Program...]をクリックします。FPGA へのコンフィギュレーションの際は、通常[Verify]のチェックを外してください。コンフィギュレーションが成功すると、[Program Succeeded]と表記されます。



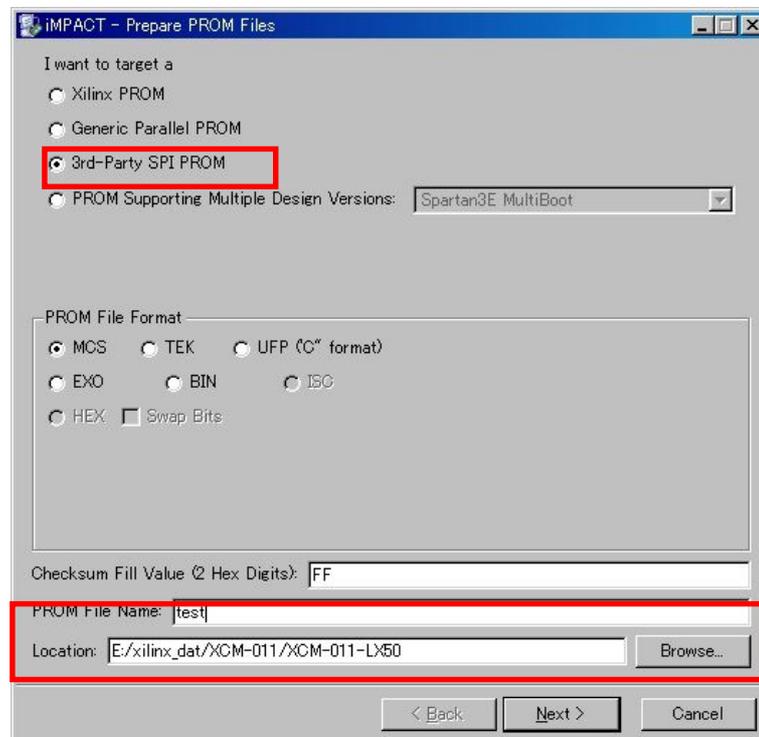
## 6. SPI-PROM への書き込み

### 6-1. mcs データ作成方法

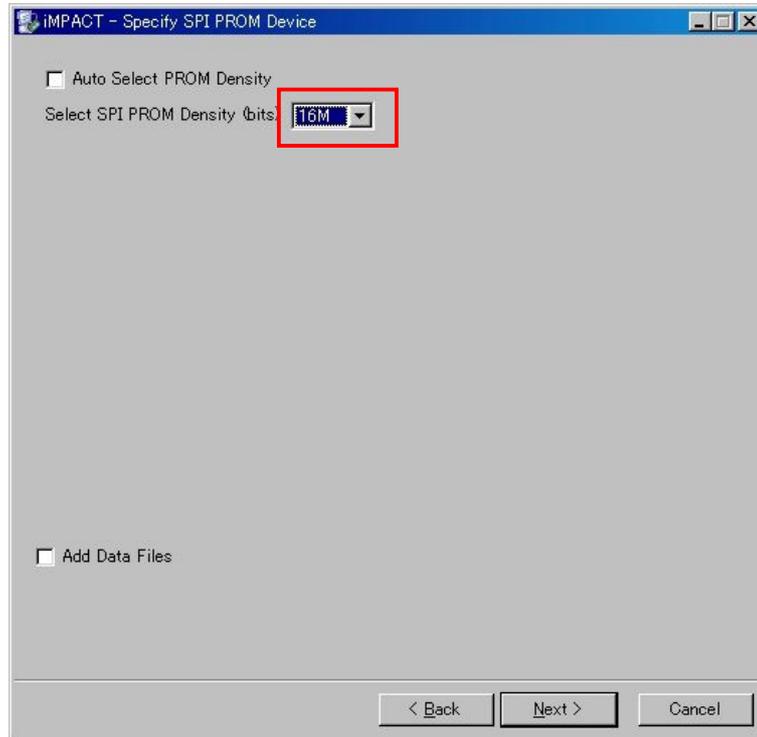
iMPACT Mode にある[**PROM File Formatter**]をクリックします。



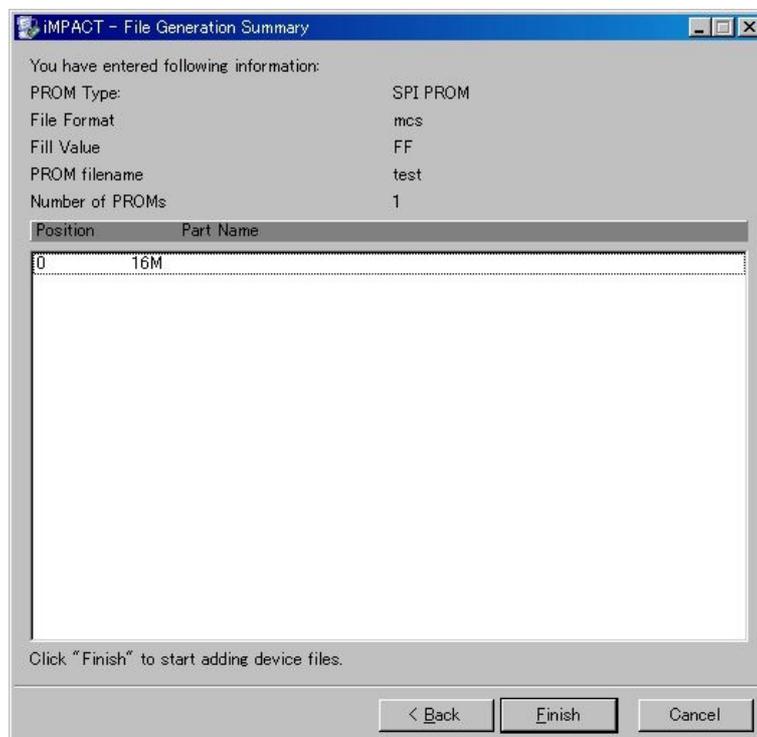
次に File Name と Location(保存先)を指定し[**Next>**]をクリックします。



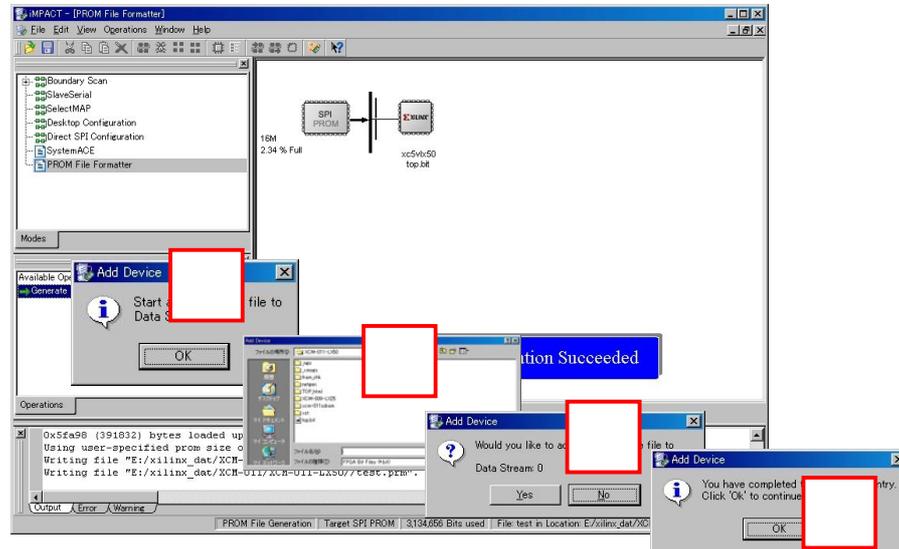
次に SPI-PROM の種類を[16M]を選択し[Next>]をクリックしてください。



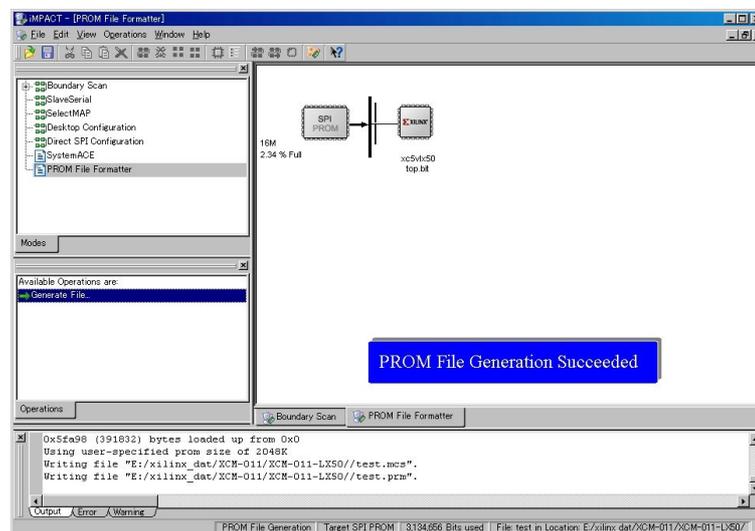
次に[Finish]をクリックします。



次に のダイアログがでます。[OK]をクリックし、割り当てる bit File を選択します。( ) 次に のダイアログで[NO]をクリックし、 のダイアログで[OK]をクリックします。



次に iMPACT Process にある[Generate File]をダブルクリックします。  
[PROM File Generation Succeeded]と表示されれば完了です。



これでコンフィギュレーション ROM に書き込むための.mcs ファイルが生成されました。

**注意**

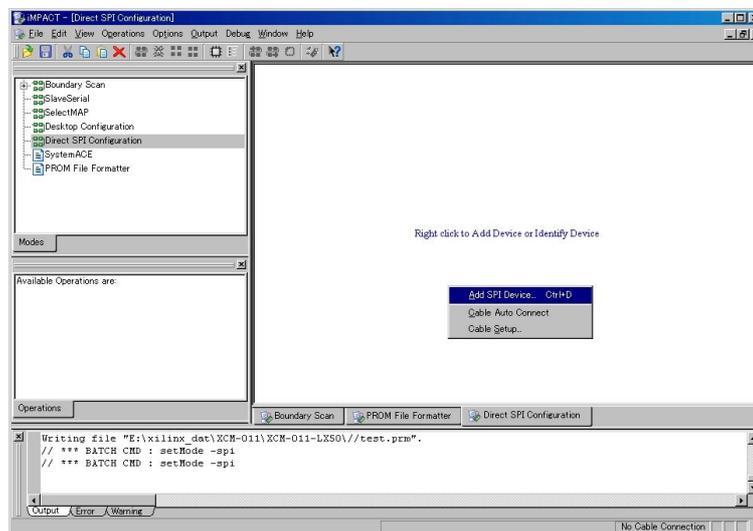
ROM に書き込む前に、FPGA にコンフィギュレーションを行い、回路の動作確認を行ってから書き込みを行ってください。

## 6-2. SPI-PROM への書き込み

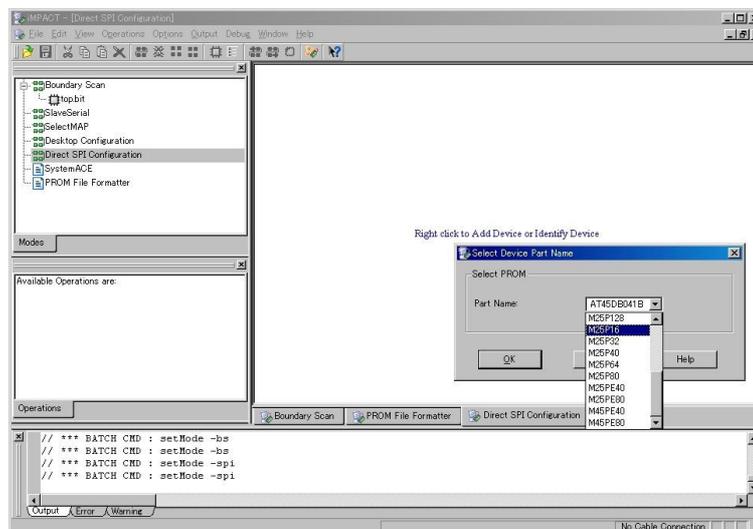
SPI-PROM に書き込む際、ディップスイッチの設定が必要です。  
ディップスイッチを下記のように設定してください。(S5-7の設定は不要)  
SW1

	1	2	3	4	5	6	7	8
ON(0)								
OFF(1)								

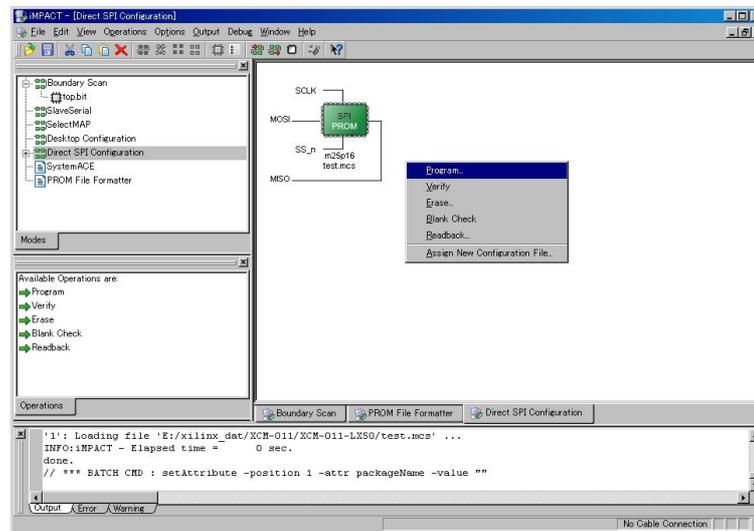
iMPACT Mode を[Direct SPI Configuration]にし、右クリック[Add SPI Device...]をクリックしてください。



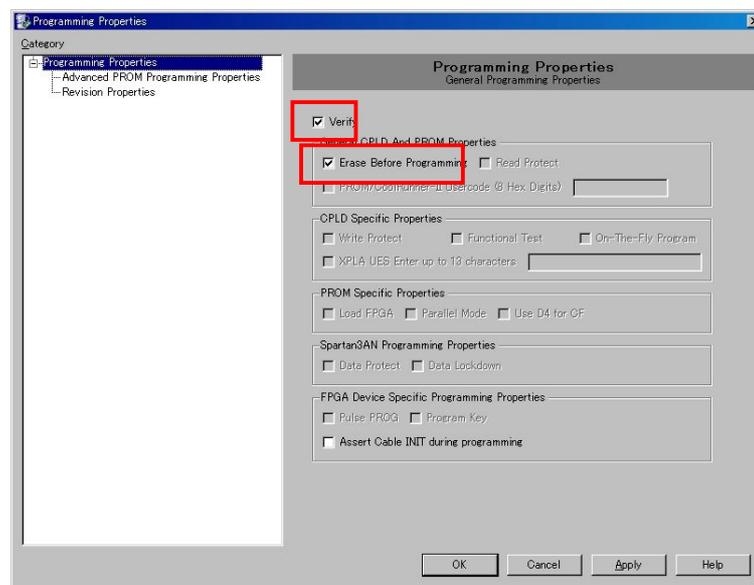
SPI-PROM の種類を選択してください。(M25P16)



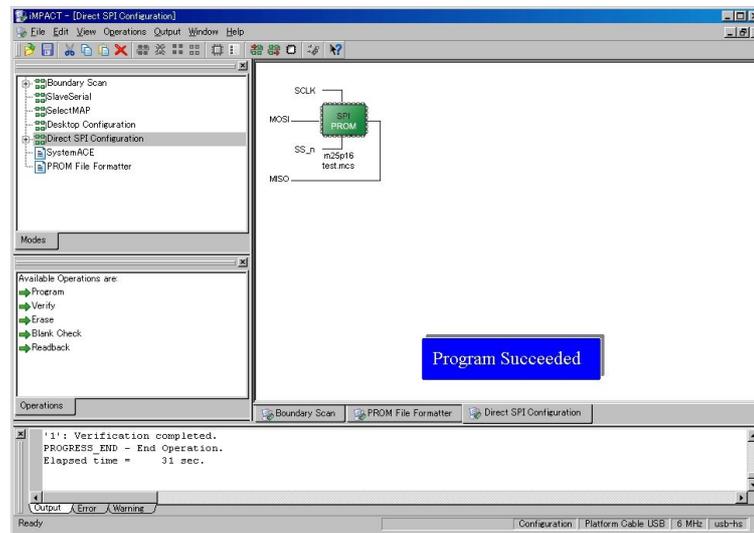
SPI-PROM を選択し、右クリックし[Program...]をクリックしてください。



[Verify][Erase Before Programming][Parallel Mode]にチェックを入れ  
[OK]をクリックしてください。



[Program Succeeded]と表示されれば完了です。



## 7. ROM から FPGA へのコンフィギュレーション(パワーON 動作)

ROM から FPGA にコンフィギュレーションする際、ディップスイッチの設定が必要です。ディップスイッチを下記のように設定してください。

SW1

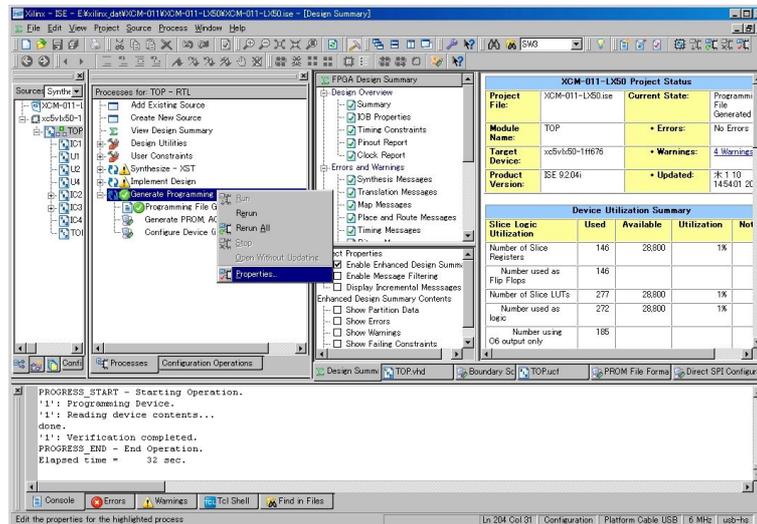
	1	2	3	4	5	6	7	8
ON(0)								
OFF(1)								

ディップスイッチの設定後、ボードの電源を入れます。

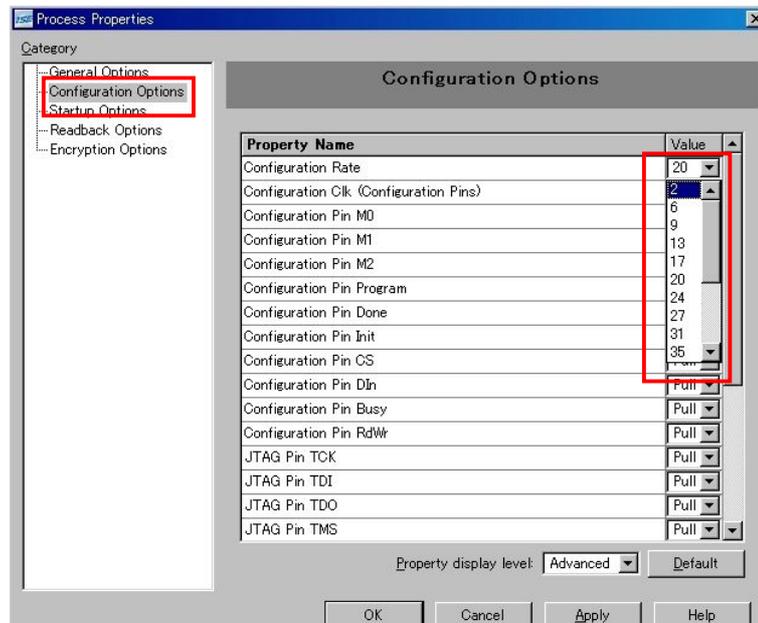
## 8. Configuration Rate の設定

XCM-011 では Configuration Rate の設定が可能です。  
以下に Configuration Rate の設定方法を示します。

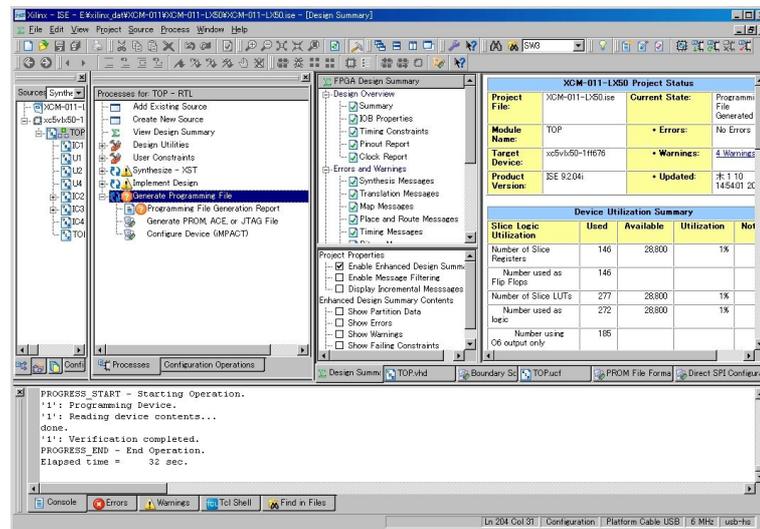
ISE の Processes のタブにある[Generate Programming File]で右クリックし、  
[Properties...]をクリックしてください。



[Configuration Options]の[Configuration Rate]を任意の値に設定し、  
[OK]をクリックしてください。



[Generate Programming File]が？になりました。  
右クリックして[Run]またはダブルクリックしてください。



## 注意

Configuration Rate を変更後 ROM に書き込む場合、新しく.mcs ファイルを作成する必要があります。

## 9. デバイスピンの割付表

### 9-1. CNA

BANK	NET LABEL	FPGA ピン#	CNA ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	A2	7	8	A3	IOA1	A
A	IOA2	B1	9	10	B2	IOA3	A
A	IOA4	D1	11	12	C1	IOA5	A
A	IOA6	C4	13	14	B4	IOA7	A
		GND	15	16	GND		
A	IOA8	C2	17	18	C3	IOA9	A
A	IOA10	F3	19	20	E3	IOA11	A
A	IOA12	J3	21	22	H3	IOA13	A
A	IOA14	L3	23	24	L4	IOA15	A
		GND	25	26	GND		
A	IOA16	M2	27	28	N2	IOA17	A
A	IOA18	T3	29	30	R3	IOA19	A
A	IOA20	T2	31	32	R2	IOA21	A
A	IOA22	E2	33	34	E1	IOA23	A
		GND	35	36	GND		
A	IOA24	F2	37	38	G2	IOA25	A
A	IOA26	G1	39	40	H1	IOA27	A
A	IOA28	H2	41	42	J1	IOA29	A
A	IOA30	K1	43	44	L2	IOA31	A
		GND	45	46	GND		
A	IOA32	M1	47	48	N1	IOA33	A
A	IOA34	P1	49	50	R1	IOA35	A
A	IOA36	V1	51	52	V2	IOA37	A
A	IOA38	AB1	53	54	AB2	IOA39	A
		GND	55	56	GND		A
A	IOA40	AC1	57	58	AC2	IOA41	A
A	IOA42	AD1	59	60	AE1	IOA43	A
A	IOA44	AE2	61	62	AF2	IOA45	A
A	IOA46	AE3	63	64	AF3	IOA47	A
A	IOA48 *1	AF4	65	66	AF5	IOA49 *2	A

\*1 抵抗(R16)を介して FPGA ピン# F14 (CLKAP) に接続

\*2 抵抗(R17)を介して FPGA ピン# E13,D13 (CLKBN) に接続

## 9-2. CNB

BANK	NET LABEL	FPGA ピン#	CNB ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	B24	7	8	C23	IOB1	B
B	IOB2	C24	9	10	D24	IOB3	B
B	IOB4	F24	11	12	F25	IOB5	B
B	IOB6	A20	13	14	B20	IOB7	B
		GND	15	16	GND		
B	IOB8	A22	17	18	B22	IOB9	B
B	IOB10	A25	19	20	B25	IOB11	B
B	IOB12	B26	21	22	C26	IOB13	B
B	IOB14	D25	23	24	D26	IOB15	B
		GND	25	26	GND		
B	IOB16	E25	27	28	E26	IOB17	B
B	IOB18	G26	29	30	H26	IOB19	B
B	IOB20	K25	31	32	K26	IOB21	B
B	IOB22	M25	33	34	M26	IOB23	B
		GND	35	36	GND		
B	IOB24	N26	37	38	P26	IOB25	B
B	IOB26	G24	39	40	G25	IOB27	B
B	IOB28	J24	41	42	H24	IOB29	B
B	IOB30	L24	43	44	L25	IOB31	B
B		GND	45	46	GND		
B	IOB32	N24	47	48	M24	IOB33	B
B	IOB34	P25	49	50	P24	IOB35	B
B	IOB36	R23	51	52	R22	IOB37	B
B	IOB38	T23	53	54	T22	IOB39	B
		GND	55	56	GND		
B	IOB40	U21	57	58	U22	IOB41	B
B	IOB42	V23	59	60	V24	IOB43	B
B	IOB44	Y22	61	62	Y23	IOB45	B
B	IOB46	AA23	63	64	AA24	IOB47	B
B	IOB48 *3	AC24	65	66	AB24	IOB49 *4	B

\*3 抵抗(R15)を介して FPGA ピン# AC13 (CLKCP) に接続

\*4 抵抗(R14)を介して FPGA ピン# AC12,AD11 (CLKDN) に接続

### 9-3. SDRAM

SDRAM ピン#	NET LABEL	FPGA ピン#	備考
U10-2	SDD0	G19	
U10-4	SDD1	H18	
U10-5	SDD2	F18	
U10-7	SDD3	G17	
U10-8	SDD4	F17	
U10-10	SDD5	H17	
U10-11	SDD6	G16	
U10-13	SDD7	F15	
U10-42	SDD8	E6	
U10-44	SDD9	G6	
U10-45	SDD10	E7	
U10-47	SDD11	F7	
U10-48	SDD12	E8	
U10-50	SDD13	F8	
U10-51	SDD14	G7	
U10-53	SDD15	H8	
U10-23	SDADD0	H11	
U10-24	SDADD1	G10	
U10-25	SDADD2	G9	
U10-26	SDADD3	H9	
U10-29	SDADD4	K5	
U10-30	SDADD5	J4	
U10-31	SDADD6	J5	
U10-32	SDADD7	H4	
U10-33	SDADD8	G4	
U10-34	SDADD9	F4	
U10-22	SDADD10	G11	
U10-35	SDADD11	G5	
U10-36	SDADD12	E5	
U10-20	SDBS0	G12	
U10-21	SDBS1	H12	
U10-15	SDLQDM	G15	
U10-39	SDUDQM	F5	
U10-16	nSDWE	H14	
U10-17	nSDCAS	G14	
U10-18	nSDRAS	H13	
U10-19	nSDCS	F13	
U10-37	nSDCLKE	F10	
U10-38	SDDCLK	E18	FPGA-SDCLK 出力
		F19	FPGA-SDCLK 入力

## 9-4. FRAM

FRAM ピン#	NET LABEL	FPGA ピン#	備考
U11-20	FRAMCEN	AA4	
U11-10	FRAM_A0	Y6	
U11-9	FRAM_A1	AB7	
U11-8	FRAM_A2	AA7	
U11-7	FRAM_A3	Y7	
U11-6	FRAM_A4	W6	
U11-5	FRAM_A5	T7	
U11-4	FRAM_A6	U6	
U11-3	FRAM_A7	U7	
U11-25	FRAM_A8	U4	
U11-24	FRAM_A9	V3	
U11-21	FRAM_A10	AA5	
U11-23	FRAM_A11	W3	
U11-2	FRAM_A12	V6	
U11-26	FRAM_A13	T4	
U11-1	FRAM_A14	V7	
U11-11	FRAM_D0	AC6	
U11-12	FRAM_D1	AD6	
U11-13	FRAM_D2	W5	
U11-15	FRAM_D3	AE5	
U11-16	FRAM_D4	AD5	
U11-17	FRAM_D5	AD4	
U11-18	FRAM_D6	AD3	
U11-19	FRAM_D7	AB4	
U11-22	FRAM_OEN	Y3	
U11-27	FRAM_WEN	T5	

## 9-5. LED

LED	NET LABEL	FPGA ピン#
L3	LED0	AB6
L4	LED1	V4

## 9-6. 汎用SW

SW	NET LABEL	FPGA ピン#
SW2	PSW0	Y2
SW3	PSW1	AA2

## 9-7. ディップスイッチ

DIP SW-ピン #	NET LABEL	接続先
SW1-1	FS2	AA14
SW1-2	FS1	AA13
SW1-3	FS0	AB11
SW1-4	HSWAP_EN	L18
SW1-5	X_M2	Y17
SW1-6	X_M1	V18
SW1-7	X_M0	W18
SW1-8	X_PROG	J18

## 9-8. オンボードクロック

クロック	NET LABEL	FPGA ピン#
48M	GCLK-P	D15
48M	GCLK-N	E16 (E17)

## 10. XCM-011 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は

製品サポートページ

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

にデータをアップロードすることいたします。

拡張子“.exe”のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

## 11. 付属資料

1. 基板回路図(別紙)
2. 基板外形図





---

Virtex-5 ブレッドボード  
(カードサイズ)  
XCM-011-LX30/LX50  
ユーザーズマニュアル

2008/01/11 (初版)  
2008/02/12 (第 2 版)

---

**有限会社ヒューマンデータ**

〒567 - 0034

大阪府茨木市中穂積1 - 2 - 10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>

---