



Virtex-4 ブレッドボード
XCM-009 シリーズ
ユーザーズマニュアル
第5版



ヒューマンデータ

目次

はじめに	1
ご注意	1
1. 製品の内容について.....	2
2. 仕様	2
3. 各部の名称	3
4. 電源入力	4
5. JTAG コネクタ	4
6. FPGA へのコンフィグレーション方法	6
7. コンフィグレーション ROM データの作成方法	7
8. コンフィグレーション ROM へのデータ書き込み方法	9
9. ディップスイッチの説明.....	10
10. コネクタピン割付表.....	12
11. XCM-009 シリーズ 参考資料について	15
12. 付属資料	15

はじめに

この度は、Virtex-4 ブレッドボード/XCM-009 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-009 シリーズは、XILINX の高性能 FPGA Virtex-4 を用いた評価用ボードで、電源回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROM、SDRAM、SERIAL-ROM などを装備した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード XCM-009 シリーズ	1
付属品 (予備ジャンパなど)	1
マニュアル (本書)	1 *
ユーザー登録はがき	1 *

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます)

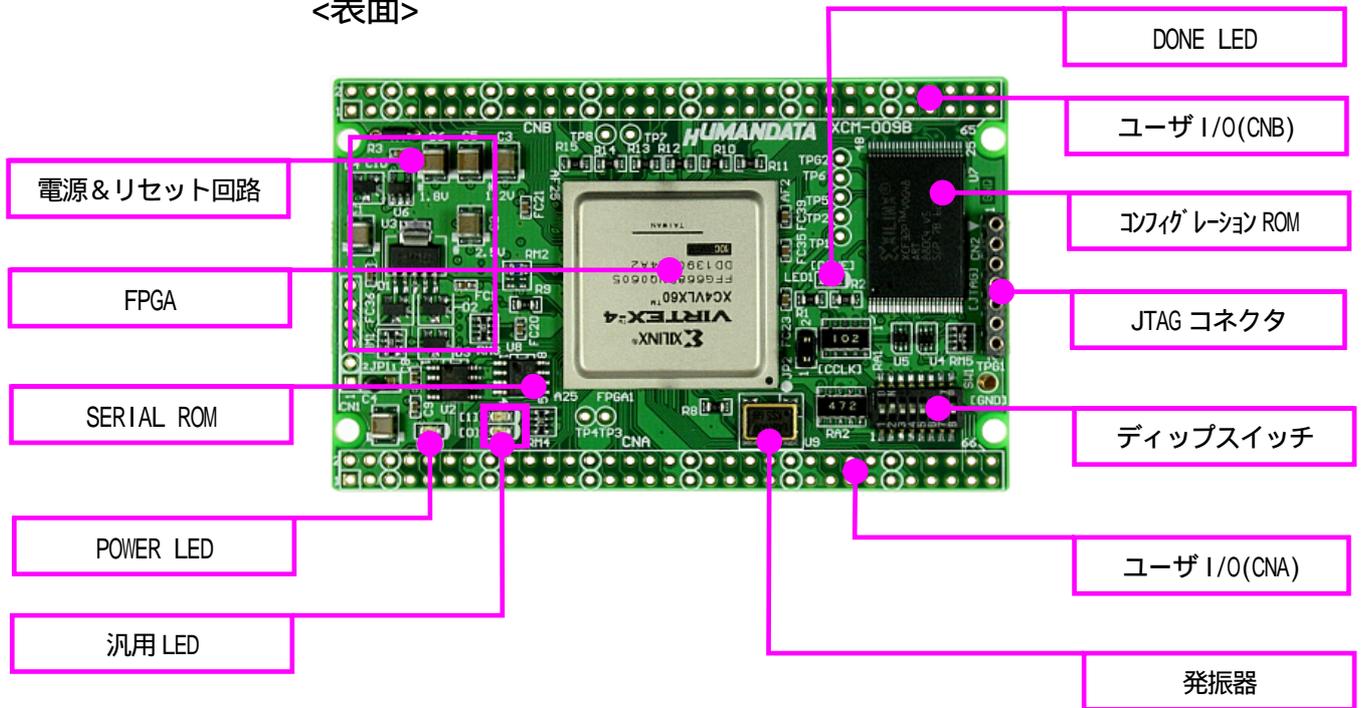
2. 仕様

製品型番	XCM-009 FX12	XCM-009-LX15	XCM-009-LX25	XCM-009-LX40	XCM-009-LX60
搭載 FPGA	XC4LFX12-10FFG668C	XC4VLX15-10FFG668C	XC4VLX25-10FFG668C	XC4VLX40-10FFG668C	XC4VLX60-10FFG668C
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)				
消費電流	N/A (詳細は FPGA データシートご参照)				
外形寸法	86 × 54 [mm]				
重量	約 26 [g]				
ユーザ I/O	100 本				
I/O コネクタ	66 ピンスルーホール 0.9[mm]] × 2 組 2.54mm ピッチ				
プリント基板	ガラスエポキシ 6 層基板 1.6t				
コンフィグレーション ROM	XCF32PVOG48C				
SDRAM	MT48LC16M16A2P-75-D (MICRON) 1 個 *1				
シリアル FLASH-ROM	M25P40-VMN6P (STM) 1 個 *1				
クロック	オンボード 48MHz 外部供給可能				
コンフィグレーション用リセット回路	内蔵 (200 ms TYP)				
JTAG コネクタ	SIP7 ピン 丸ピンソケット 2.54mm ピッチ				
ステータス LED	2 個 (POWER-LED , DONE-LED)				
汎用 LED	2 個				
付属品	2 列 × 40 ピン、ジャンパヘッダ 2 本 (任意にカット可能) ジャンパソケット 2 個 SIP7 ピン ピンヘッダ(本体に取付け済み)				

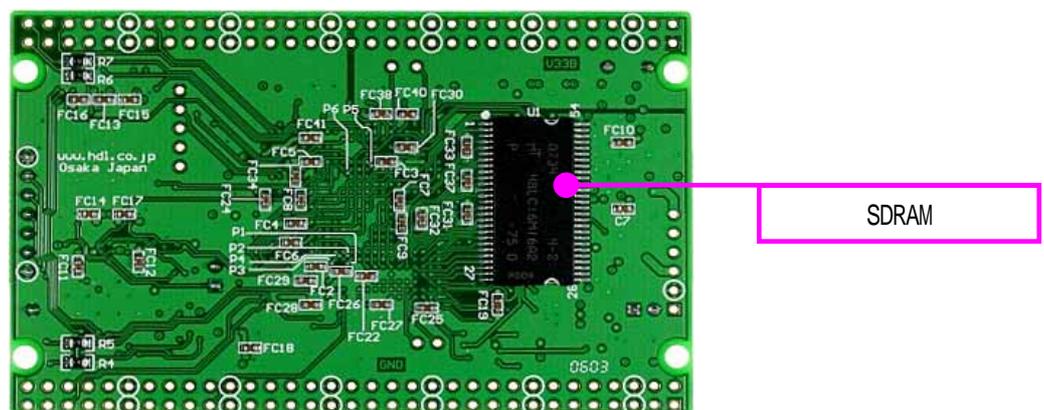
*1 互換品と変更になる場合がございます

3. 各部の名称

<表面>



<裏面>



4. 電源入力

本ボードは、DC **3.3V** 単一電源で動作します。

内部に必要な、2.5V、1.8V、1.2V はオンボードのレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は、CNA、CNB から供給してください。CAN は BANK-A、CNB は BANK-B の VCC0 となっております。

適切な電源を供給してください。

いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

5. JTAG コネクタ

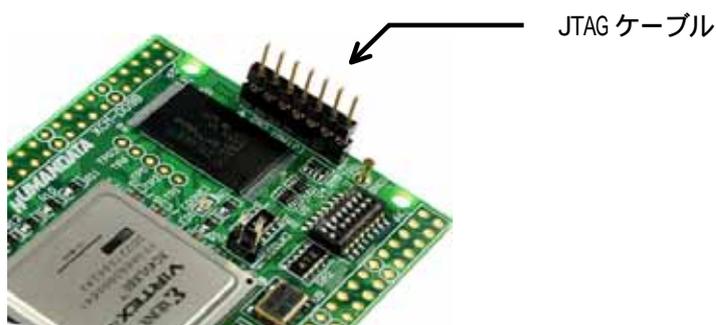
FPGA へのコンフィグレーション、内蔵の ISP 可能なコンフィグレーション ROM への書込みに用います。

ピン配置は次表のとおりです。

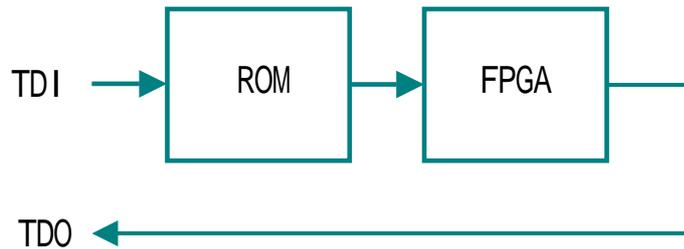
信号名	方向	ピン番号
GND	I/O	1
TCK	IN	2
TDO	OUT	3
TMS	IN	4
VCC(3.3V)	OUT(POW)	5
TDI	IN	6
GND	I/O	7

弊社製ダウンロードケーブル XC3、XC2、XCKIT や XILINX 社の純正ケーブルなどを用いることができます。

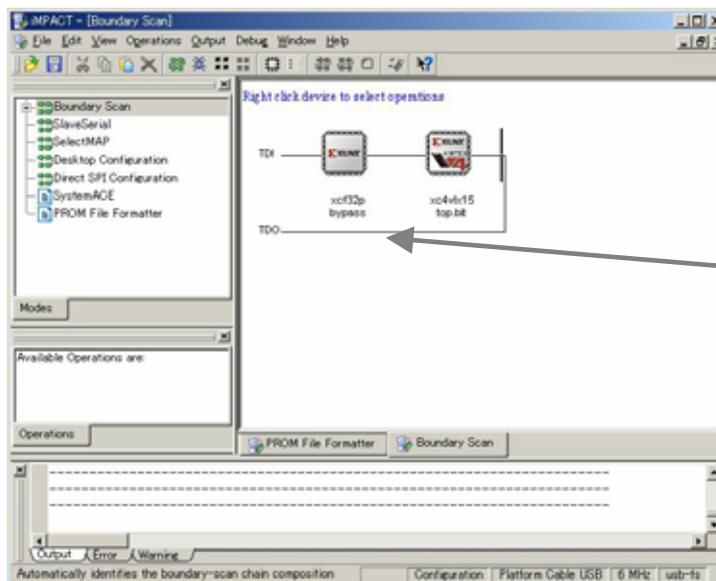
また、ダウンロードケーブルと本品との接続には付属品 SIP7 ピンヘッドをご利用できます。



JTAG チェインには ROM と FPGA の両方が接続されています。



iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならば Configuration を行ってください。

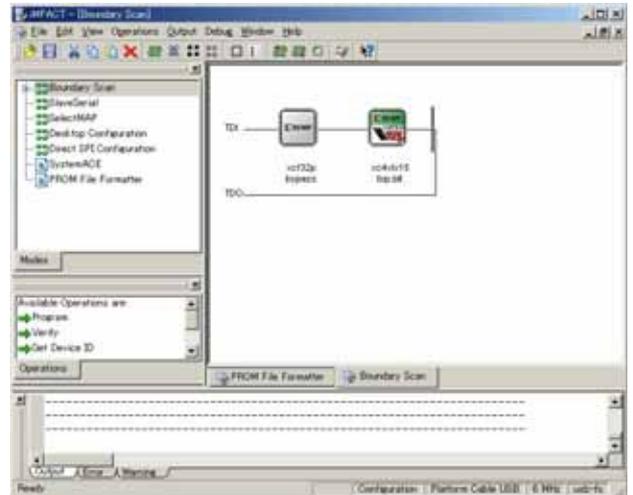


操作が必要ないときは
BYPASS とすれば良い

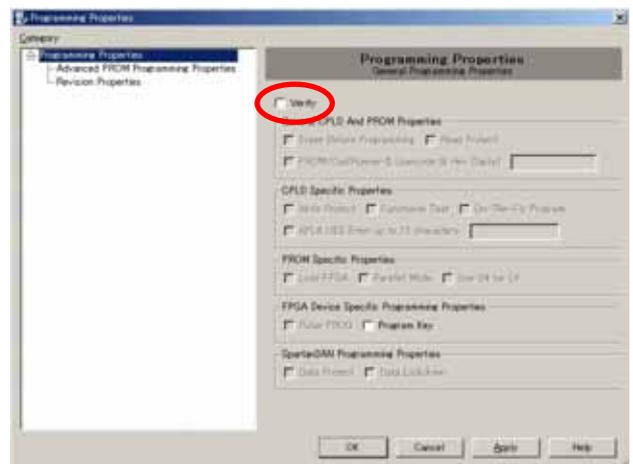
6. FPGA へのコンフィグレーション方法

▼ FPGA へのコンフィグレーションは iMPACT により行います。

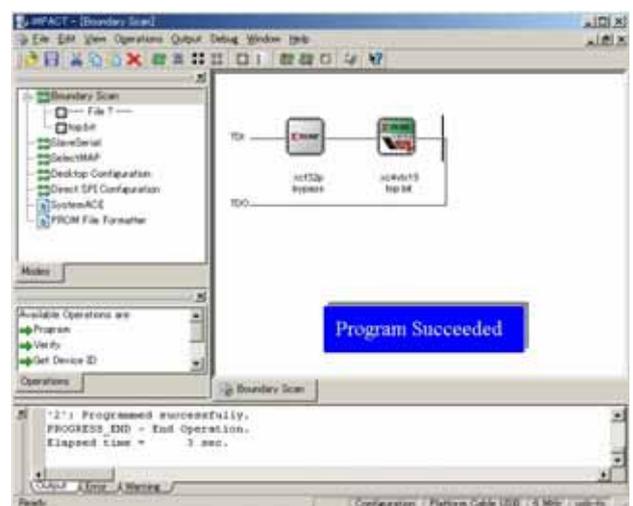
iMPACT を起動し[File]-[Initialize Chain]をクリックすると、ROM と FPGA が認識されます。ROM は任意の mcs ファイル、または BYPASS とし、FPGA に対して bit ファイルを割り付けてください。



▼ デバイスのアイコン上で右クリックをし、[Program...]をクリックします。FPGA へのコンフィグレーションの際は、通常[Verify]のチェックを外してください。

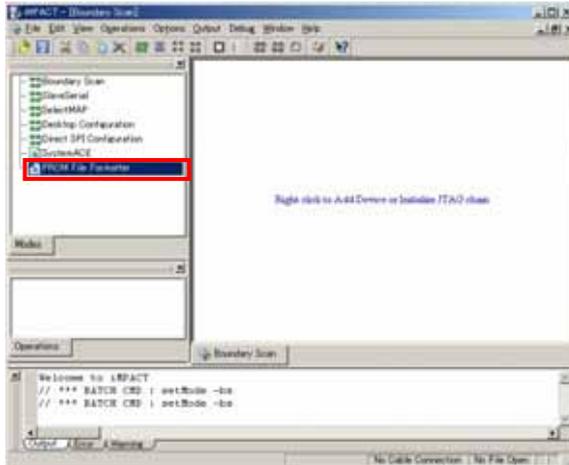


▼ 書き込みが成功すると、[Program Succeeded]と表記されます。



7. コンフィグレーション ROM データの作成方法

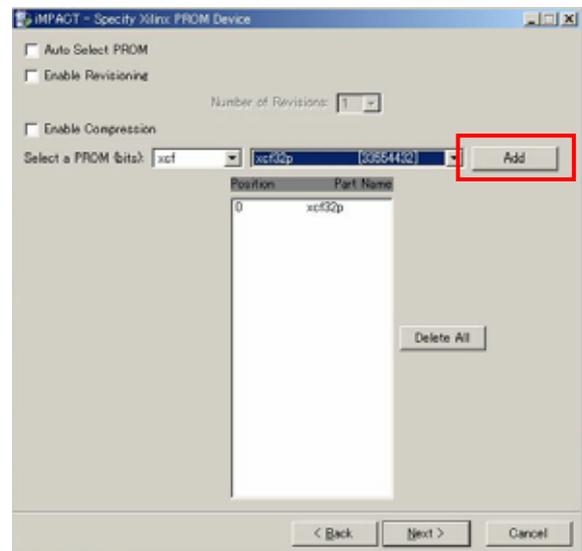
下図 赤枠[PROM File Formatter]上でダブルします。



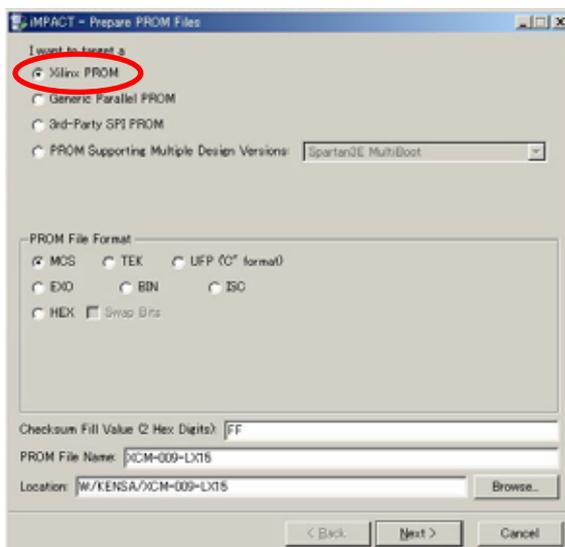
次に、PROM の種類を指定し Add をクリックします。

(XCM-009 は XCF32PV0G48C を使用しているので、Select a PROM は xcf XCF32P を選択します)

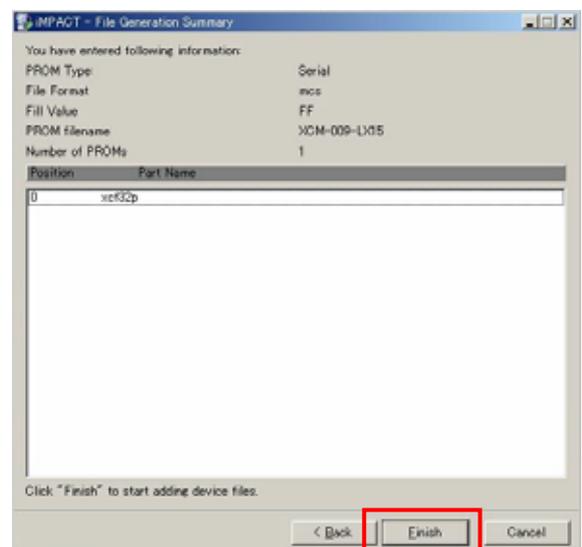
下図のようになれば[Next>]をクリックします。



次に、下図のようにチェックを入れ、[File Name]と[Location(保存先)]を指定し [Next>]をクリックします。



次に、[Finish]をクリックします。



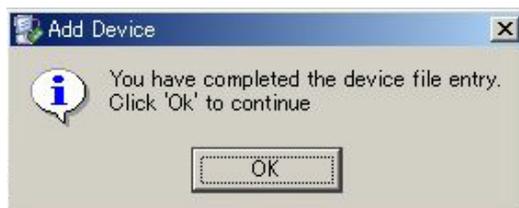
次に、下図ダイアログが表示されますので[OK]をクリックし、bit ファイルを指定します。



次に、[No]をクリックします。

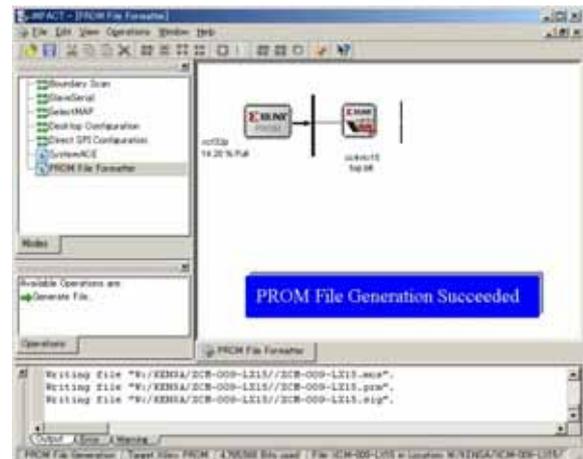


次に、[OK]をクリックします。



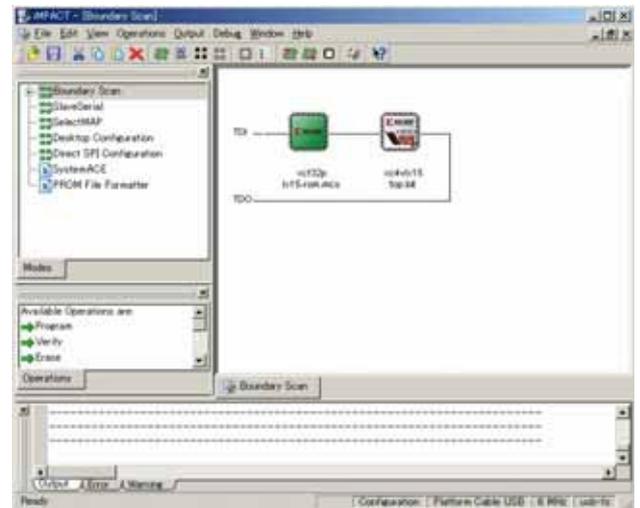
次に、[PROM Formatter]タブの、表示エリアで右ボタンメニューの[Generate File]をクリックします。

[PROM File Generation Succeeded]が表示されればROM データの完成です。

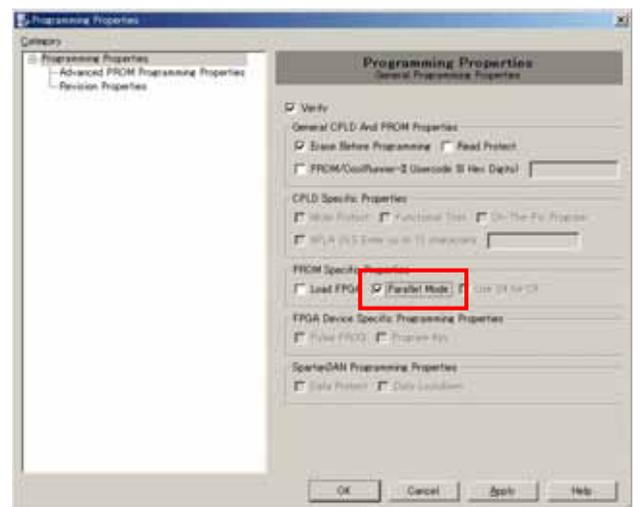


8. コンフィグレーション ROM へのデータ書き込み方法

ROM へのデータ書き込みは iMPACT により行います。iMPACT を起動し [File]-[Initialize Chain] をクリックすると、ROM と FPGA が認識されます。JTAG は任意の bit ファイル、または BYPASS とし ROM に対して mcs ファイルを割り付けてください。



ROM へデータ書き込み時は [Verify] [Erase Before Programming] にチェックをいれ [OK] をクリックします。XCM-009 に使用している ROM はシリアルモードと Parallel Mode に対応しています。Parallel Mode で書き込みたい場合は [Parallel Mode] にチェックをいれます。シリアルモードの時は [Parallel Mode] のチェックをはずしてください。



[Program Succeeded] が表示されれば終了です。



9. ディップスイッチの説明

XCM-009 のディップスイッチは以下のように割り付けられています。

番号	S1	S2	S3	S4	S5	S6	S7	S8
記号	M0	M1	M2	REVSELO	REVSEL1	EN_REV	HSWAP_EN	SWO
出荷時	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
	コンフィグレーションモード			コンフィグレーション ROM リビジョン設定		リビジョンイネーブル 設定	FPGA HSWAP EN	汎用

表 1-1 : Virtex-4 コンフィグレーション モード

コンフィグレーション モード	M2	M1	M0	データ幅	CCLK の方向
マスタ シリアル	0	0	0	1 ビット	出力
スレーブ シリアル	1	1	1	1 ビット	入力
マスタ SelectMAP	0	1	1	8 ビット	出力
スレーブ SelectMAP8	1	1	0	8 ビット	入力
スレーブ SelectMAP32 ⁽³⁾	0	0	1	32 ビット	入力
JTAG/バウンダリ スキャンのみ ⁽¹⁾	1	0	1	1 ビット	-

メモ :

1. JTAG モードのコンフィグレーションでは、コンフィグレーション クロック (CCLK) ではなく、JTAG TCK ピンを使用します。
2. コンフィグレーション前の I/O プルアップ抵抗は、HSWAPEN ピンの設定によって有効になります。
3. SelectMAP32 では、D0:D31 データ ビットはスワップしません。D0 が LSB であり、D31 が MSB です。
4. ピンが未接続のままの場合、MODE ピンに付いている弱いプルアップ抵抗により、スレーブ シリアルがデフォルト モードとなります。

(Xilinx 社 Virtex-4 コンフィグレーションガイドより)

S1、S2、S3 : コンフィグレーションモード

ROM 使用時 : MasterSelctMAP mode

S1(OFF) M0 = 1

S2(OFF) M1 = 1

S3(ON) M2 = 0

出荷時 : JTAG mode

S1(OFF) M0 = 1

S2(ON) M1 = 0

S3(OFF) M2 = 1

S4、S5、S6 : コンフィグレーションROMのリビジョン設定

コンフィグレーションROM(XCF32P)には、リビジョン管理機能があります。S4、S5、S6により各ピンを設定することができます。

回路図および、ROMのデータシートを参照してください。

S7 : HSWAPEN の設定

コンフィグレーション前のI/Oのプルアップの状態を設定することができます。

S8 : 汎用

ユーザーが自由に使用することができます。

10. コネクタピン割付表

CNA

BANK	NET LABEL	FPGA pin #	CNA pin #		FPGA pin #	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
A	IOA0	H26	7	8	H25	IOA1	A
A	IOA2	G26	9	10	G25	IOA3	A
A	IOA4	F26	11	12	F24	IOA5	A
A	IOA6	E26	13	14	E25	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	D26	17	18	D25	IOA9	A
A	IOA10	C26	19	20	C25	IOA11	A
A	IOA12	A24	21	22	B24	IOA13	A
A	IOA14	A23	23	24	B23	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	A22	27	28	A21	IOA17	A
A	IOA18	B21	29	30	A20	IOA19	A
A	IOA20	B20	31	32	A19	IOA21	A
A	IOA22	B18	33	34	A18	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	A17	37	38	B17	IOA25	A
A	IOA26	A16	39	40	A15	IOA27	A
A	IOA28	B15	41	42	B14	IOA29	A
A	IOA30	B13	43	44	B12	IOA31	A
	GND	GND	45	46	GND	GND	
A	IOA32	C12	47	48	B10	IOA33	A
A	IOA34	A9	49	50	B9	IOA35	A
A	IOA36	A8	51	52	A7	IOA37	A
A	IOA38	B7	53	54	A6	IOA39	A
	GND	GND	55	56	GND	GND	
A	IOA40	B6	57	58	A5	IOA41	A
A	IOA42	A4	59	60	B4	IOA43	A
A	IOA44	A3	61	62	B3	IOA45	A
A	IOA46	C1	63	64	C2	IOA47	A
A	IOA48	D1 *1	65	66	D2 *2	IOA49	A

*1 抵抗を介して FPGA ピン# C13 (GCLK1) に接続

*2 抵抗を介して FPGA ピン# A10 (GCLK2) に接続

CNB

BANK	NET LABEL	FPGA pin #	CNB pin #		FPGA pin #	NET LABEL	BANK
	V33_B	3.3V	1	2	3.3V	V33_B	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
B	IOB0	W26	7	8	W25	IOB1	B
B	IOB2	Y26	9	10	Y25	IOB3	B
B	IOB4	AA26	11	12	AA24	IOB5	B
B	IOB6	AB26	13	14	AB25	IOB7	B
	GND	GND	15	16	GND	GND	
B	IOB8	AC25	17	18	AC26	IOB9	B
B	IOB10	AD26	19	20	AF24	IOB11	B
B	IOB12	AE24	21	22	AF23	IOB13	B
B	IOB14	AE23	23	24	AF22	IOB15	B
	GND	GND	25	26	GND	GND	
B	IOB16	AE21	27	28	AF21	IOB17	B
B	IOB18	AF19	29	30	AF20	IOB19	B
B	IOB20	AF18	31	32	AE18	IOB21	B
B	IOB22	AE14	33	34	AF12	IOB23	B
	GND	GND	35	36	GND	GND	
B	IOB24	AF11	37	38	AE13	IOB25	B
B	IOB26	AE12	39	40	AE10	IOB27	B
B	IOB28	AF9	41	42	AE9	IOB29	B
B	IOB30	AF8	43	44	AF7	IOB31	B
	GND	GND	45	46	GND	GND	
B	IOB32	AF6	47	48	AE6	IOB33	B
B	IOB34	AF5	49	50	AF4	IOB35	B
B	IOB36	AE4	51	52	AF3	IOB37	B
B	IOB38	AE3	53	54	AD4	IOB39	B
	GND	GND	55	56	GND	GND	
B	IOB40	AD2	57	58	AD1	IOB41	B
B	IOB42	AC2	59	60	AC1	IOB43	B
B	IOB44	AB1	61	62	AD3	IOB45	B
B	IOB46	Y1	63	64	AA1	IOB47	B
B	IOB48	Y2 *3	65	66	W1 *4	IOB49	B

*3 抵抗を介して FPGA ピン# AC10 (GCLK3) に接続

*4 抵抗を介して FPGA ピン# AD12 (GCLK4) に接続

SDRAM (MT48LC16M16A2P-75-D)

SDRAM ピン#	NET LABEL	FPGA ピン#
U1-23	SDADD0	F23
U1-24	SDADD1	G21
U1-25	SDADD2	E24
U1-26	SDADD3	E22
U1-29	SDADD4	D15
U1-30	SDADD5	C16
U1-31	SDADD6	D16
U1-32	SDADD7	C17
U1-33	SDADD8	E17
U1-34	SDADD9	C19
U1-22	SDADD10	G24
U1-35	SDADD11	D18
U1-36	SDADD12	C20
U1-20	SDBS0	H24
U1-21	SDBS1	G23
U1-38	SDDCLK	G5 (抵抗介して)
U1-38	SDDCLKO	C15
U1-15	SDLDQM	G20
U1-39	SDUDQM	E21
U1-2	SDD0	F16

SDRAM ピン#	NET LABEL	FPGA ピン#
U1-4	SDD1	F17
U1-5	SDD2	F18
U1-7	SDD3	G17
U1-8	SDD4	F19
U1-10	SDD5	G18
U1-11	SDD6	G19
U1-13	SDD7	F20
U1-42	SDD8	E20
U1-44	SDD9	E18
U1-45	SDD10	G3
U1-47	SDD11	H3
U1-48	SDD12	G2
U1-50	SDD13	H2
U1-51	SDD14	G1
U1-53	SDD15	H1
U1-17	NSDCAS	H22
U1-37	NSDCLKE	D19
U1-19	NSDCS	G22
U1-18	NSDRAS	H23
U1-16	NSDWE	H21

FLASH-ROM (M25P40-VMN6P)

FLASH-ROM ピン #	NET LABEL	FPGA ピン #
U8-6	FMCK	D22
U8-1	FMCS0	E23
U8-5	FMD	C23
U8-7	FMHOLD	C24
U8-2	FMQ	D24
U8-3	FMWP0	D23

DIP SW

DIP SW-ピン #	NET LABEL	接続先
SW-1	X M0	FPGA-W15
SW-2	X M1	FPGA-Y15
SW-3	X M2	FPGA-W14
SW-4	REVSEL0	U7-26
SW-5	REVSEL1	U7-27
SW-6	REVSEL2	U7-25
SW-7	HSWAP EN	FAPGA-G16
SW-8	SW0	FPGA-AA16

汎用 LED

LED	NET LABEL	FPGA ピン #
LED2	LED0	C21
LED4	LED1	C22

発振器

クロック	NET LABEL	FPGA ピン#
オンボード 48M	GCLK0	A12

11.XCM-009 シリーズ 参考資料について

追加資料や参考資料がつくられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html

にデータをアップロードすることにいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

12. 付属資料

1. 外形寸法図
2. 基板回路図 (別紙)

Virtex-4 ブレッドボード
(カードサイズ)
XCM-009 シリーズ
ユーザーズマニュアル

2006/06/01 初版 2006/09/04 第2版

2007/10/26 第3版 2008/01/17 第4版

2008/06/19 第5版

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
