



Spartan-3 ブレッドボード
(カードサイズ)
XCM-008 シリーズ
ユーザーズマニュアル
第3版



ヒューマンデータ

目次

はじめに	2
ご注意	2
1. 製品の内容について	3
2. 仕様	3
3. 各部の名称	4
4. 電源入力	4
5. JTAG コネクタ	5
6. FPGA へのコンフィグレーション方法	6
7. コンフィグレーション ROM へのデータ書き込み方法	7
8. コンフィグレーション ROM データの作成方法	8
9. ジャンプスイッチの説明	13
10. ユーザー I/O ピン割付表	14
11. XCM-008 シリーズ 参考資料について	16
12. 付属資料	16

はじめに

この度は、Spartan-3 ブレッドボード / XCM-008 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-008 シリーズは、XILINX の高性能 FPGA Spartan-3 (XC3S) を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

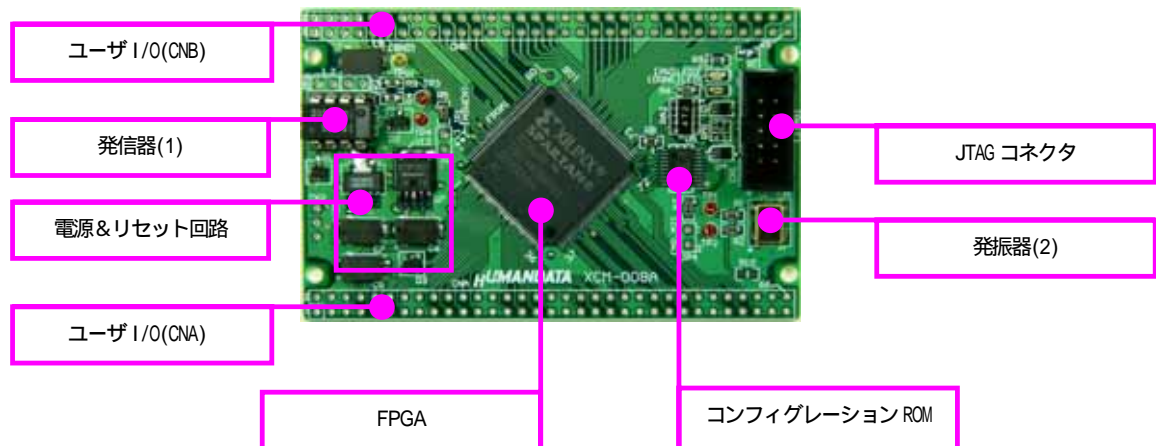
本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	XCM-008 シリーズ	1
付属品		1
マニュアル(本書)		1
ユーザー登録はがき		1

2. 仕様

製品型番	XCM-008-50	XCM-008-200	XCM-008-400
搭載 FPGA	XC3S50-4TQG144C	XC3S200-4TQG144C	XC3S400-4TQG144C
コンフィグレーション ROM	XCF01SV020C	XCF01SV020C	XCF02SV020C
電源	DC 3.3V (内部に必要な 1.2V、2.5V 生成回路内蔵)		
消費電流	N/A (詳細は FPGA データシートご参照)		
外形寸法	86 × 54 [mm]		
重量	約 25 [g]		
ユーザ I/O	91 本		
I/O コネクタ	66 ピンスルーホール 0.9[mm] × 2 組 2.54mm ピッチ		
プリント基板	ガラスエポキシ 4 層基板 1.6t		
クロック	オンボード 72KHz、18.432MHz、48MHz		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIP10 ピンヘッダ 2.54mm ピッチ		
LED	電源表示用、コンフィグレーション完了表示用		
付属品	DIP80 ピンヘッダ 2 本(任意にカット可能)		
	ジャンパソケット 2 個		

3. 各部の名称



4. 電源入力

本ボードは、DC **3.3V**単一電源で動作します。

内部に必要な、2.5V、1.2Vはオンボードのレギュレータにより生成されます。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。

電源はCNA、CNBから供給してください。

また電源の立ち上がりは単調増加である必要があります。良質の電源を使用するようにしてください。

VCC0は2系統に分かれていますので、全て正しく接続して下さい。

5. JTAG コネクタ

FPGA へのコンフィギュレーション、内蔵の ISP 可能なシリアルROM への書き込みに用います。

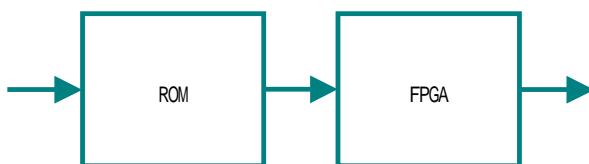
ピン配置は次表のとおりです。

CN1

ダウンロードケーブル信号名	ピン番号	ピン番号	ダウンロードケーブル信号名
TCK	1	2	GND
TDO	3	4	VCC(3.3V)
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

弊社製ダウンロードケーブルXC2、XCKIT やXILINX 社の純正ケーブルなどを用いることができます。

JTAG チェインにはROM とFPGA の両方が参加しています。

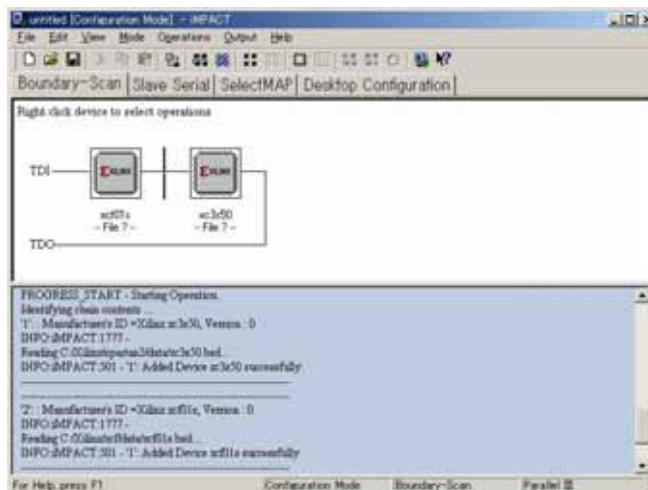


iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならば Configuration を行ってください。

6. FPGA へのコンフィグレーション方法

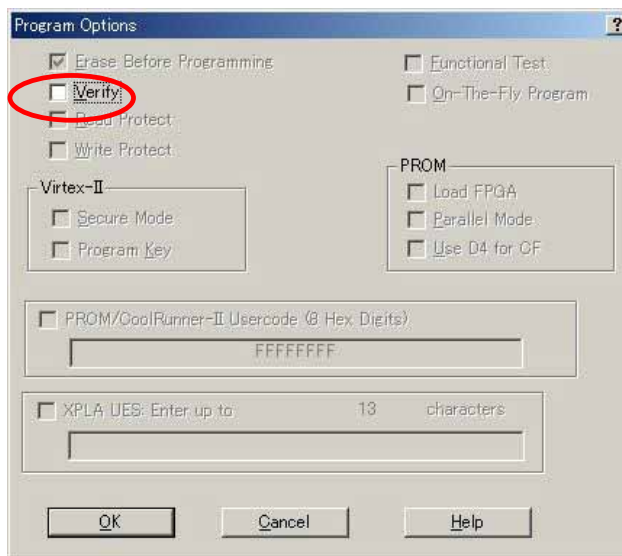
FPGA へのコンフィグレーションは iMPACT により行います。

通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます。



ROM は BYPASS とし、FPGA に対して bit ファイルを割り付けてください。

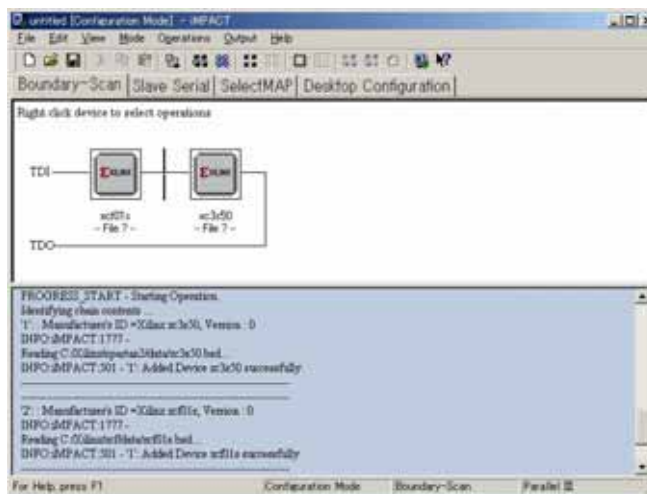
FPGA へのコンフィグレーションの際は、通常 Verify のチェックを外してください。



7. コンフィグレーション ROM へのデータ書き込み方法

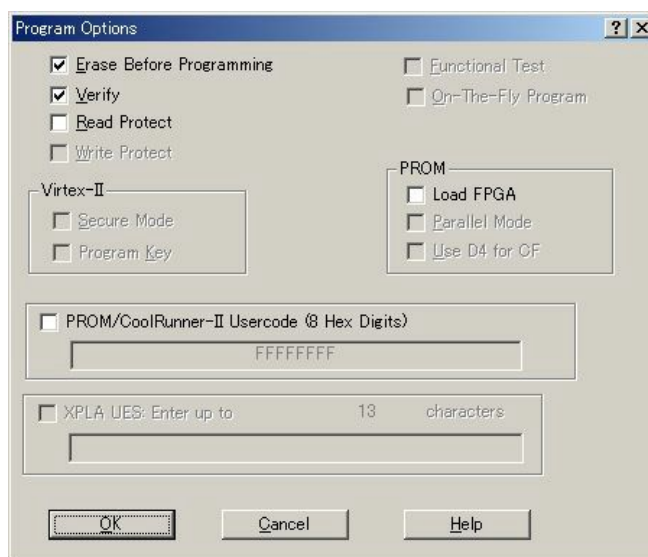
ROM へのデータ書き込みは iMPACT により行います。

通電状態で、IMPACT を起動すると、自動的に ROM と FPGA が認識されます



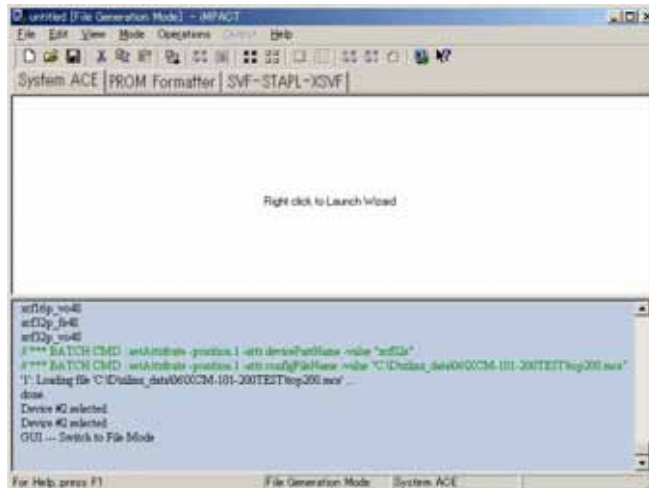
FPGA は BYPASS とし、ROM に対して bit ファイルを割り付けてください

Program を実行し次のダイアログで「OK」をクリックすると ROM へのデータ書き込みが始まります。

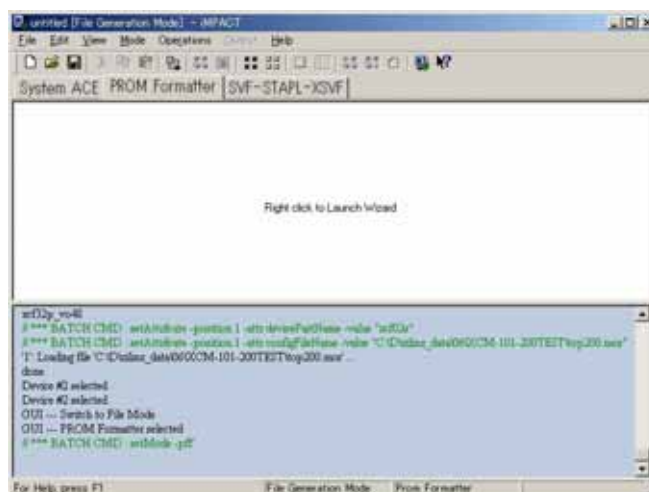


8. コンフィグレーション ROM データの作成方法

iMPACT を File Mode に切り替えます。



次に、PROM Formatter タブの、表示エリアで右ボタンメニューの Wizard を実行します。



XILINX Serial PROM、MCS を選択、生成するファイル名と、bit ファイルのあるフォルダを指定します。



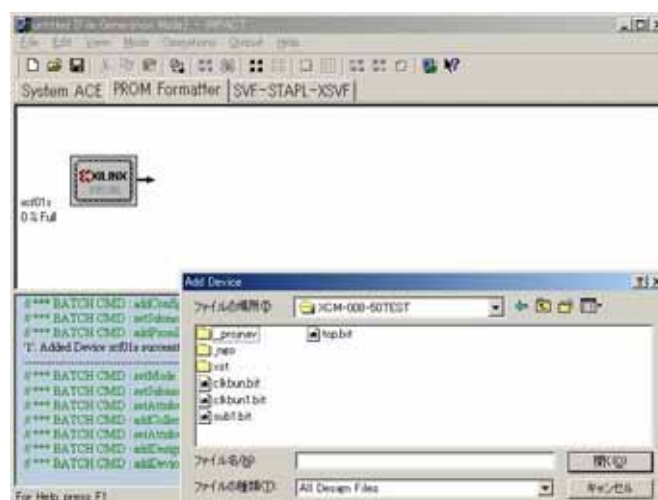
次に、ROM のタイプを[XCM-008-50][XCM-008-200]の場合は xcf01s を、[XCM-008-400]の場合は xcf02s を指定します。



次のようなダイアログが表示されますので、次へをクリックします。

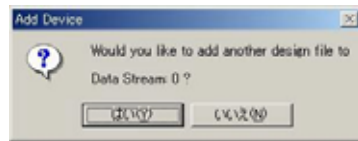


次のようなダイアログが表示されますので、Add File により Bit ファイルを指定します。



次のようなダイアログが表示されます。

「はい」をクリックします。



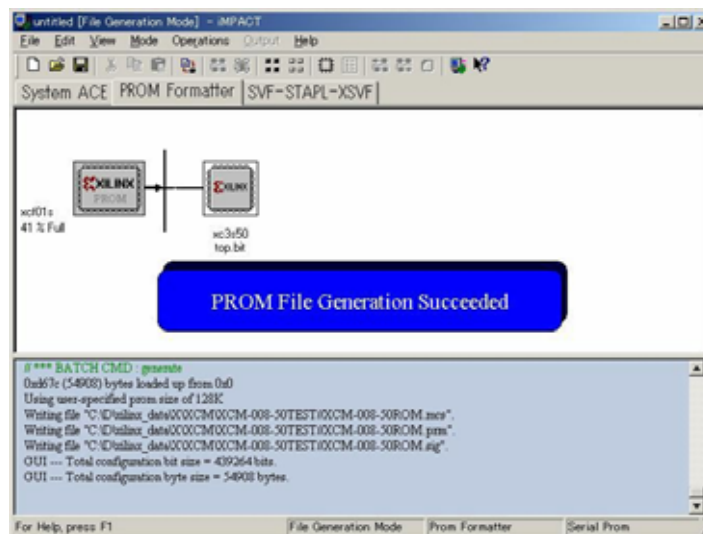
次のようなダイアログが表示されますので、完了をクリックします。



次のようなダイアログが表示されます。

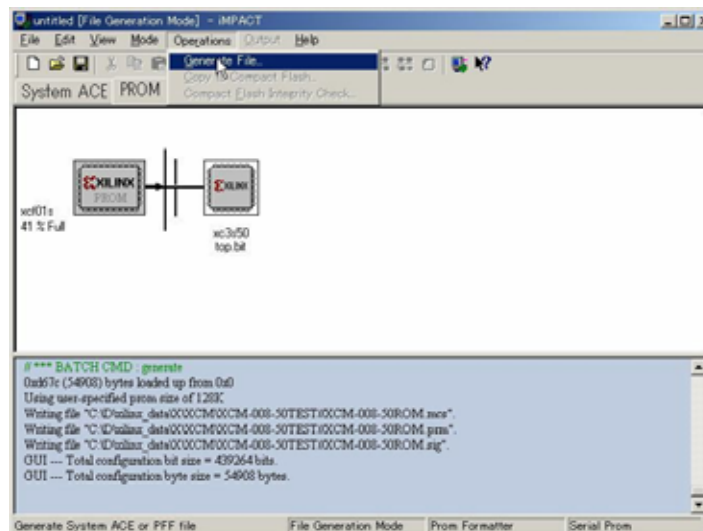


「はい」をクリックするとROMデータが作成されます。



「いいえ」をクリックし、後からROMデータを作成することもできます。

方法：メニューバーから[Operations]-[Generate File]をクリックします。



9. ジャンパスイッチの説明

JP4 M0,M2 信号 設定用

M1 は0に固定 (回路図参照)

JP4 により、M0 と M2 は同時に1または0に設定されます。

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode ⁽¹⁾	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT ⁽²⁾
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

Notes:

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx 社データシートより)

ROM 使用時: Master Serial mode

JP4 ショート M0 = 0

M1 = 0 (固定)

M2 = 0

出荷時: JTAG mode

JP4 オープン M0 = 1

M1 = 0 (固定)

M2 = 1

JP1 HSWAP ENABLE ピンの設定

FPGA の HSWAP_ENABLE ピンの設定を行います。

JP1 ショート : 0

JP1 オープン : 1

(出荷時はオープン)

10. ユーザー I/O ピン割付表

CNA

BANK	NET LABEL	FPGA pin #	CNA pin #		FPGA pin #	NET LABEL	BANK
		3.3V	1	2	3.3V		
		N.C	3	4	N.C		
	GND	GND	5	6	GND	GND	
A	IOA0	1	7	8	2	IOA1	A
A	IOA2	4	9	10	5	IOA3	A
A	IOA4	6	11	12	7	IOA5	A
A	IOA6	8	13	14	10	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	11	17	18	12	IOA9	A
A	IOA10	13	19	20	14	IOA11	A
A	IOA12	15	21	22	17	IOA13	A
A	IOA14	18	23	24	20	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	21	27	28	23	IOA17	A
A	IOA18	24	29	30	25	IOA19	A
A	IOA20	26	31	32	27	IOA21	A
A	IOA22	28	33	34	30	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	31	37	38	32	IOA25	A
A	IOA26	33	39	40	35	IOA27	A
A	IOA28	36	41	42	40	IOA29	A
A	IOA30	41	43	44	44	IOA31	A
	GND	GND	45	46	GND	GND	
A	IOA32	46	47	48	47	IOA33	A
A	IOA34	50	49	50	51	IOA35	A
A	IOA36	52	51	52	53	IOA37	A
A	IOA38	70	53	54	59	IOA39	A
	GND	GND	55	56	GND	GND	
A	IOA40	60	57	58	63	IOA41	A
A	IOA42	68	59	60	69	IOA43	A
A	IOA44	57 *1	61	62	N.C	N.C	A
A	N.C	N.C	63	64	N.C	N.C	A
A	N.C	N.C	65	66	56	CLK1 *2	A

*1 FPGA ピン#57 は DOUT/BUSY ピンです。コンフィグレーション中は出力ピンとなります。コンフィグレーション後に I/O として使用できますが、出力として使用することを推奨します。詳細は FPGA のデータシートをご覧ください。

*2 抵抗 R10 実装により FPGA ピン# 56 (CLK1) に接続可能

CNB

BANK	NET LABEL	FPGA pin #	CNB pin #		FPGA pin #	NET LABEL	BANK
		3.3V	1	2	3.3V		
		N.C	3	4	N.C		
	GND	GND	5	6	GND	GND	
B	IOB0	141	7	8	140	IOB1	B
B	IOB2	137	9	10	135	IOB3	B
B	IOB4	132	11	12	131	IOB5	B
B	IOB6	130	13	14	129	IOB7	B
	GND	GND	15	16	GND	GND	
B	IOB8	125	17	18	124	IOB9	B
B	IOB10	123	19	20	122	IOB11	B
B	IOB12	119	21	22	118	IOB13	B
B	IOB14	116	23	24	113	IOB15	B
	GND	GND	25	26	GND	GND	
B	IOB16	112	27	28	108	IOB17	B
B	IOB18	107	29	30	105	IOB19	B
B	IOB20	104	31	32	103	IOB21	B
B	IOB22	102	33	34	100	IOB23	B
	GND	GND	35	36	GND	GND	
B	IOB24	99	37	38	98	IOB25	B
B	IOB26	97	39	40	96	IOB27	B
B	IOB28	95	41	42	93	IOB29	B
B	IOB30	92	43	44	90	IOB31	B
	GND	GND	45	46	GND	GND	
B	IOB32	89	47	48	87	IOB33	B
B	IOB34	86	49	50	85	IOB35	B
B	IOB36	84	51	52	83	IOB37	B
B	IOB38	82	53	54	80	IOB39	B
	GND	GND	55	56	GND	GND	
B	IOB40	79	57	58	78	IOB41	B
B	IOB42	77	59	60	76	IOB43	B
B	IOB44	74	61	62	73	RESET *3	B
B	N.C	N.C	63	64	N.C	N.C	B
B	N.C	N.C	65	66	128	CLK3 *4	B

*3 抵抗 R8 を取り外すことにより I/O として使用可能

*4 抵抗 R11 実装により FPGA ピン# 128 (CLK3) に接続可能

11. XCM-008 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は

製品サポートページ

http://www.hdl.co.jp/support_c.html

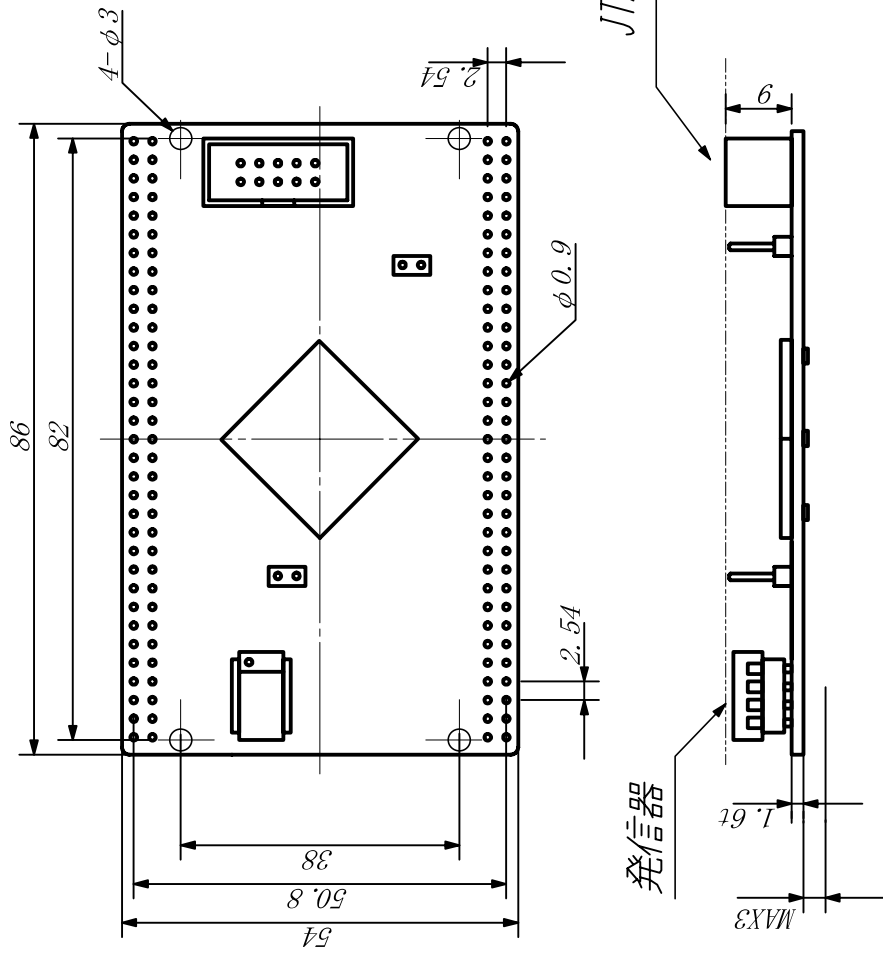
にデータをアップロードすることいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

12. 付属資料

1. 基板回路図
2. 外形寸法図



HUMANDATA

CHK

DWG

UNIT

SIZE

TITLE

XCM-008シリーズ 外形寸法図

DWG NO

G-XCM-008

REV

A

Spartan-3 ブレッドボード
(カードサイズ)
XCM-008 シリーズ

ユーザーズマニュアル

2005/08/08 初版(R1)

2006/04/25 初版(A)(R1)

2007/04/26 第2版(R1)

2007/08/24 第3版(R1)

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
