

SpartanII ブレッドボード
(カードサイズ)
XCM-004 シリーズ
ユーザーズマニュアル
第3版



ヒューマンデータ

目次

はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 各部の名称	3
4. 電源入力	3
5. JTAG コネクタ	4
6. FPGA へのコンフィグレーション方法	5
7. コンフィグレーション ROM データの作成方法	6
8. コンフィグレーション ROM へのデータ書き込み方法	9
9. ジャンプスイッチの説明	10
10. ピン割付表	11
11. XCM-004 シリーズ 参考資料について	13
12. 付属資料	13

はじめに

この度は、SpartanII ブレッドボード / XCM-004 シリーズをお買い上げいただきまして誠にありがとうございます。

XCM-004 シリーズは、サイリンクスの高性能 FPGA である SpartanII を用いた評価用ボードです。クロック回路、リセット回路と内部に必要な電源は内蔵しておりますので、ひじょうに使いやすいボードになっています。

どうぞご活用ください

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

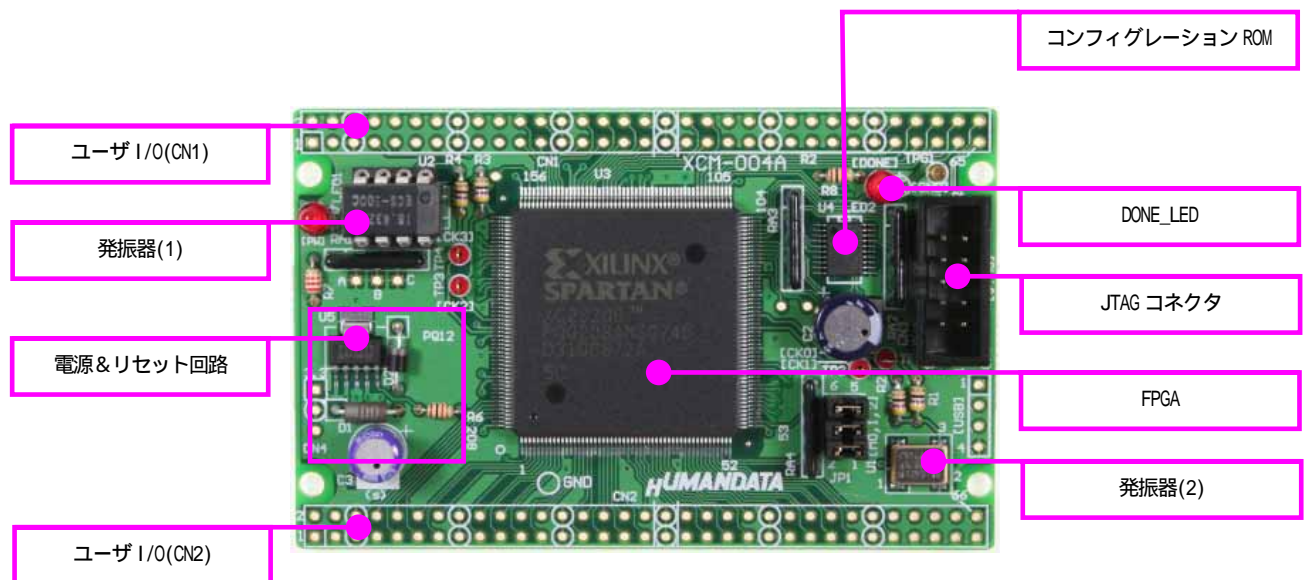
SpartanII ブレッドボード XCM-004 シリーズ	1
付属品	1
マニュアル(本書)	1 *
ユーザー登録はがき	1 *

* オーダー毎に各1部の場合があります。(ご要望により追加請求できます。)

2. 仕様

製品型番	XCM-004-150	XCM-004-200
搭載 FPGA	XC2S150-5PQG208C	XC2S200-5PQG208C
コンフィグレーション ROM	XCF02SVOG20C	XCF02SVOG20C
電源	DC 3.3V (内部に必要な 2.5V 生成回路内蔵)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86 × 54 [mm]	
重量	約 30 [g]	
ユーザ I/O	100 本	
I/O コネクタ	66 ピンスルーホール 0.9[mm] × 2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
クロック	オンボード 72KHz、18.432MHz、48MHz	
リセット回路	内蔵 (200ms TYP)	
JTAG コネクタ	DIP10 ピンヘッダ 2.54mm ピッチ	
LED	電源表示用、コンフィグレーション完了表示用	
付属品	DIP80 ピンヘッダ 2 本(任意にカット可能)	
	ジャンパソケット 2 個	

3. 各部の名称



4. 電源入力

本ボードは、DC **3.3V**単一電源で動作します。

ボード上に2.5Vレギュレータを実装し、内部に必要な電源を供給しています。

詳しくは回路図をご参照ください。

外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。

FPGAの電源の立ち上がりがスムーズである必要があります。不安定な電源では、FPGAが過熱し最悪の場合FPGAが破損することもあります。

電源はCN1、CN2、CN4などから供給してください。

5. JTAG コネクタ

FPGA へのコンフィギュレーション、内蔵の ISP 可能なシリアル ROM への書き込みに用います。

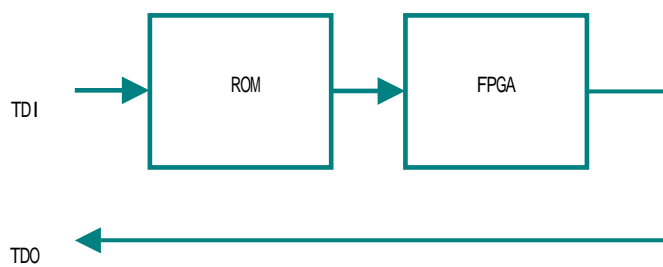
ピン配置は次表のとおりです。

CN1

ダウンロードケーブル信号名	ピン番号	ピン番号	ダウンロードケーブル信号名
TCK	1	2	GND
TDO	3	4	VCC(3.3V)
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

弊社製ダウンロードケーブルXC3、XCKIT やXILINX 社の純正ケーブルなどを用いることができます。

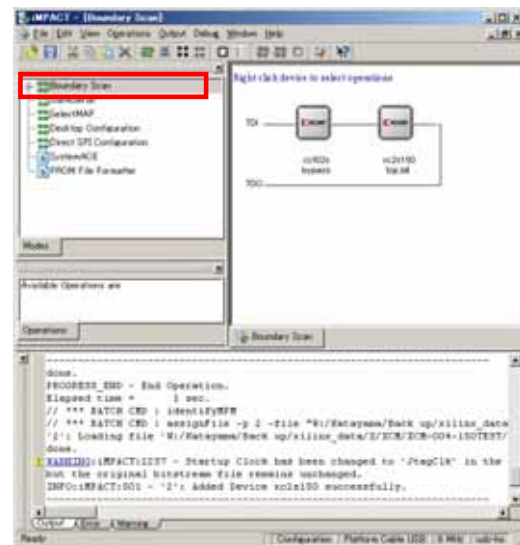
JTAG チェインには ROM と FPGA の両方が参加しています。



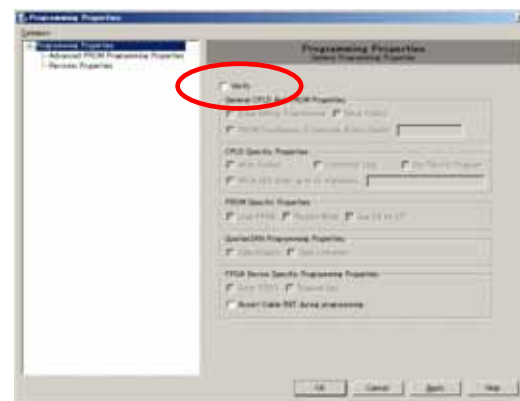
iMPACT により、いずれかを選択し、ROM ならば ISP(書き込み)、FPGA ならばコンフィギュレーションを行ってください。

6. FPGA へのコンフィグレーション方法

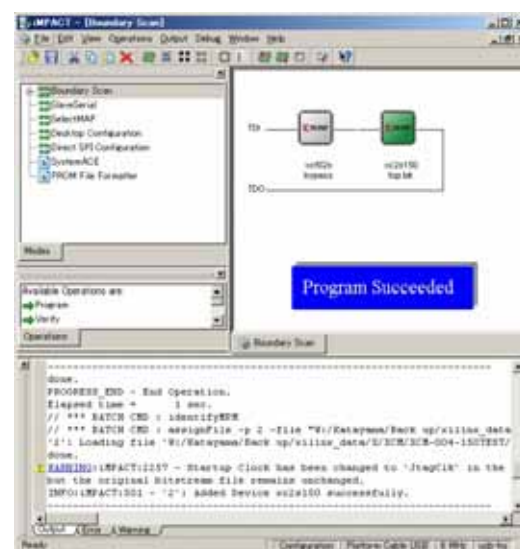
FPGA へのコンフィグレーションは iMPACT により行います。iMPACT を起動し、右図赤枠[Boundary Scan]をダブルクリックします。[File]-[Initialize Chain]をクリックすると、ROM と FPGA が認識されます。ROM は任意の mcs ファイル、または BYPASS とし、FPGA に対して bit ファイルを割り付けてください。



デバイスのアイコン上で右クリックをし、Program...をクリックします。FPGA へのコンフィグレーションの際は、通常 Verify のチェックを外してください。

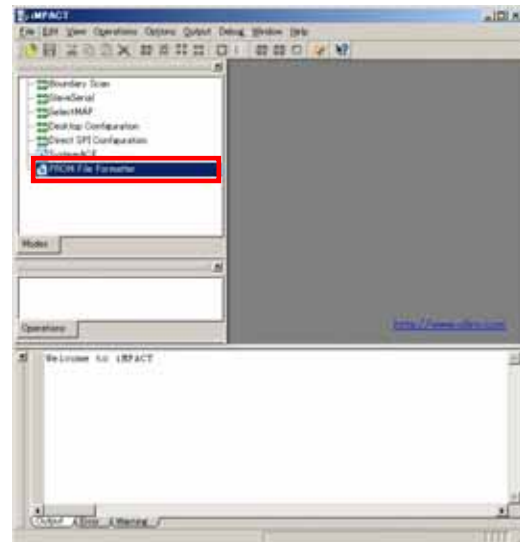


書き込みが成功すると、Program Succeeded と表記されます。

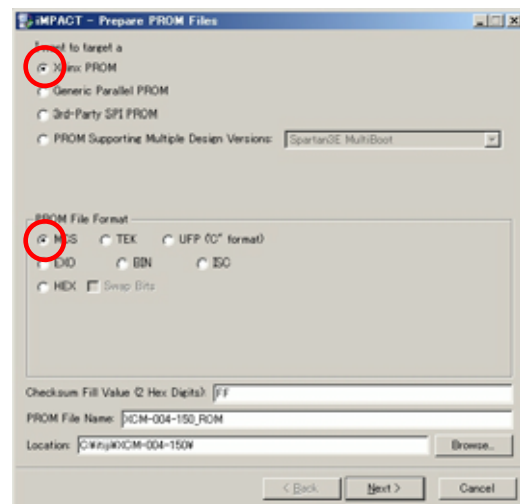


7. コンフィグレーション ROM データの作成方法

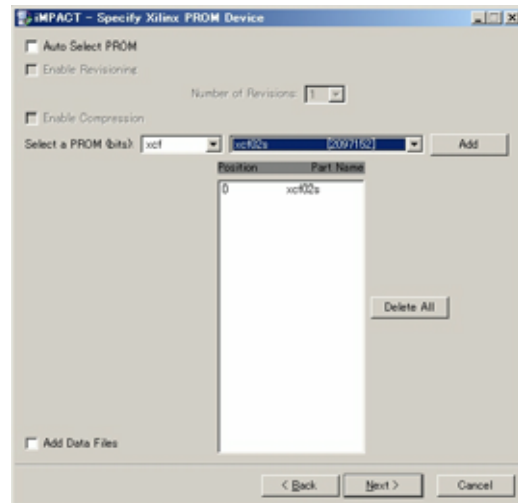
右図 赤枠[PROM File Formatter]上でダブルクリック
します。



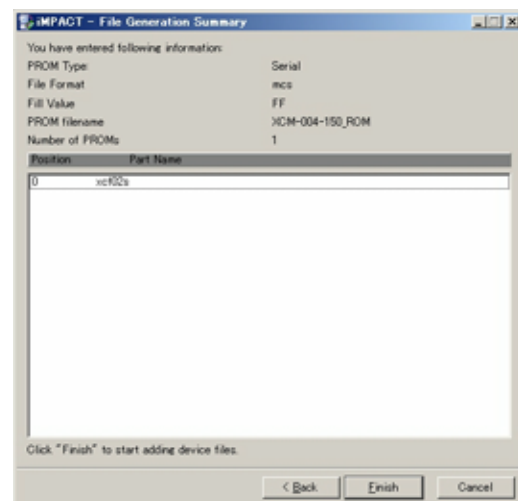
次に、右図のようにチェックを入れ、File Name と
Location(保存先)を指定しNext>をクリックします。



次に、PROMの種類を指定しAddをクリックします。
 (XCM-004 シリーズは xcf02s 指定します)
 右図のようになればNext>をクリックします。



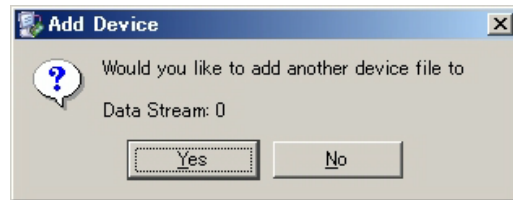
次に、Finishをクリックします。



次に、右図ダイアログが表示されますのでOKをクリックし、
 bit ファイルを指定します。



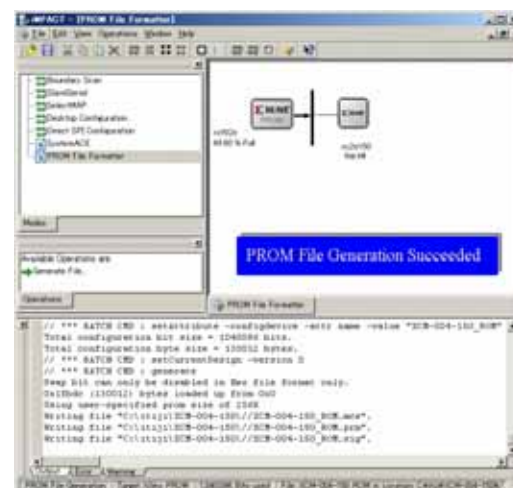
次に、No をクリックします。



次に、OK をクリックします。



次に、PROM Formatter タブの、表示エリアで右ボタンメニューの Generate File をクリックします。
PROM File Generation Succeeded が表示されればROMデータの完成です。



8. コンフィグレーション ROM へのデータ書き込み方法

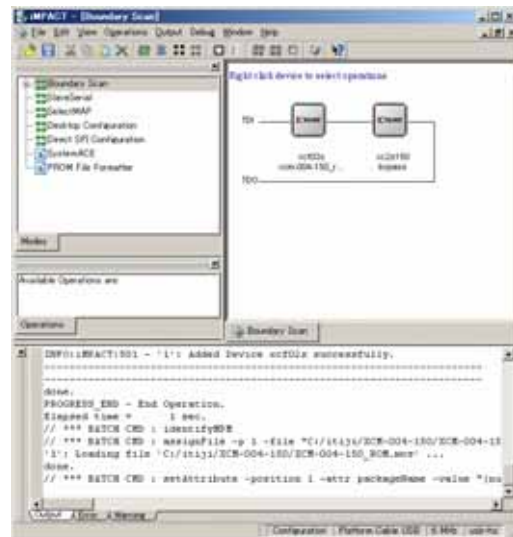
ROM へのデータ書き込みは iMPACT により行います。

右図赤枠 [Boundary Scan] をダブルクリックします。

iMPACT を起動し [File]-[Initialize Chain] をクリックすると、

ROM と FPGA が認識されます。

JTAG は任意の bit ファイル、または BYPASS とし、ROM に対して mcs ファイルを割り付けてください。

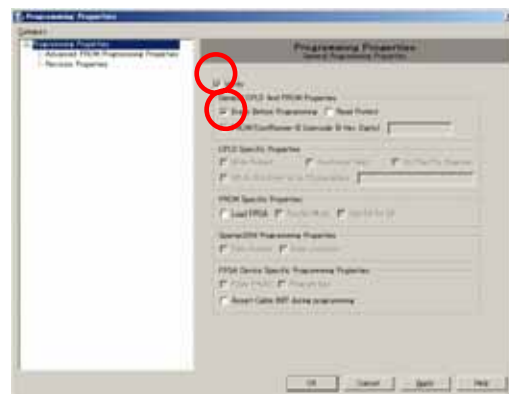


デバイスのアイコン上で右クリックをし、Program... をクリックします。

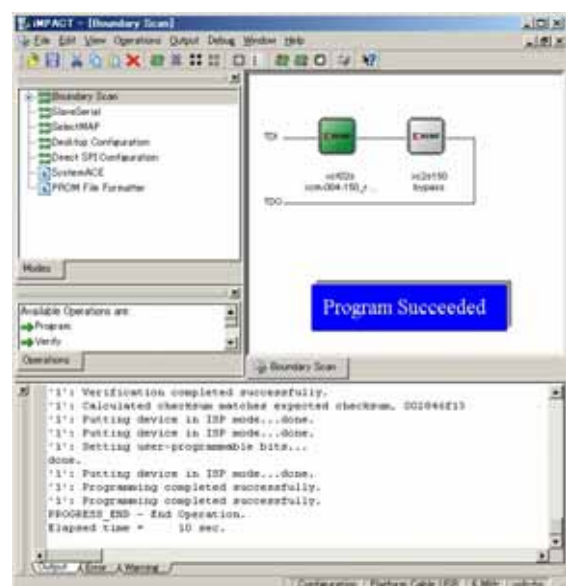
ROM へのデータ書き込み時は [Verify]

[Erase Before Programming] にチェックをいれ

OK をクリックします。



Program Succeeded が表示されれば終了です。



9. ジャンプスイッチの説明

JP1 M0,M1,M2 信号 設定用

Table 21: Spartan-3 Configuration Mode Pin Settings

Configuration Mode ⁽¹⁾	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT ⁽²⁾
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

Notes:

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

(Xilinx社データシートより)

ROM 使用時 : Master Serial mode

JP1 ショート M0 = 0

M1 = 0

M2 = 0

出荷時 : JTAG mode

JP1 オープン M0 = 1

M1 = 0

M2 = 1

10. ピン割付表

CN1

BANK	NET LABEL	FPGA ピン#	CN1 ピン#		FPGA ピン#	NET LABEL	BANK
	V33	3.3V	1	2	3.3V	V33	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
A	IOB0 *1	174	7	8	173	IOB1 *2	A
A	IOB2	172	9	10	168	IOB3	A
A	IOB4	167	11	12	166	IOB5	A
A	IOB6	165	13	14	164	IOB7	A
	GND	GND	15	16	GND	GND	
A	IOB8	163	17	18	162	IOB9	A
A	IOB10	161	19	20	160	IOB11	A
A	IOB12	152	21	22	151	IOB13	A
A	IOB14	150	23	24	149	IOB15	A
	GND	GND	25	26	GND	GND	
A	IOB16	148	27	28	147	IOB17	A
A	IOB18	146	29	30	142	IOB19	A
A	IOB20	141	31	32	140	IOB21	A
A	IOB22	139	33	34	138	IOB23	A
	GND	GND	35	36	GND	GND	
A	IOB24	136	37	38	135	IOB25	A
A	IOB26	134	39	40	133	IOB27	A
A	IOB28	132	41	42	129	IOB29	A
A	IOB30	127	43	44	126	IOB31	A
	GND	GND	45	46	GND	GND	
A	IOB32	125	47	48	123	IOB33	A
A	IOB34	122	49	50	121	IOB35	A
A	IOB36	120	51	52	119	IOB37	A
A	IOB38	115	53	54	114	IOB39	A
	GND	GND	55	56	GND	GND	
A	IOB40	112	57	58	113	IOB41	A
A	IOB42	110	59	60	111	IOB43	A
A	IOB44	108	61	62	109	IOB45	A
A	IOB46	101	63	64	102	IOB47	A
A	IOB48	99	65	66	100	IOB49	A

*1 抵抗を介して FPGA ピン# 182 (CLK2) に接続可能

*2 抵抗を介して FPGA ピン# 185 (CLK3) に接続可能

CN2

BANK	NET LABEL	FPGA ピン#	CN2 ピン#		FPGA ピン#	NET LABEL	BANK
	V33	3.3V	1	2	3.3V	V33	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
B	IOA0 *3	202	7	8	203	IOA1 *4	B
B	IOA2	204	9	10	205	IOA3	B
B	IOA4	206	11	12	3	IOA5	B
B	IOA6	4	13	14	5	IOA7	B
	GND	GND	15	16	GND	GND	
B	IOA8	6	17	18	7	IOA9	B
B	IOA10	8	19	20	9	IOA11	B
B	IOA12	10	21	22	14	IOA13	B
B	IOA14	15	23	24	16	IOA15	B
	GND	GND	25	26	GND	GND	
B	IOA16	17	27	28	18	IOA17	B
B	IOA18	20	29	30	21	IOA19	B
B	IOA20	22	31	32	23	IOA21	B
B	IOA22	24	33	34	27	IOA23	B
	GND	GND	35	36	GND	GND	
B	IOA24	29	37	38	30	IOA25	B
B	IOA26	31	39	40	33	IOA27	B
B	IOA28	34	41	42	35	IOA29	B
B	IOA30	36	43	44	37	IOA31	B
	GND	GND	45	46	GND	GND	
B	IOA32	41	47	48	42	IOA33	B
B	IOA34	43	49	50	44	IOA35	B
B	IOA36	45	51	52	46	IOA37	B
B	IOA38	47	53	54	48	IOA39	B
	GND	GND	55	56	GND	GND	
B	IOA40	49	57	58	57	IOA41	B
B	IOA42	58	59	60	59	IOA43	B
B	IOA44	60	61	62	61	IOA45	B
B	IOA46	62	63	64	63	IOA47	B
B	IOA48	67	65	66	68	IOA49	B

*3 抵抗を介して FPGA ピン# 80 (CLK0) に接続可能

*4 抵抗を介して FPGA ピン# 77 (CLK1) に接続可能

オンボードクロック

クロック	NET LABEL	FPGA ピン#
オンボード 48M	CLK0	80
オンボード 48M	CLK1	77
オンボード 18.432M	CLK2	182
オンボード 72K	CLK3	185

外部入力クロック

クロック	NET LABEL	FPGA ピン#
任意	CLK0	80
任意	CLK1	77
任意	CLK2	182
任意	CLK3	185

詳細は回路図をご覧ください。

11. XCM-004 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は

製品サポートページ

http://www.hdl.co.jp/support_c.html

にデータをアップロードすることいたします。

拡張子 “.exe” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

12. 付属資料

1. 基板回路図
2. 外形寸法図

SpartanII ブレッドボード

(カードサイズ)

XCM-004 シリーズ

ユーザーズマニュアル

2005/01/18 初版(R1)

2005/06/30 第2版(R1)

2006/05/22 第2版(A)(R1)

2008/04/17 第3版(R1)

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>
