

16ビット・レール・トゥ・レール マイクロパワーDAC SO-8パッケージ

1998年12月

特長

- 全温度範囲で16ビットの単調性
- グリッチ低減レール・トゥ・レール電圧出力
- 5V単一電源動作
- I_{CC} (標準): 600 μ A
- 内部リファレンス
- パワーオン・リセット
- SO-8パッケージで供給
- 3線式カスケード可能なシリアル・インタフェース
- 最大DNL誤差: 1LSB
- 低コスト

アプリケーション

- デジタル較正
- 産業用プロセス・コントロール
- 自動試験装置
- セルラー電話

概要

LTC[®]1655はSO-8パッケージで供給されるレール・トゥ・レール電圧出力、16ビット・デジタル-アナログ・コンバータ(DAC)です。出力バッファとリファレンスを内蔵しています。3線式シリアル・インタフェースは、SPI/QSPIおよびMICROWIRE[™]プロトコルに適合します。CLK入力はシュミット・トリガを内蔵しており、オプトカプラへ直接インタフェースできます。

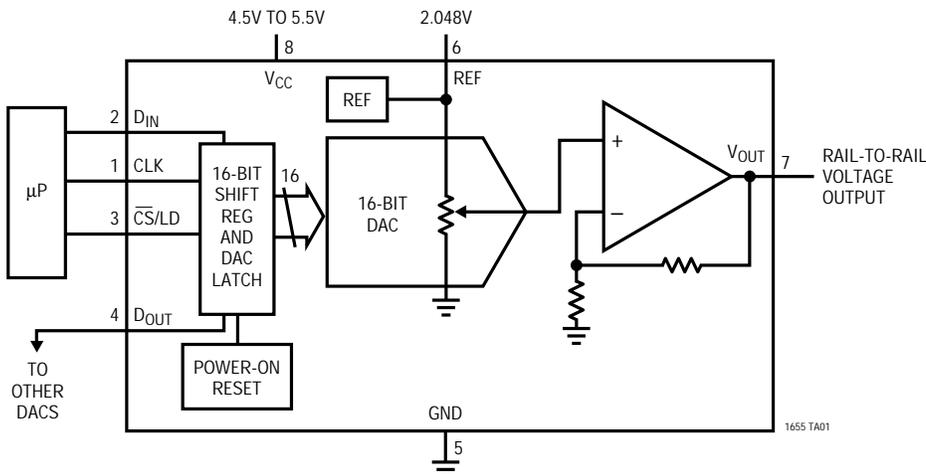
LTC1655は2.048Vリファレンスを内蔵しており、より高い電圧にオーバドライブすることができます。内部リファレンス使用時には、出力は0Vから4.096Vまで振幅します。標準消費電力は3.0mWです。

LTC1655はリニアテクノロジーの12ビット V_{OUT} DACファミリとピン・コンパチブルで、簡単にアップグレードできます。このデバイスは、唯一のSO-8パッケージで供給されるバッファ付き16ビットDACで、独立して動作するために内蔵リファレンスを備えています。

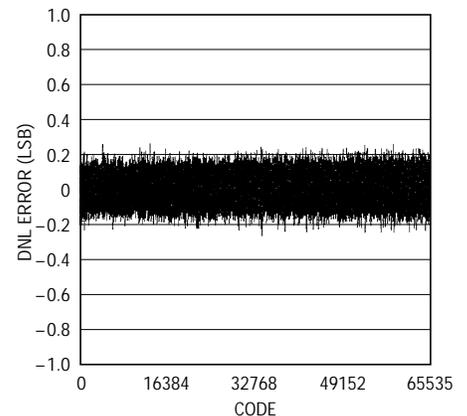
△、LTC、LTはリニアテクノロジー社の登録商標です。
MICROWIREはNational Semiconductor Corporationの商標です。
RAIL-TO-RAILはモトローラ(株)の登録商標です。

標準的応用例

機能ブロック図: 16ビット・レール・トゥ・レールDAC



微分非直線性と入力コード



絶対最大定格

(Note 1)

V_{CC} からGND	- 0.5V ~ 7.5V
TTL入力電圧	- 0.5V ~ 7.5V
V_{OUT} 、REF	- 0.5V ~ $V_{CC} + 0.5V$
最大接合部温度	125
動作温度範囲	
LTC1655C	0 ~ 70
LTC1655I	- 40 ~ 85
保存温度範囲	- 65 ~ 150
リード温度(半田付け、10秒).....	300

パッケージ/発注情報

<p>TOP VIEW</p> <p>N8 PACKAGE S8 PACKAGE 8-LEAD PDIP 8-LEAD PLASTIC SO</p> <p>$T_{JMAX} = 125^{\circ}C, \theta_{JA} = 100^{\circ}C/W$ (N8) $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 150^{\circ}C/W$ (S8)</p>	ORDER PART NUMBER
	LTC1655CN8 LTC1655IN8 LTC1655CS8 LTC1655IS8
	S8 PART MARKING
	1655 1655I

ミリタリ・グレードに関してはお問い合わせください。

電気的特性

注記がない限り、 $V_{CC} = 4.5V \sim 5.5V$ 、 V_{OUT} 無負荷、REF無負荷、 $T_A = T_{MIN} \sim T_{MAX}$

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
DAC						
	Resolution		●	16		Bits
	Monotonicity		●	16		Bits
DNL	Differential Nonlinearity	Guaranteed Monotonic (Note 2)	●	±0.3	±1.0	LSB
INL	Integral Nonlinearity	REF = 2.2V (External) (Note 2)	●	±8	±20	LSB
ZSE	Zero Scale Error		●	0	3	mV
V_{OS}	Offset Error	Measured at Code 200, REF = 2.2V (External)	●	±0.5	±3	mV
V_{OSTC}	Offset Error Tempco			±5		$\mu V/^{\circ}C$
	Gain Error	REF = 2.2V (External)	●	±5	±16	LSB
	Gain Error Drift			0.5		ppm/ $^{\circ}C$
Power Supply						
V_{CC}	Positive Supply Voltage	For Specified Performance	●	4.5	5.5	V
I_{CC}	Supply Current	$4.5V \leq V_{CC} \leq 5.5V$ (Note 4)	●	600	1200	μA
Op Amp DC Performance						
	Short-Circuit Current Low	V_{OUT} Shorted to GND	●	70	120	mA
	Short-Circuit Current High	V_{OUT} Shorted to V_{CC}	●	80	140	mA
	Output Impedance to GND	Input Code = 0	●	40	120	Ω
	Output Line Regulation	Input Code = 65535, $V_{CC} = 4.5V$ to $5.5V$, with Internal Reference	●		3	mV/V
AC Performance						
	Voltage Output Slew Rate	(Note 3)	●	±0.3	±0.7	V/ μs
	Voltage Output Settling Time	(Note 3) to 0.0015% (16-Bit Settling Time) (Note 3) to 0.012% (13-Bit Settling Time)		20 10		μs μs
	Digital Feedthrough			0.3		nV-s
	Midscale Glitch Impulse	DAC Switch Between 8000 and 7FFF		12		nV-s

電気的特性

注記がない限り、 $V_{CC} = 4.5V \sim 5.5V$ 、 V_{OUT} 無負荷、REF無負荷、 $T_A = T_{MIN} \sim T_{MAX}$

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Digital I/O							
V_{IH}	Digital Input High Voltage		●	2.4		V	
V_{IL}	Digital Input Low Voltage		●		0.8	V	
V_{OH}	Digital Output High Voltage	$I_{OUT} = -1mA, D_{OUT}$ Only	●	$V_{CC} - 1$		V	
V_{OL}	Digital Output Low Voltage	$I_{OUT} = 1mA, D_{OUT}$ Only	●		0.4	V	
I_{LEAK}	Digital Input Leakage	$V_{IN} = GND$ to V_{CC}	●		± 10	μA	
C_{IN}	Digital Input Capacitance	(Note 6)			10	pF	
Switching							
t_1	D_{IN} Valid to CLK Setup	$V_{CC} = 5V$	●	40		ns	
t_2	D_{IN} Valid to CLK Hold	$V_{CC} = 5V$	●	0		ns	
t_3	CLK High Time	$V_{CC} = 5V$ (Note 6)	●	40		ns	
t_4	CLK Low Time	$V_{CC} = 5V$ (Note 6)	●	40		ns	
t_5	\overline{CS}/LD Pulse Width	$V_{CC} = 5V$ (Note 6)	●	50		ns	
t_6	LSB CLK to \overline{CS}/LD	$V_{CC} = 5V$ (Note 6)	●	40		ns	
t_7	\overline{CS}/LD Low to CLK	$V_{CC} = 5V$ (Note 6)	●	20		ns	
t_8	D_{OUT} Output Delay	$V_{CC} = 5V, C_{LOAD} = 15pF$	●	0	120	ns	
t_9	CLK Low to \overline{CS}/LD Low	$V_{CC} = 5V$ (Note 6)	●	20		ns	
Reference Output							
	Reference Output Voltage		●	2.036	2.048	2.060	V
	Reference Input Range	(Notes 5, 6)		2.2		$V_{CC}/2$	V
	Reference Output Tempco				5		ppm/ $^{\circ}C$
	Reference Input Resistance		●	8.5	13		$k\Omega$
	Reference Short-Circuit Current		●		40	100	mA
	Reference Output Line Regulation	$V_{CC} = 4.5V$ to $5.5V$	●			± 1.5	mV/V
	Reference Load Regulation	$I_{OUT} = 100\mu A$	●			0.5	mV

●は全動作温度範囲の規格値を意味する。

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

Note 2: 非直線性はコード200からコード65535(フルスケール)までの範囲で定飲される。アプリケーション情報を参照。

Note 3: DACは、オール1とコード400の間で切り替わる。

Note 4: デジタル入力は0Vまたは V_{CC} 。

Note 5: リファレンスのオーバドライブが可能

Note 6: 設計で保証されている。テストは行われない。

ピン機能

CLK(ピン1): シリアル・インタフェース・クロック用のTTLレベル入力。

D_{IN} (ピン2): シリアル・インタフェース・データ用のTTLレベル入力。 D_{IN} ピン上のデータは、シリアル・クロックの立上りエッジでMSBからシフト・レジスタにラッチされます。LTC1655では16ビット・ワードが必要です。

$\overline{CS/LD}$ (ピン3): シリアル・インタフェース・イネーブルおよびロード・コントロール用のTTLレベル入力。 $\overline{CS/LD}$ が“L”のとき、CLK信号がイネーブルされデータをクロック・インすることができます。 $\overline{CS/LD}$ が“H”になると、シフト・レジスタからDACレジスタにデータがロードされ、DAC出力が更新されます。

D_{OUT} (ピン4): シフト・レジスタの出力。シリアル・クロックの立上りエッジで有効になり、GNDから V_{CC} まで振幅します。

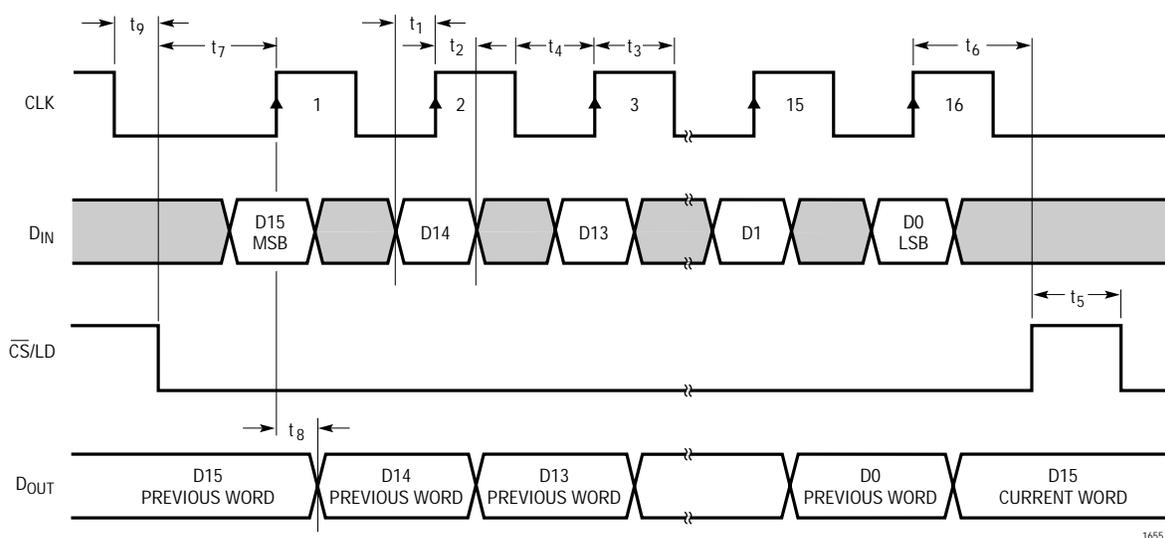
GND(ピン5): グランド。

REF(ピン6): リファレンス。内部リファレンスの出力は2.048Vです。このピンから出力へは2倍のゲインがあります。リファレンスは2.2Vから $V_{CC}/2$ までオーバドライブ可能です。 $V_{CC}/2$ に接続すると、出力はGNDから V_{CC} まで振幅します。出力は V_{CC} のオフセット仕様内には振幅できません(アプリケーション情報を参照)。

V_{OUT} (ピン7): グリッチ低減レール・トゥ・レール電圧出力。

V_{CC} (ピン8): 正電源入力。 $4.5V \leq V_{CC} \leq 5.5V$ 。グランドへのバイパス・コンデンサが必要です。

タイミング図



定義

微分非直線性 (DNL): 任意の2つの隣接するコード間で測定した変化と理想的な1LSB変化の違いです。2つのコード間のDNL誤差は、次式で計算されます。

$$DNL = (\Delta V_{OUT} - LSB) / LSB$$

ここで、 ΔV_{OUT} は2つの隣接するコード間で測定した電圧の差です。

デジタル・フィードスルー: デジタル入力の状態を変えたときに、その入力からのAC結合によって生じるアナログ出力に現れるグリッチです。グリッチの面積は(nV)(sec)で規定されます。

フルスケール誤差 (FSE): 理想的な電圧からの実際のフルスケール電圧の偏差です。FSEにはオフセット誤差と利得誤差の影響が含まれます(アプリケーション情報を参照)。

利得誤差 (GE): オフセット誤差が調整された後のDACのフルスケール出力からその理想的なフルスケール値までの差です。

積分非直線性 (INL): DAC伝達曲線のエンド・ポイントを通過する直線からの偏差です(エンド・ポイントINL)。出力はゼロ以下になれないため、直線性はフル

スケールと、出力がゼロを超えることを保証する最小コード間で測定されます。ある入力コードに対するINL誤差は、次式で計算されます。

$$INL = [V_{OUT} - V_{OS} - (V_{FS} - V_{OS}) \times \text{code}/65535] / LSB$$

ここで、 V_{OUT} は与えられた入力コードで測定したDACの出力電圧です。

最下位ビット (LSB): 2つの連続したコードの理想的な電圧差です。

$$LSB = 2V_{REF}/65536$$

分解能 (n): フルスケール・レンジを分割するDAC出力の状態数(2^n)を定義します。分解能は直線性を意味するものではありません。

電圧オフセット誤差 (V_{OS}): 定義上、DACにすべてゼロがロードされたときの出力の電圧です。単一電源DACは真の負のオフセットを持つことができますが、出力はゼロ以下になりません(アプリケーション情報を参照)。

このため、単一電源DACオフセットは、出力がゼロを超えることを保証する最小コードで測定されます。

動作

シリアル・インタフェース

D_{IN} 入力のデータは、クロックの立上りエッジでシフト・レジスタにロードされます。MSBが最初にロードされます。 \overline{CS}/LD を“H”にすると、DACレジスタはシフト・レジスタからデータをロードします。 \overline{CS}/LD が“H”のとき、クロックは内部でディスエーブルされます。
注: 余分な内部クロック・パルスを避けるために、 \overline{CS}/LD が“L”にプルダウンされる前に、CLKが“L”にならない限りなりません。入力ワードは16ビット幅でなければなりません。

16ビット・シフト・レジスタのバッファされた出力が D_{OUT} ピンに現れ、GNDから V_{CC} まで振幅します。

あるチップの D_{OUT} ピンを次のチップの D_{IN} ピンを接続し、クロックと \overline{CS}/LD 信号をディジー・チェーンのすべてのチップに共通にすることにより、複数のLTC1655を

まとめてディジー・チェーン接続することができます。シリアル・データがすべてのチップにクロック・インされ、 \overline{CS}/LD 信号が“H”になると、すべてのチップを同時に更新します。

電圧出力

LTC1655レール・トゥ・レールのバッファ出力は、正電源電圧またはグラウンドの300mV以内に維持しながら全動作温度範囲で5mAをソースまたはシンクできます。出力段は、グリッチを12nV-sの中間スケール・グリッチに低減するグリッチ低減回路を備えています。

無負荷時には出力はいずれかの電源レールの数mV以内に振幅し、負荷をレールにドライブする場合には等価出力抵抗は40Ωになります。出力は発振することなく1000pFをドライブ可能です。

アプリケーション情報

レール・トゥ・レール出力の考慮事項

どんなレール・トゥ・レールDACでも、出力振幅は電源範囲内の電圧に制限されます。

DACオフセットが負の場合、最小コードの出力は、図1bに示すとおり0Vに制限されます。

同様に、REFピンを $V_{CC}/2$ に接続したとき、フルスケールの近くでリミッティングが発生します。 $V_{REF} = V_{CC}/2$

でDACフルスケール誤差(FSE)が正の場合、最大コードの出力は図1cに示すとおり V_{CC} に制限されます。 V_{REF} が $(V_{CC} - FSE)/2$ より低い場合、フルスケール・リミッティングは生じません。

オフセットと直線性は、出力リミッティングが発生しないDAC伝達関数領域で定義され、テストされます。

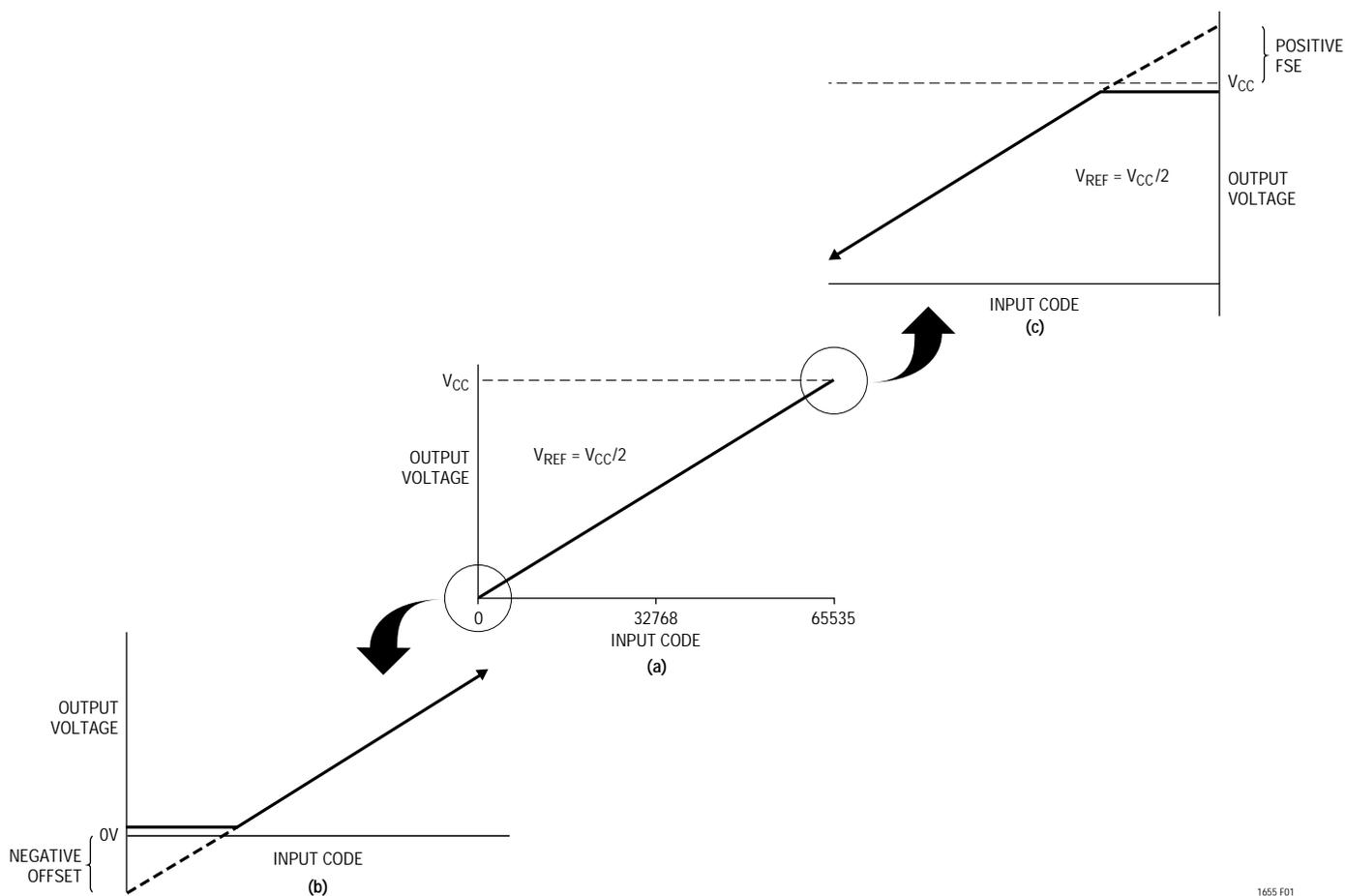


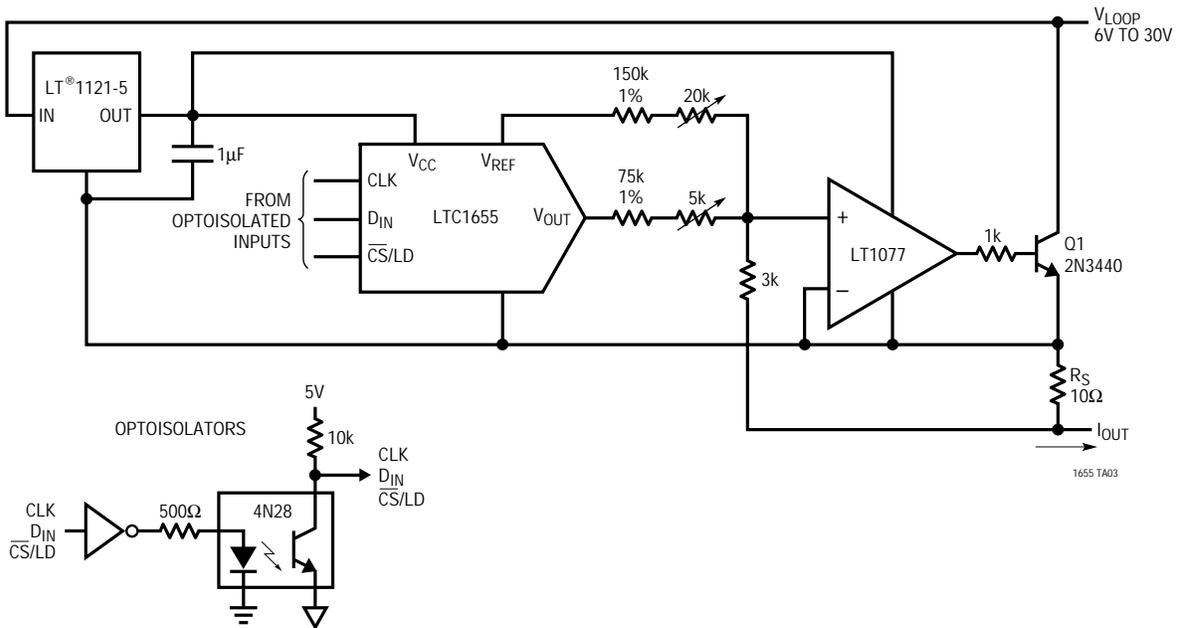
図1. レール・トゥ・レール動作のDAC伝達曲線での影響。(a) 全伝達関数 (b) ゼロ・スケール近くのコードに対する負オフセットの影響 (c) $V_{REF} = V_{CC}/2$ のときフルスケール近くの入力コードに対する正フルスケール誤差の影響

標準的応用例

この回路はLTC1655を使用して、オプト絶縁型デジタル制御の4mA ~ 20mAのプロセス・コントローラを構築する方法を示します。オプト・絶縁を含むコントローラ回路には、6V ~ 30Vの広い範囲をもつことができるループ電圧によって電力が供給されます。LTC1655の2.048Vリファレンス出力は4mAオフセット電流に使用し、 V_{OUT}

はデジタル制御される0mA ~ 16mA電流に使用します。 R_S はセンス抵抗であり、オペアンプはトランジスタQ1を変調し、この抵抗を通して4mA - 20mAの電流を供給します。ポテンショメータによって、オフセットとフルスケール調整が可能です。制御回路の消費電力は、ゼロスケールで4mAよりはるかに少なくなります。

絶縁型4mA - 20mAプロセス・コントローラ



関連製品

製品番号	説明	注釈
LTC1257	シングル12ビット V_{OUT} DAC、フル・スケール:2.048V、 V_{CC} :4.75V ~ 15.75V、12Vまでリファレンスをオーバドライブ可能、 $FS_{MAX} = 12V$	5V ~ 15V単一電源、SO-8/パッケージの完全な V_{OUT} DAC
LTC1446/LTC1446L	SO-8パッケージのデュアル12ビット V_{OUT} DAC	LTC1446: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 4.095V$ LTC1446L: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 2.5V$
LTC1448	デュアル12ビット V_{OUT} DAC、 V_{CC} :2.7V ~ 5.5V	出力はGNDからREFまで振幅。REF入力を V_{CC} に接続可能。
LTC1450/LTC1450L	パラレル・インタフェース付きシングル12ビット V_{OUT} DAC	LTC1450: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 4.095V$ LTC1450L: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 2.5V$
LTC1451	シングル、レール・トゥ・レール12ビットDAC、フル・スケール:4.095V、 V_{CC} :4.5V ~ 5.5V、ピンに出された内部2.048Vリファレンス	SO-8パッケージの5V、低消費電力の完全な V_{OUT} DAC
LTC1452	シングル、レール・トゥ・レール12ビット V_{OUT} 乗算DAC、 V_{CC} :2.7V ~ 5.5V	SO-8パッケージのレール・トゥ・レール・バッファ・アンプ付き低消費電力、乗算型 V_{OUT} DAC
LTC1453	シングル、レール・トゥ・レール12ビット V_{OUT} DAC、フル・スケール:2.5V、 V_{CC} :2.7V ~ 5.5V	SO-8パッケージの3V、低消費電力、完全な V_{OUT} DAC
LTC1454/LTC1454L	追加機能付きSO-16パッケージのデュアル12ビット V_{OUT} DAC	LTC1454: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 4.095V$ LTC1454L: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 2.5V$
LTC1456	クリア・ピン付き、シングル、レール・トゥ・レール出力12ビットDAC、フルスケール:4.095V、 V_{CC} :4.5V ~ 5.5V	SO-8パッケージのクリア・ピン付き低消費電力の完全な V_{OUT} DAC
LTC1458/LTC1458L	追加機能付きクワッド12ビットレール・トゥ・レール出力DAC	LTC1458: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 4.095V$ LTC1458L: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{OUT} = 0V \sim 2.5V$
LTC1650	シングル16ビット V_{OUT} 工業用DAC、16ピンSO、 $V_{CC} = \pm 5V$	低消費電力、グリッチ低減、4象限乗算型 V_{OUT} DAC、出力振幅 $\pm 4.5V$
LTC1658	シングル・レール・トゥ・レール14ビット V_{OUT} DAC、8ピンMSOP、 $V_{CC} = 2.7V \sim 5.5V$	低消費電力乗算型 V_{OUT} DAC、MS8パッケージ。出力はGNDからREFまで振幅。REF入力を V_{CC} に接続可能。
LTC1659	シングル・レール・トゥ・レール12ビット V_{OUT} DAC、8ピンMSOP、 $V_{CC} = 2.7V \sim 5.5V$	低消費電力乗算型 V_{OUT} DAC、MS8パッケージ。出力はGNDからREFまで振幅。REF入力を V_{CC} に接続可能。