

Cycloneブレッドボード
CSP - 028シリーズ
Rev 1
ユーザーズマニュアル

有限会社ヒューマンデータ
初版

目次

はじめに.....	2
ご注意.....	2
製品の内容について.....	3
ボード概観.....	4
電源入力.....	5
ジャンパの説明.....	6
重要 : 固定ピンについて.....	8
コンパイル時の設定.....	8
コンフィグレーションROMの設定.....	9
コンフィグレーション方法.....	10
JTAG 経由のコンフィグレーション方法.....	10
QUARTUS から CSP-028 上のコンフィグレーション ROM に ISP する方法.....	11
GPIF コネクタピン割付表.....	12
付属資料.....	15

はじめに

この度は、Cyclone ブレッドボードをお買い上げいただきまして誠にありがとうございます。

C S P - 0 2 8 はアルテラ社の高性能 F P G A である Cyclone シリーズを実装した試作評価用ボードで、リセット回路、クロック源、電源回路などの必要最低限の機能に絞り、全ピンを拡張コネクタに引き出した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
 2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
 3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
 4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
 5. ブレッドボードに保証期間はありません。
- Quartus、MAX+Plus、Cyclone は、米国アルテラ社の商標です。

製品の内容について

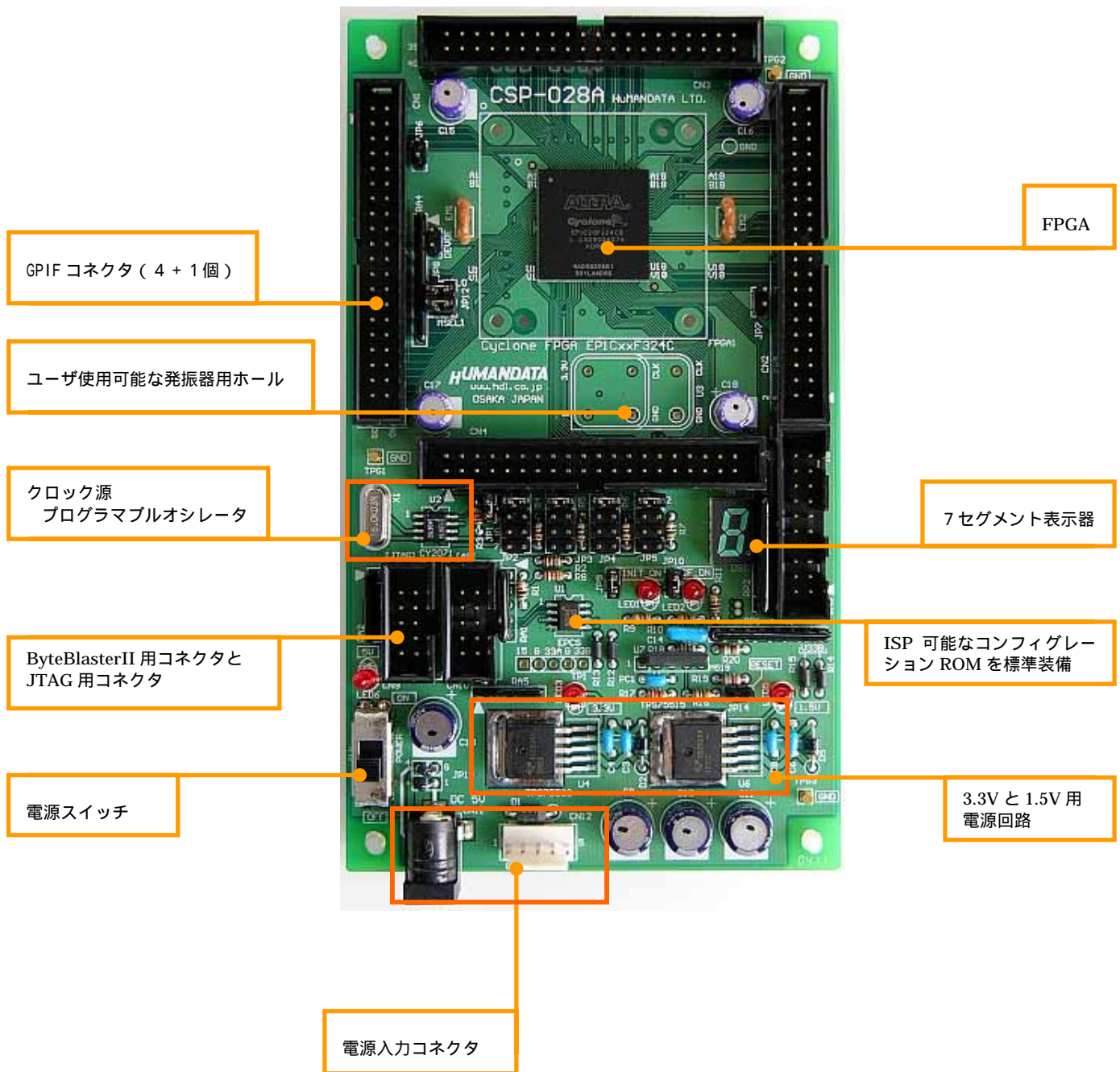
本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

Cyclone ブレッドボード	1
実験用 A C アダプタ	1
ジャンパ、ヘッダピンセット	1
マニュアル (本書)	1
ユーザー登録カード	1

型番と実装 F P G A

型番 (MODEL)	実装 FPGA
CSP-028-4C8	EP1C4F324C8
CSP-028-12C8	EP1C12F324C8
CSP-028-20C8	EP1C20F324C8

ボード概観



電源入力

付属の AC アダプタ (DC 5 V) を用いる場合は、CN11 に接続します。
センタープラスになっていますので、極性には十分ご注意ください。
CN12 より、安定した 5 V を供給することも可能です。

CN12

ピン番号	信号名
1	GND
2	GND
3	5 V 入力
4	5 V 入力
5	N.C

ジャンパの説明

JP1、JP2 から JP5 クロック周波数設定

CY2071AF(クロック発生器：原発クリスタル 16.00MHz)

JP1=オープン				
JP2:いずれかショート (同時ショート禁止)	5-6 間	3-4 間	1-2 間	周波数
	SHORT	-	-	20 MHz
	-	SHORT	-	40 MHz
-	-	SHORT	SHORT	80 MHz
JP1=ショート 出荷時				
JP2:いずれかショート (同時ショート禁止)	SHORT	-	-	16.5 MHz
	-	SHORT	-	33MHz
	-	-	SHORT	66 MHz 出荷時

JP2 から JP5 の 7-8 間はオプションの汎用発振器(U3)からクロックを供給するようになります。くわしくは回路図を合わせて御参照ください。

JP	クロック供給先
JP2	FPGA の J3 pin
JP3	FPGA の J4 pin
JP4	FPGA の J16 9pin
JP5	FPGA の J15 pin

JP14 マニュアルリセット

マニュアルリセットです。ショートすると FPGA の nCONFIG をアサートします。コンフィグレーション ROM に誤った回路を書き込んでしまったときには、JP14 をショートしたまま正しい回路を書き込むことで問題を解決することができます。

JP6、JP7 リセット用信号

リセット IC から FPGA に接続することができます。シミュレーション上リセット信号があると便利ことがあります。必要に応じて利用することができます。

JP	リセット	備考
JP6	FPGA の C2 pin	GPIF(CN1) 4pin と兼用
JP7	FPGA の C16 pin	GPIF(CN2) 16pin と兼用

JP12、JP13 コンフィグレーションモード

1-2 間 MSEL1	3-4 間 MSEL0	モード	備考
ON	ON	AS	出荷時
ON	OFF	PS	

コンフィグレーションモードについては、アルテラ社のアプリケーションノート AN250 などご参照ください。

JP9 INIT_DONE LED

ショートで INIT_DONE LED を使用できます。コンパイルオプションで INNIT_DONE 機能を有効としたときに機能します。または、ユーザ回路で記述してください。

JP10 CONF_DONE LED

ショートで CONF_DONE LED を使用できます。リセット時点灯しています。コンフィグレーション中のみ消灯となり、コンフィグレーション完了で再び点灯します。

重要：固定ピンについて

本ボードでは、下記のピンが GND または VCCINT(1.5V) に固定されています。
デバイスによっては、ダミー入力として他に使わないようにする必要があります。

これらのデバイスでは EP1C20 では電源や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

固定ピン一覧

F8 F9 F10 F11

G8 G9 G10 G11

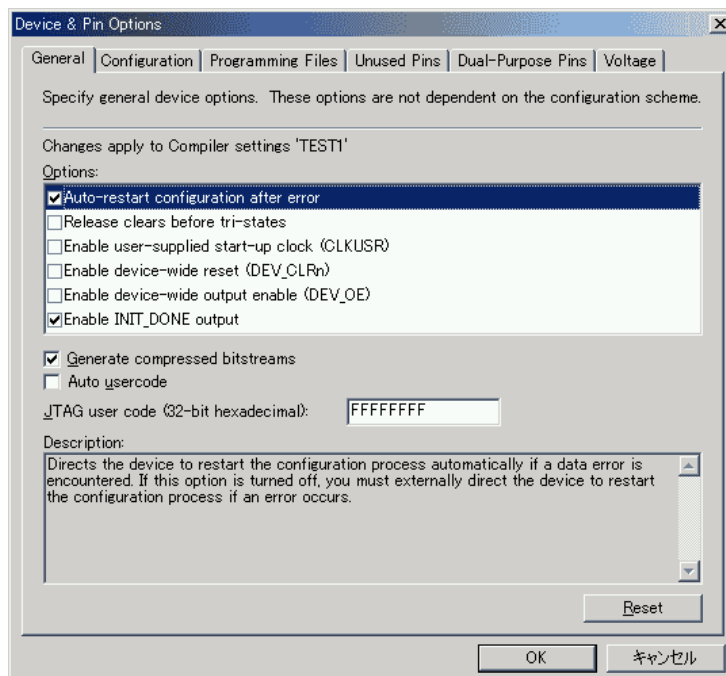
N8 N9 N10 N11

M8 M9 M10 M11

合計 16 本

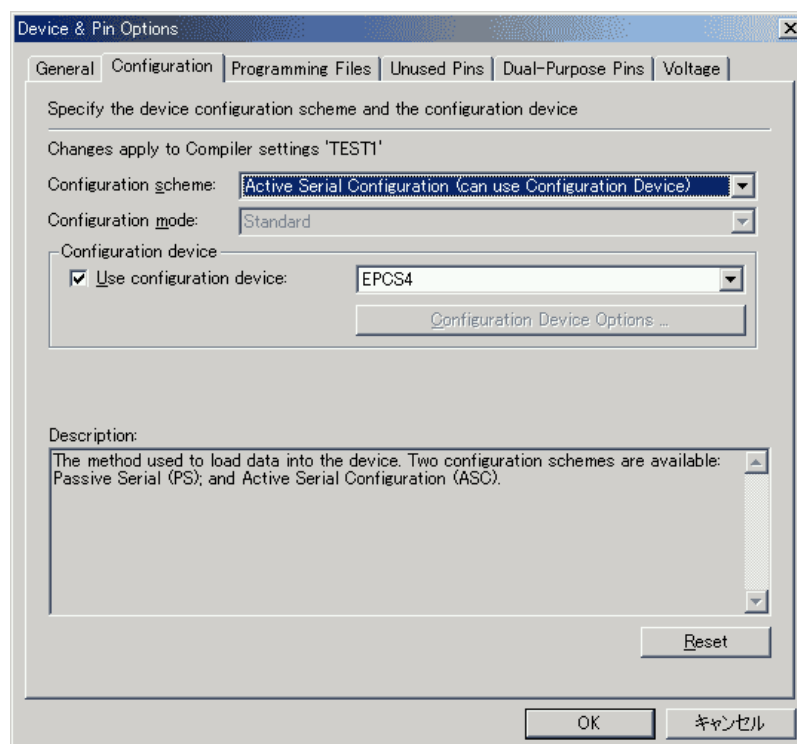
コンパイル時の設定

INIT_DONE 表示 LED を用いるには、INIT_DONE 機能を有効としてください。



デバイスオプションの、Enable INIT_DONE output にチェックをいれます。
使わないときは、チェックが無くてもかまいません。

コンフィグレーションROMの設定



デバイスオプションで、Active Serial Configuration を選択し、Use configuration device として EPCS4 を設定してください。

コンフィグレーション方法

CSP-028 では、2つのコンフィグレーション方法があります。

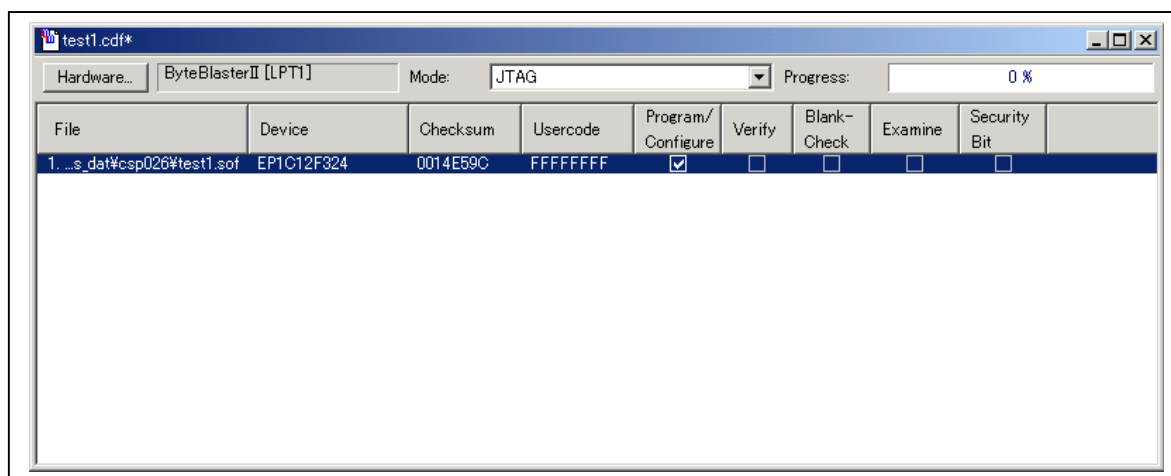
1. JTAG による方法 (ByteBlasterMV などを用いる) :JTAG
コネクタ CN9 を使用します。
2. コンフィグレーション ROM による :ROM
(ROM への書き込みはコネクタ CN10 を使用します。)

JTAG 経由のコンフィグレーション方法

ダウンロードケーブルを JTAG 側(CN9)に接続し、Programmer を起動します。

Mode を JTAG にします。

ダウンロードケーブルとして、ByteBlasterMV、ByteBlasterII、MasterBlaster、弊社の BL3、BL2、BLKIT などを使用可能です。



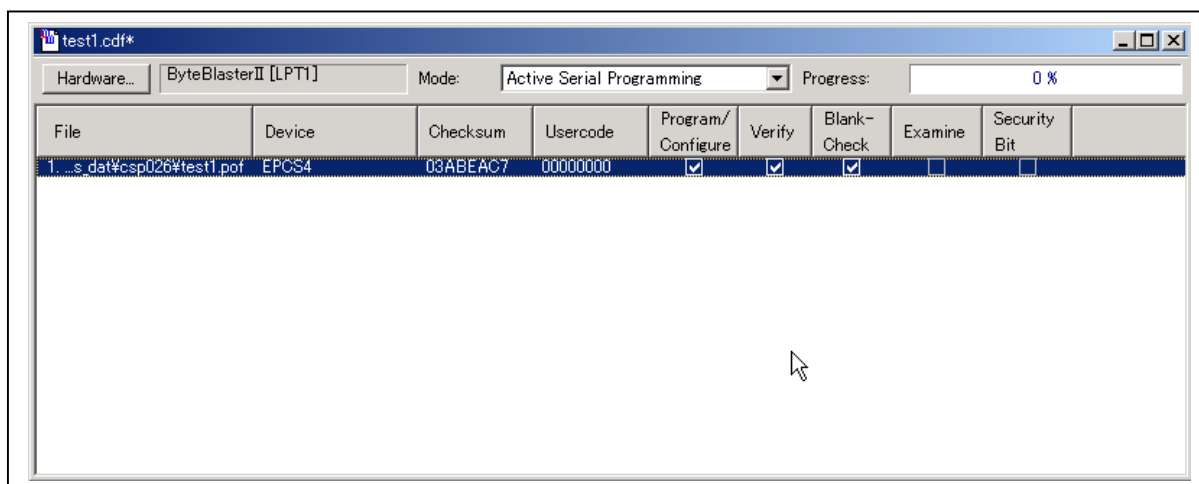
AutoDetect ボタンをクリックすると、実装されている FPGA が自動的に認識されます。
コンパイルにより生成された SOF ファイルを設定し、コンフィグレーションを行います。

Quartus から CSP-028 上のコンフィグレーション ROM に ISP する方法

ダウンロードケーブルを AS 側 (CN10) に接続し、Programmer を起動します。

Mode を ActiveSerial... にします。

このとき、ダウンロードケーブルは ByteBlasterII または弊社の BL3 でなければなりません。(2MODE 対応の BLKIT でも可能)



AddFile ボタンをクリックし、コンパイルにより生成された POF ファイルを設定し、ROM への書き込み (isp) を行います。

GPIF コネクタピン割付表

GPIF コネクタピン割付表は、サポートページエクセルファイルをご用意していますので
どうぞ御活用ください。

CN1				CN2			
PIN	FPGA-PIN	PIN	FPGA-PIN	PIN	FPGA-PIN	PIN	FPGA-PIN
1	GND	21	GND	1	GND	21	GND
2	GND	22	GND	2	GND	22	GND
3	A4	23	D1	3	R16	23	N18
4	B4	24	E2	4	P16	24	M17
5	B3	25	F2	5	N16	25	M18
6	C2	26	F1	6	M16	26	L17
7	C5	27	G2	7	L16	27	L18
8	C4	28	G1	8	K16	28	H18
9	D3	29	H2	9	H16	29	H17
10	E3	30	H1	10	G16	30	G18
11	GND	31	GND	11	GND	31	GND
12	GND	32	GND	12	GND	32	GND
13	F3	33	L2	13	F16	33	G17
14	G3	34	M1	14	E16	34	F18
15	H3	35	M2	15	D16	35	F17
16	L3	36	N1	16	C16	36	E17
17	N3	37	N2	17	R17	37	D18
18	M3	38	P2	18	R18	38	D17
19	P3	39	R1	19	P17	39	C17
20	D2	40	R2	20	N17	40	B16

CN3

PIN	FPGA-PIN
1	GND
2	GND
3	C15
4	C14
5	C13
6	C12
7	C11
8	C10
9	C9
10	C6
11	GND
12	GND
13	A15
14	B15
15	B13
16	B14
17	B12
18	A13
19	B11
20	A12

PIN	FPGA-PIN
21	GND
22	GND
23	B10
24	A11
25	A9
26	A10
27	A8
28	B9
29	A7
30	B8
31	GND
32	GND
33	A6
34	B7
35	B5
36	B6
37	N.C
38	N.C
39	N.C
40	N.C

CN4

PIN	FPGA-PIN
1	GND
2	GND
3	R3
4	T3
5	T4
6	N.C
7	N.C
8	T5
9	T6
10	T7
11	GND
12	GND
13	T8
14	T9
15	T10
16	T11
17	T12
18	T2
19	U3
20	U4

PIN	FPGA-PIN
21	GND
22	GND
23	V4
24	U5
25	U6
26	V6
27	U7
28	V7
29	U8
30	V8
31	GND
32	GND
33	U9
34	V9
35	V10
36	U10
37	V11
38	U11
39	V12
40	U12

N.C. :未使用。将来改版時に接続される可能性があります。

CN5

PIN	FPGA-PIN	内部使用
1	GND	
2	GND	
3	V13	7seg [a]
4	U13	7seg [e]
5	T13	7seg [b]
6	U14	7seg [f]
7	T14	7seg [c]
8	V15	7seg [g]
9	U15	7seg [d]
10	U16	7seg [DP]
11	GND	
12	GND	
13	T15	
14	N.C	
15	N.C	
16	N.C	
17	T17	
18	T16	
19	N.C.	
20	N.C	

RP1、RP2 取り外しで外部使用可能

N.C. :未使用。将来改版時に接続される可能性があります。

付屬資料

1. 回路図

Cyclone ブレッドボード
CSP-028 シリーズ Rev 1

ユーザーズマニュアル

2004/05/27 Rev1 初版

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-51

シャトー春日第3ビル

TEL 072-620-2002

FAX 072-620-2003

U R L <http://www.hdl.co.jp>

M a i l support@hdl.co.jp
