

Cycloneブレッドボード
CSP - 026シリーズ
Rev 1
ユーザーズマニュアル

目次

はじめに	2
ご注意	2
製品の内容について	3
ボード概観	4
電源入力	5
ジャンパの説明	6
重要 : 固定ピンについて	8
コンパイル時の設定	8
コンフィグレーションROMの設定	9
コンフィグレーション方法	10
JTAG 経由のコンフィグレーション方法	10
QUARTUS から CSP-026 上のコンフィグレーション ROM に ISP する方法	11
GPIF コネクタピン割付表	12
付属資料	20

はじめに

この度は、Cyclone ブレッドボードをお買い上げいただきまして誠にありがとうございます。

C S P - 0 2 6 はアルテラ社の高性能 F P G A である Cyclone シリーズを実装した試作評価用ボードで、リセット回路、クロック源、電源回路などの必要最低限の機能に絞り、全ピンを拡張コネクタに引き出した使いやすいボードになっています。

どうぞご活用ください。

ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
 2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
 3. 本製品の運用の結果につきましては、2. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
 4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
 5. ブレッドボードに保証期間はありません。
- Quartus、MAX+Plus、Cyclone は、米国アルテラ社の商標です。

製品の内容について

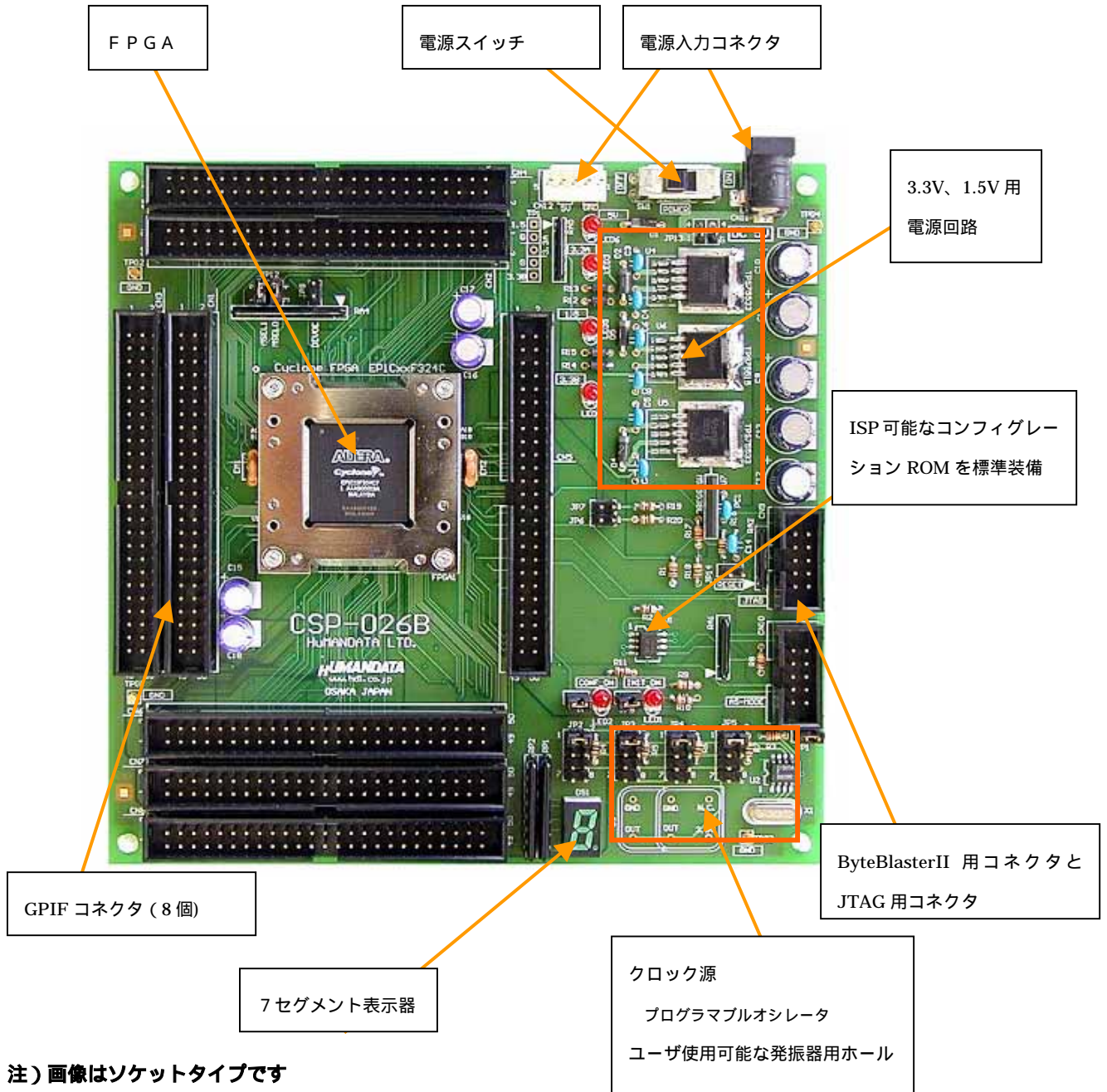
本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

Cyclone ブレッドボード	1
実験用 A C アダプタ	1
ジャンパ、ヘッダピンセット	1
マニュアル (本書)	1
ユーザー登録カード	1

型番と実装 F P G A

型番 (MODEL)	実装 FPGA
CSP-026-4C8	EP1C4F324C8
CSP-026-4C7	EP1C4F324C7
CSP-026-12C8	EP1C12F324C8
CSP-026-12C7	EP1C12F324C7
CSP-026-20C8	EP1C20F324C8
CSP-026-20C7	EP1C20F324C7
CSP-026-4C8S	EP1C4F324C8 + FBGA 用ソケット付属
CSP-026-4C7S	EP1C4F324C7 + FBGA 用ソケット付属
CSP-026-12C8S	EP1C12F324C8 + FBGA 用ソケット付属
CSP-026-12C7S	EP1C12F324C7 + FBGA 用ソケット付属
CSP-026-20C8S	EP1C20F324C8 + FBGA 用ソケット付属
CSP-026-20C7S	EP1C20F324C7 + FBGA 用ソケット付属
CSP-026-INST	デバイスお客様ご支給 (FBGA 用ソケット実装可能)
CSP-026-S	デバイスお客様ご支給 + FBGA 用ソケット付属

ボード概観



電源入力

付属の AC アダプタ (DC 5 V) を用いる場合は、CN11 に接続します。
センタープラスになっていますので、極性には十分ご注意ください。
CN12 より、安定した 5 V を供給することも可能です。

CN12

ピン番号	信号名
1	GND
2	GND
3	5V入力
4	5V入力
5	N.C

ジャンパの説明

JP1、JP2 から JP5 クロック周波数設定

CY2071AF(クロック発生器：原発クリスタル 16.00MHz)

JP1=オープン				
JP2:いずれかショート (同時ショート禁止)	5-6 間	3-4 間	1-2 間	周波数
	SHORT	-	-	20 MHz
	-	SHORT	-	40 MHz
-	-	SHORT	80 MHz	
JP1=ショート 出荷時				
JP2:いずれかショート (同時ショート禁止)	SHORT	-	-	16.5 MHz
	-	SHORT	-	33MHz
	-	-	SHORT	66 MHz 出荷時

JP2 から JP5 の 7-8 間はオプションの汎用発振器(U3)からクロックを供給するようになります。くわしくは回路図を合わせて御参照ください。

JP	クロック供給先
JP2	FPGA の J3 pin
JP3	FPGA の J4 pin
JP4	FPGA の J16 9pin
JP5	FPGA の J15 pin

JP14 マニュアルリセット

マニュアルリセットです。ショートすると FPGA の nCONFIG をアサートします。
 コンフィグレーション ROM に誤った回路を書き込んでしまったときには、JP14 をショートし
 たまま正しい回路を書き込むことで問題を解決することができます。

JP6、JP7 リセット用信号

リセット IC から FPGA に接続することができます。
 シミュレーション上リセット信号があると便利ことがあります。
 必要に応じて利用することができます。

JP	リセット	備考
JP6	FPGA の C2 pin	GPIF(CN2) 11pin と兼用
JP7	FPGA の C16 pin	GPIF(CN4) 11pin と兼用

JP12、JP13 コンフィグレーションモード

1-2 間 MSEL1	3-4 間 MSEL0	モード	備考
ON	ON	AS	出荷時
ON	OFF	PS	

コンフィグレーションモードについては、アルテラ社のアプリケーションノート AN250
 などご参照ください。

JP9 INIT_DONE LED

ショートで INIT_DONE LED を使用できます。
 コンパイルオプションで INNIT_DONE 機能を有効としたときに機能します。
 または、ユーザ回路で記述してください。

JP10 CONF_DONE LED

ショートで CONF_DONE LED を使用できます。
 リセット時点灯しています。コンフィグレーション中のみ消灯となり、コンフィグレーション
 完了で再び点灯します。

重要：固定ピンについて

本ボードでは、下記のピンが GND または VCCINT(1.5V) に固定されています。
デバイスによっては、ダミー入力として他に使わないようにする必要があります。

これらのデバイスでは EP1C20 では電源や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

固定ピン一覧

F8 F9 F10 F11

G8 G9 G10 G11

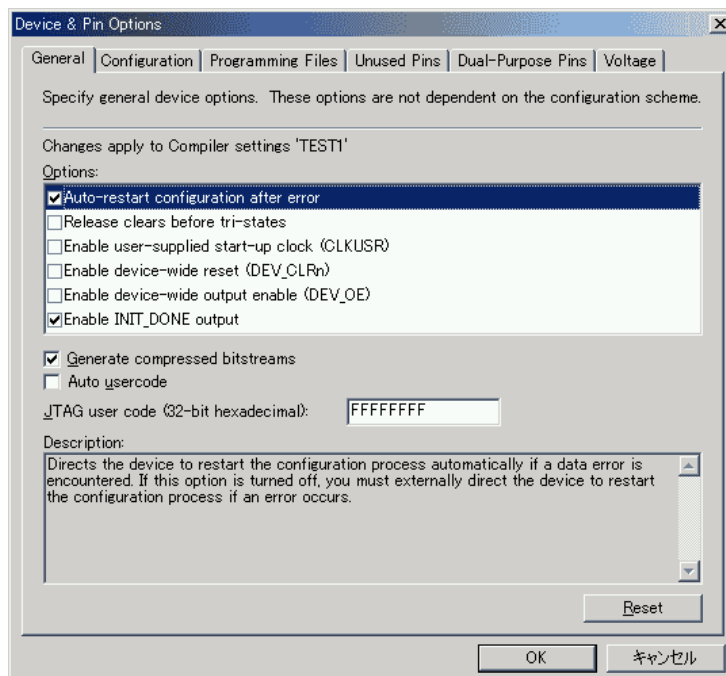
N8 N9 N10 N11

M8 M9 M10 M11

合計 16 本

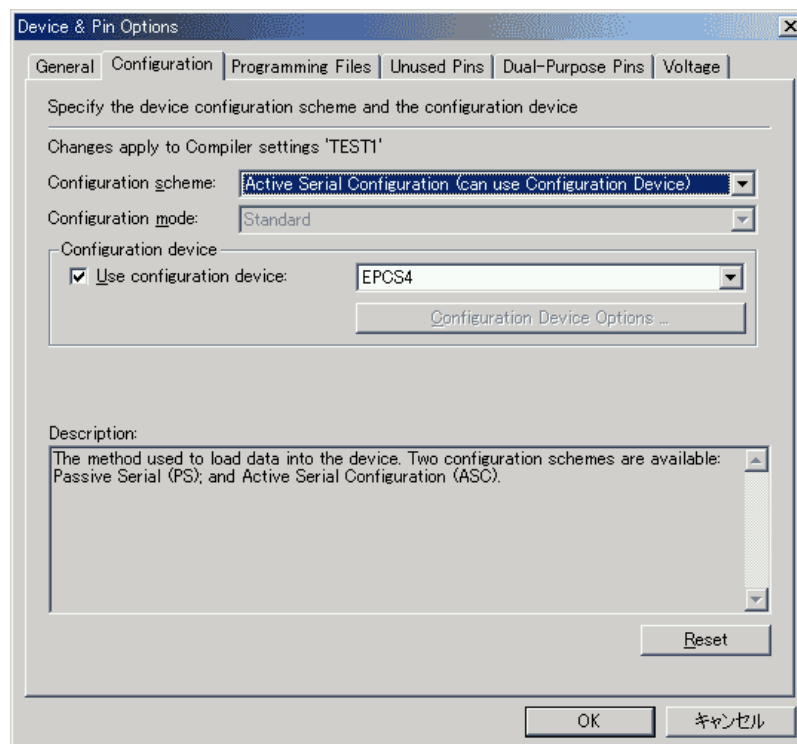
コンパイル時の設定

INIT_DONE 表示 LED を用いるには、INIT_DONE 機能を有効としてください。



デバイスオプションの、Enable INIT_DONE output にチェックをいれます。
使わないときは、チェックが無くてもかまいません。

コンフィグレーションROMの設定



デバイスオプションで、Active Serial Configuration を選択し、Use configuration device として EPCS4 を設定してください。

コンフィグレーション方法

CSP-026 では、2つのコンフィグレーション方法があります。

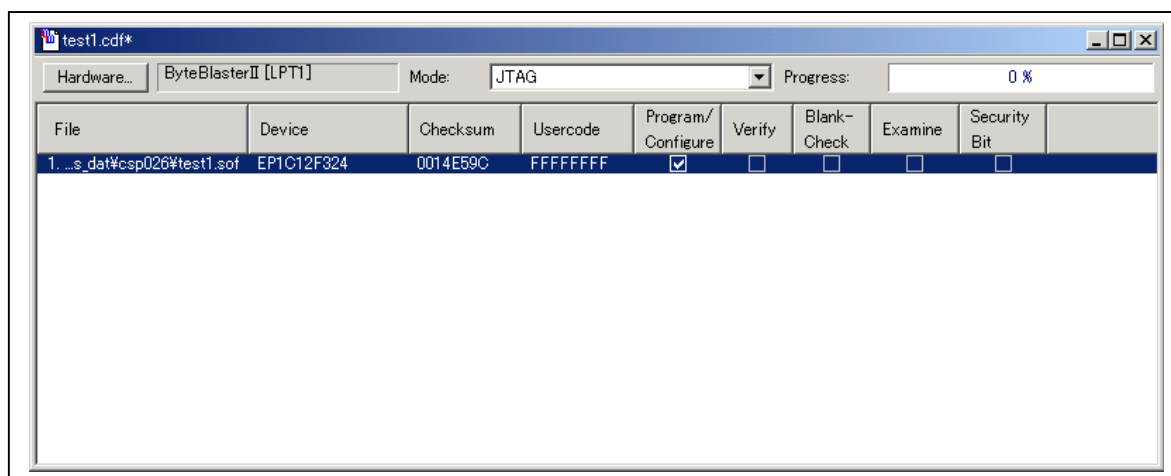
1. JTAG による方法 (ByteBlasterMV などを用いる) :JTAG
コネクタ CN9 を使用します。
2. コンフィグレーション ROM による :ROM
(ROM への書き込みはコネクタ CN10 を使用します。)

JTAG 経由のコンフィグレーション方法

ダウンロードケーブルを JTAG 側(CN9)に接続し、Programmer を起動します。

Mode を JTAG にします。

ダウンロードケーブルとして、ByteBlasterMV、ByteBlasterII、MasterBlaster、弊社の BL3、BL2、BLKIT などが使用可能です。



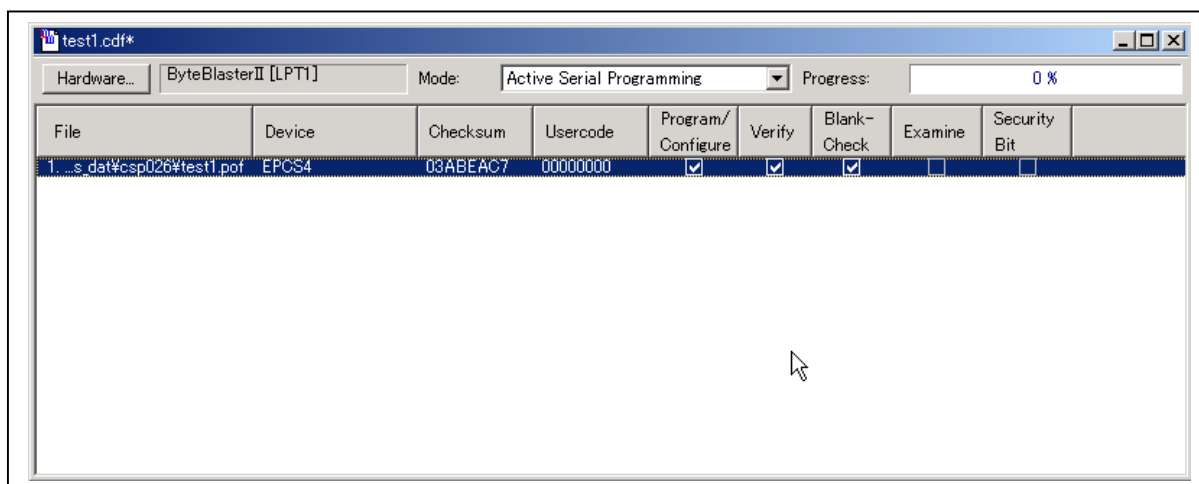
AutoDetect ボタンをクリックすると、実装されている FPGA が自動的に認識されます。コンパイルにより生成された SOF ファイルを設定し、コンフィグレーションを行います。

Quartus から CSP-026 上のコンフィグレーション ROM に ISP する方法

ダウンロードケーブルを AS 側 (CN10) に接続し、Programmer を起動します。

Mode を ActiveSerial... にします。

このとき、ダウンロードケーブルは ByteBlasterII または弊社の BL3 でなければなりません。(2MODE 対応の BLKIT でも可能)



AddFile ボタンをクリックし、コンパイルにより生成された POF ファイルを設定し、ROM への書き込み (isp) を行います。

GPIF コネクタピン割付表

GPIF コネクタピン割付表は、サポートページエクセルファイルをご用意していますので
どうぞ御活用ください。

BANK1、BANK3 : CN2,CN1,CN6,CN5

BANK2、BANK4 : CN4,CN3,CN8,CN7

CN2

FPGA ピン	信号名	コネクタピン		信号名	FPGA ピン
		1	2		
		3	4		
	V33A	5	6	V33A	
	5V	7	8	5V	
	GND	9	10	GND	
C2	B1L0	11	12	B1L1	D3
	GND	13	14	GND	
D2	B1L2	15	16	B1L3	D4
D1	B1L4	17	18	B1L5	E3
E2	B1L6	19	20	B1L7	F1
E4	B1L8	21	22	BL19	E5
	GND	23	24	GND	
F2	B1L10	25	26	B1L11	F3
F4	B1L12	27	28	B1L13	F5
G1	B1L14	29	30	B1L15	G2
F6	B1L16	31	32	B1L17	F7
	GND	33	34	GND	
G3	B1L18	35	36	B1L19	G4
G5	B1L20	37	38	B1L21	G6
H1	B1L22	39	40	B1L23	H2
H3	B1L24	41	42	B1L25	H4
	GND	43	44	GND	
H5	B1L26	45	46	B1L27	H6
K4	B1L28	47	48	B1L29	K5
L7	B1L30	49	50	B1L31	L6

CN1

FPGA ピン	信号名	コネクタピン		信号名	FPGA ピン
		1	2		
		3	4		
	V33A	5	6	V33A	
	5V	7	8	5V	
	GND	9	10	GND	
L2	B1L32	11	12	B1L33	L3
	GND	13	14	GND	
L5	B1L34	15	16	B1L35	L4
M1	B1L36	17	18	B1L37	M3
M2	B1L38	19	20	B1L39	M5
M4	B1L40	21	22	B1L41	N1
	GND	23	24	GND	
N2	B1L42	25	26	B1L43	M6
N7	B1L44	27	28	B1L45	N5
N6	B1L46	29	30	B1L47	N3
N4	B1L48	31	32	B1L49	P5
	GND	33	34	GND	
P2	B1L50	35	36	B1L51	P3
R1	B1L52	37	38	B1L53	P4
R2	B1L54	39	40	B1L55	R3
T2	B1L56	41	42	B1L57	T3
	GND	43	44	GND	
		45	46		
		47	48		
		49	50		

CN6

FPGA ピン	信号名	コネクタピン		信号名	FPGA ピン
		1	2		
		3	4		
	V33A	5	6	V33A	
	5V	7	8	5V	
	GND	9	10	GND	
T16	B3L0	11	12	B3L1	T17
	GND	13	14	GND	
R17	B3L2	15	16	B3L3	R18
R15	B3L4	17	18	B3L5	R16
P16	B3L6	19	20	B3L7	P17
P15	B3L8	21	22	B3L9	P14
	GND	23	24	GND	
N14	B3L10	25	26	B3L11	N18
N17	B3L12	27	28	B3L13	N13
N12	B3L14	29	30	B3L15	N16
N15	B3L16	31	32	B3L17	M18
	GND	33	34	GND	
M17	B3L18	35	36	B3L19	M14
M15	B3L20	37	38	B3L21	M16
L18	B3L22	39	40	B3L23	L17
M13	B3L24	41	42	B3L25	L13
	GND	43	44	GND	
L16	B3L26	45	46	B3L27	L15
L14	B3L28	47	48	B3L29	K16
K15	B3L30	49	50	B3L31	J14

CN5

FPGA ピン	信号名	コネクタピン		信号名	FPGA ピン
		1	2		
		3	4		
	V33A	5	6	V33A	
	5V	7	8	5V	
	GND	9	10	GND	
J13	B3L32	11	12	B3L33	H13
	GND	13	14	GND	
H14	B3L34	15	16	B3L35	H15
H16	B3L36	17	18	B3L37	H17
H18	B3L38	19	20	B3L39	G18
G17	B3L40	21	22	B3L41	G13
	GND	23	24	GND	
G14	B3L42	25	26	B3L43	G15
G16	B3L44	27	28	B3L45	G12
F12	B3L46	29	30	B3L47	F18
F17	B3L48	31	32	B3L49	F13
	GND	33	34	GND	
F14	B3L50	35	36	B3L51	F16
F15	B3L52	37	38	B3L53	E17
E16	B3L54	39	40	B3L55	E15
D18	B3L56	41	42	B3L57	E14
	GND	43	44	GND	
D16	B3L58	45	46	B3L59	D15
C17	B3L60	47	48	B3L61	D17
		49	50		

CN4

FPGA ピン	信号名	コネクタピン		信号名	FPGA ピン
		1	2		
		3	4		
	V33B	5	6	V33B	
	5V	7	8	5V	
	GND	9	10	GND	
C16	B2L0	11	12	B2L1	B16
	GND	13	14	GND	
B15	B2L2	15	16	B2L3	A15
C15	B2L4	17	18	B2L5	D14
B14	B2L6	19	20	B2L7	C14
E13	B2L8	21	22	BL19	B13
	GND	23	24	GND	
A13	B2L10	25	26	B2L11	D13
C13	B2L12	27	28	B2L13	D12
C12	B2L14	29	30	B2L15	B12
A12	B2L16	31	32	B2L17	C11
	GND	33	34	GND	
D11	B2L18	35	36	B2L19	B11
A11	B2L20	37	38	B2L21	E11
C10	B2L22	39	40	B2L23	D10
B10	B2L24	41	42	B2L25	A10
	GND	43	44	GND	
E10	B2L26	45	46	B2L27	D9
C9	B2L28	47	48	B2L29	A9
B9	B2L30	49	50	B2L31	D8

CN3

FPGA ピン	信号名	コネクタピン		信号名	FPGA ピン
		1	2		
		3	4		
	V33B	5	6	V33B	
	5V	7	8	5V	
	GND	9	10	GND	
C8	B2L32	11	12	B2L33	A8
	GND	13	14	GND	
B8	B2L34	15	16	B2L35	E8
E7	B2L36	17	18	B2L37	A7
B7	B2L38	19	20	B2L39	D7
C7	B2L40	21	22	B2L41	E6
	GND	23	24	GND	
D6	B2L42	25	26	B2L43	B6
C6	B2L44	27	28	B2L45	A6
B5	B2L46	29	30	B2L47	C5
D5	B2L48	31	32	B2L49	A4
	GND	33	34	GND	
B4	B2L50	35	36	B2L51	B3
C4	B2L52	37	38		
		39	40		
		41	42		
	GND	43	44	GND	
		45	46		
		47	48		
		49	50		

CN8

FPGA ピン	信号名	コネクタピン		信号名	FPGA ピン
		1	2		
		3	4		
	V33B	5	6	V33B	
	5V	7	8	5V	
	GND	9	10	GND	
U3	B4L0	11	12	B4L1	V4
	GND	13	14	GND	
T4	B4L2	15	16	B4L3	U4
T5	B4L4	17	18	B4L5	U5
R4	B4L6	19	20	B4L7	R5
V6	B4L8	21	22	B4L9	U6
	GND	23	24	GND	
P6	B4L10	25	26	B4L11	P7
T6	B4L12	27	28	B4L13	R6
U7	B4L14	29	30	B4L15	V7
T7	B4L16	31	32	B4L17	R7
	GND	33	34	GND	
U8	B4L18	35	36	B4L19	V8
T8	B4L20	37	38	B4L21	R8
U9	B4L22	39	40	B4L23	V9
R9	B4L24	41	42	B4L25	T9
	GND	43	44	GND	
P9	B4L26	45	46	B4L27	U10
V10	B4L28	47	48	B4L29	T10
R10	B4L30	49	50	B4L31	P10

CN7

FPGA ピン	信号名	コネクタピン		信号名	FPGA ピン
		1	2		
		3	4		
	V33B	5	6	V33B	
	5V	7	8	5V	
	GND	9	10	GND	
R11	B4L32	11	12	B4L33	T11
	GND	13	14	GND	
U11	B4L34	15	16	B4L35	V11
V12	B4L36	17	18	B4L37	U12
T12	B4L38	19	20	B4L39	R12
V13	B4L40	21	22	B4L41	U13
	GND	23	24	GND	
T13	B4L42	25	26	B4L43	R13
P12	B4L44	27	28	B4L45	P13
U14	B4L46	29	30	B4L47	T14
R14	B4L48	31	32	B4L49	V15
	GND	33	34	GND	
U15	B4L50	35	36	B4L51	U16
T15	B4L52	37	38		
		39	40		
		41	42		
	GND	43	44	GND	
		45	46		
		47	48		
		49	50		

付屬資料

1. 回路図

Cyclone ブレッドボード
CSP-026 シリーズ Rev 1

ユーザーズマニュアル
2003/11/13 Rev1 初版
2004/05/19 第2版

有限会社ヒューマンデータ

〒567-0034

大阪府茨木市中穂積1-2-51

シャトー春日第3ビル

TEL 072-620-2002

FAX 072-620-2003

U R L <http://www.hdl.co.jp>

M a i l support@hdl.co.jp
