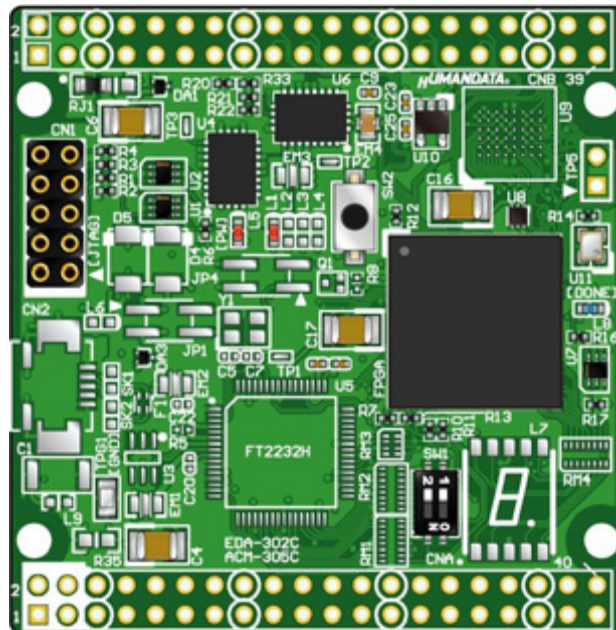




Cyclone V FPGA ボード  
ACM-305Z  
ユーザーズマニュアル  
Ver.1.0



ヒューマンデータ



# 目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 開発環境.....	2
3. 仕様.....	3
4. 製品概要.....	4
4.1 各部の名称.....	4
4.2 ブロック図.....	5
4.3 クロック.....	5
4.4 電源入力.....	6
4.5 I/O 電源、VIO(B)設定用ジャンパ(RJ1).....	6
4.6 設定スイッチ.....	7
4.7 FPGA コンフィギュレーション.....	8
4.8 JTAG/バウンダリスキャン.....	9
4.9 コンフィグ ROM アクセスファイル(jic ファイル)の作成.....	9
4.10 コンフィグ ROM アクセス.....	10
5. サポートページ.....	11
6. 付属資料.....	11
7. お問い合わせについて.....	11


● はじめに

この度は Cyclone V FPGA ボード ACM-305Z シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-305Z は、ALTERA 社の高性能 FPGA Cyclone V シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 <b>禁止</b>	1. 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電源を加えないでください。

 <b>注意</b>	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

## ● 改訂記録

日付	バージョン	改訂内容
2014/01/27	1.0	・初版発行

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード ACM-305Z	1
付属品	1
マニュアル(本書)	1*
ユーザー登録はがき	1*

\* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

## 2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

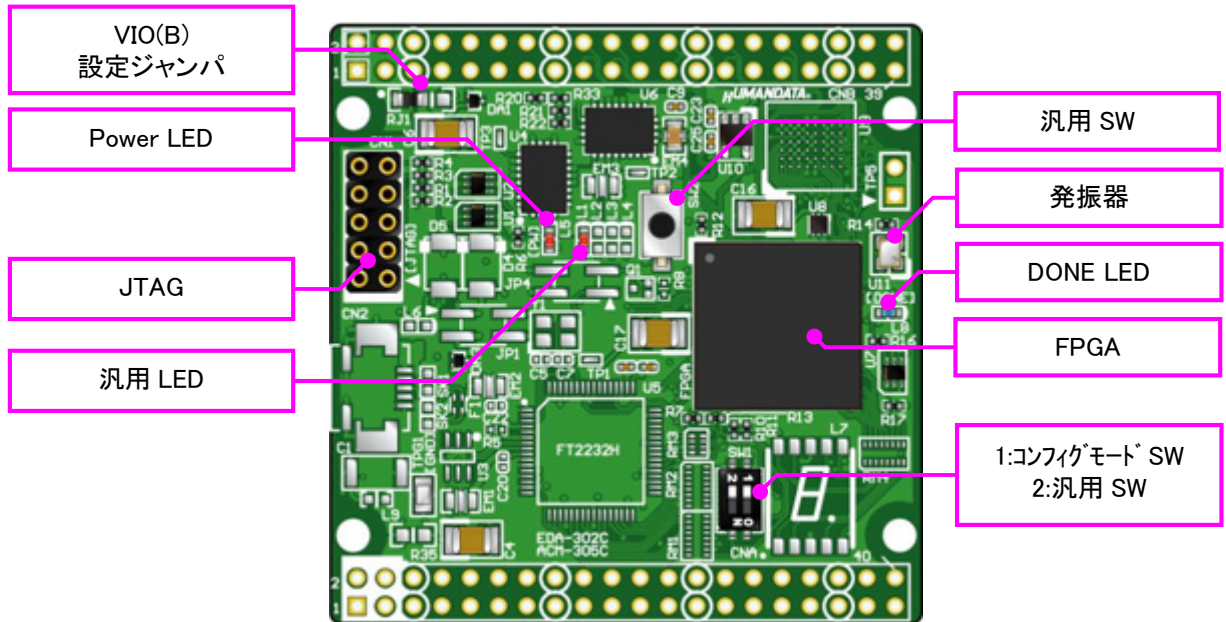
### 3. 仕様

製品型番	ACM-305Z-A2	ACM-305Z-A4
搭載 FPGA	5CEBA2U15C8N	5CEBA4U15C8N
ユーザ I/O	56 本 (CNA:28, CNB:28)	
コンフィグ ROM	EPCQ32 (Altera, 32Mbit)	
電源入力	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
オンボードクロック	50MHz (外部供給可能)	
汎用 LED	1 個	
汎用スイッチ	2 個 (押しボタン x1, DIP スイッチ x1bit)	
ステータス LED	2 個 (POWER, DONE)	
リセット回路	搭載 (240ms typ.)	
I/O コネクタ	40 ピンスルーホール 0.9 (typ.) [mm φ] x2 組 (2.54mm ピッチ)	
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
基板寸法	54 x 53 [mm]	
質量	約 20 [g]	
付属品	DIL10 ロングピンヘッダ (本体に取り付け済み) 1 個 DIL40 ピンヘッダ 2 個 (任意にカット可能)	
消費電流	ユーザの FPGA デザインに依存します	

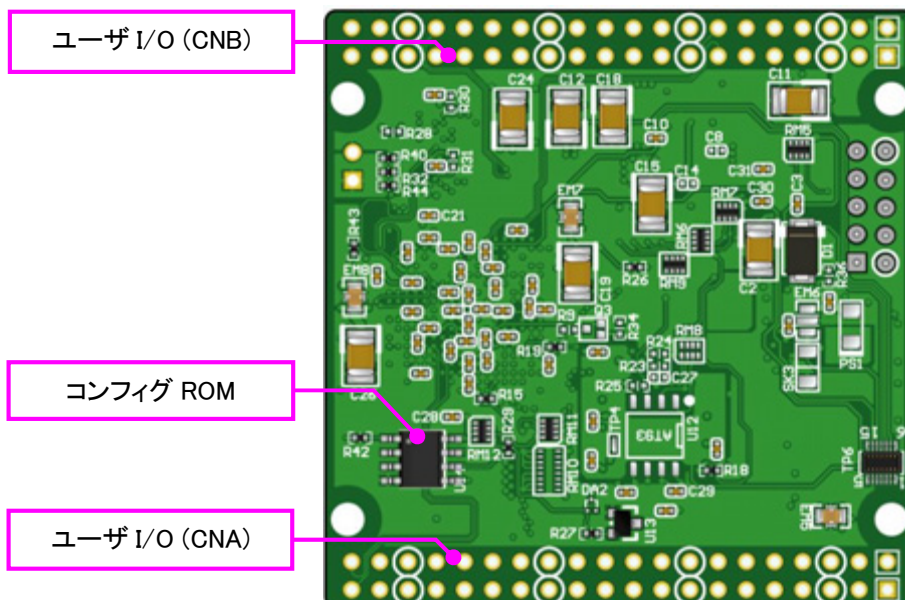
\* これらの部品や仕様は変更となる場合がございます

## 4. 製品概要

### 4.1 各部の名称

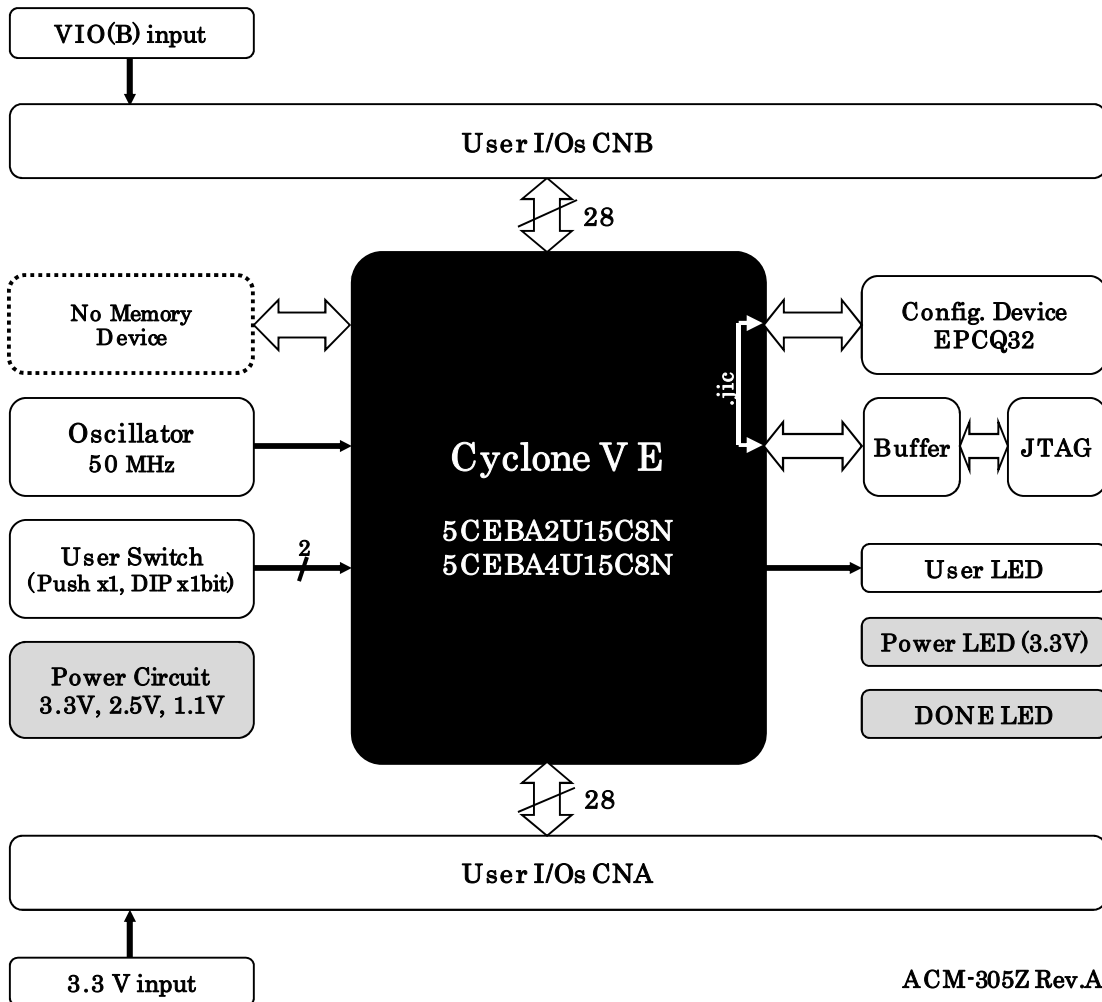


部品面



はんだ面

## 4.2 ブロック図



ACM-305Z Rev.A

## 4.3 クロック

オンボードクロックとして 50MHz(U11)を搭載しています。また、一部汎用 I/O がクロック入力ピンと兼用になっています。詳しくは回路図をご参照ください。



#### 4.4 電源入力

電源は CNA, CNB コネクタの 1, 2 番ピンより 3.3V を供給してください。内部電源はオンボードレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。



#### 4.5 I/O 電源、VIO(B)設定用ジャンパ(RJ1)

本ボードでは、FPGA のバンクを下表のようにグループ分けしています。

FPGA BANK	Vccio ネットラベル	BANK Group	メモ
2A	V33A	A	IOA, その他
3A	V33A	A	Configuration
3B	V33A	A	-
4A	V33A	A	IOA, その他
5A	V33A	A	その他
5B	V33A	A	IOA, その他
6A	V33A	A	-
7A	VIO(B)	B	IOB
8A	VIO(B)	B	IOB

Bank Group A/B の Vccio は分離されており、Group A は V33A(3.3V)に固定されています。Group B には、CNB からの入力を供給することが可能です。また、RJ1 を設定することにより、VIO(B)に V33A を使用することも可能です。詳しくは回路図を参照してください。

Vccio に供給可能な電圧に関しては FPGA のデータシートをご参照ください。

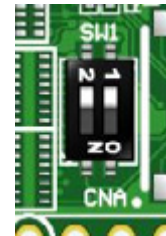
RJ1[1-2] 	- CNB からの外部入力を VIO(B)に使用します 設計に合った電圧を CNB から供給することができます(出荷時設定)
RJ1[2-3] 	-オンボード 3.3V (V33A)を VIO(B)に使用します

#### 4.6 設定スイッチ

設定スイッチによりコンフィギュレーションモードを変更することが可能です。各ピンの詳細については ALTERA 社のコンフィギュレーションハンドブックをご参照ください。

SW1

2	1	コンフィギュレーションモード
ASW2	MSEL1	
汎用	OFF	AS
汎用	ON	PS



- ・PS (Passive Serial) モード :JTAG アクセスの際に設定してください
- ・AS (Active Serial) モード :下記の場合に設定してください
  - コンフィグ ROM にアクセスする (データ書込み、消去など)
  - コンフィグ ROM から FPGA をコンフィギュレーションする (電源投入時)

#### 4.7 FPGA コンフィギュレーション

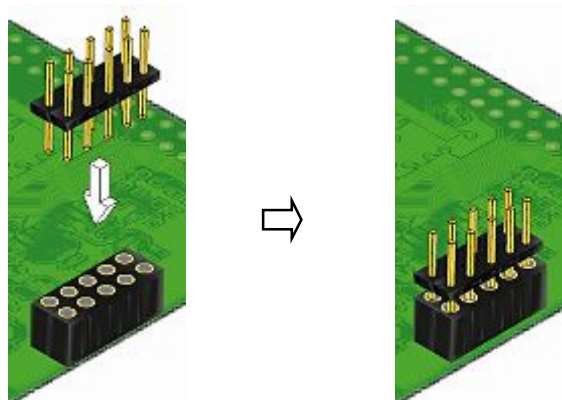
JTAG コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、AS モードにて電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN3

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



使用例

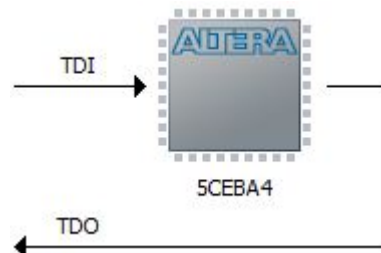
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。

**注意**

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

## 4.8 JTAG/バウンダリスキャン

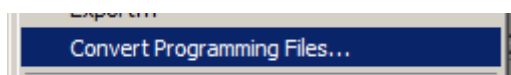
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



## 4.9 コンフィグ ROM アクセスファイル(jic ファイル)の作成

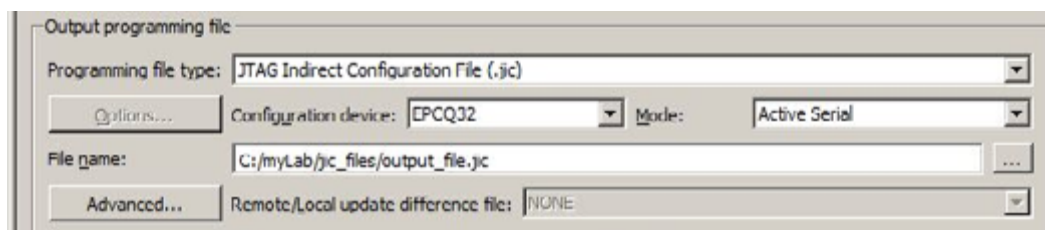
コンフィギュレーション ROM へ書き込むためには jic(JTAG Indirect Configuration) ファイルが必要となります。作成手順を以下に示します。

- (1) QuartusII の【File】から、【 Convert Programming Files..】をクリックします

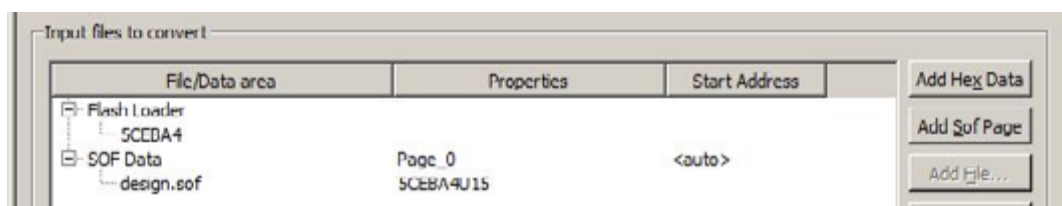


- (2) 設定画面にて必要な項目を設定します

- 【Programming File type】 : JTAG Indirect Configuration File (.jic)
- 【Configuration device】 : EPCQ32
- 【File name】 : 任意
- 【Memory Map File】 : チェック無し



- (3) 【Flash Loader】を選択し【Add Device..】をクリックします
- (4) 搭載デバイスを選択し【OK】をクリックします
- (5) 【SOF Data】を選択し【Add File..】をクリックします
- (6) 変換する sof データを選択し【OK】をクリックします

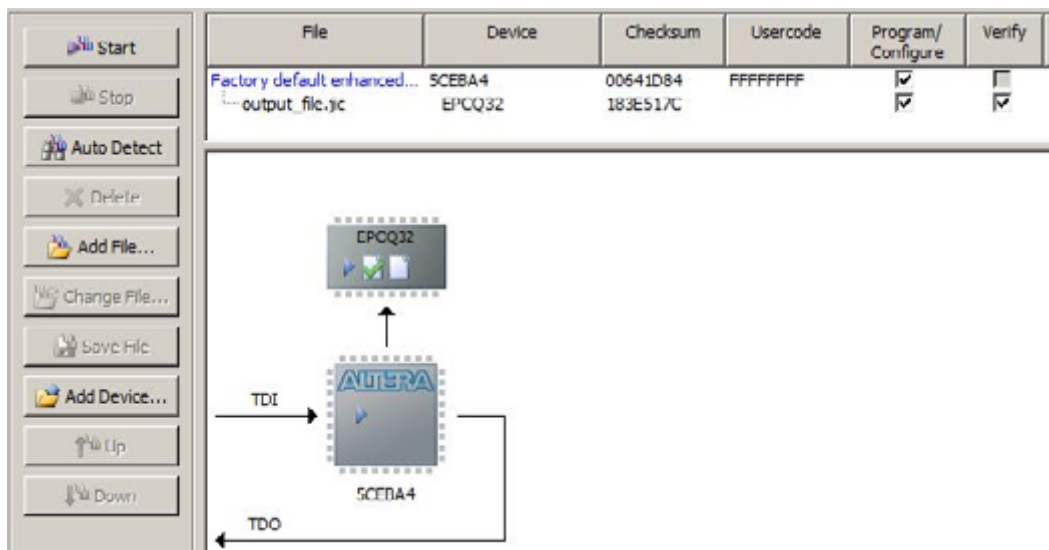


- (7) 【Generate】をクリックします

#### 4.10 コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは設定スイッチ（SW1）により AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし jic ファイルを選択します
- (2) 【Program/Configure】にチェックを入れ、【Start】をクリックします



## 5. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-305Z/index.html>

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

- 回路図
- ピン割付表
- 外形図
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

## 6. 付属資料

1. 基板外形図
2. 基板回路図(別紙)

## 7. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

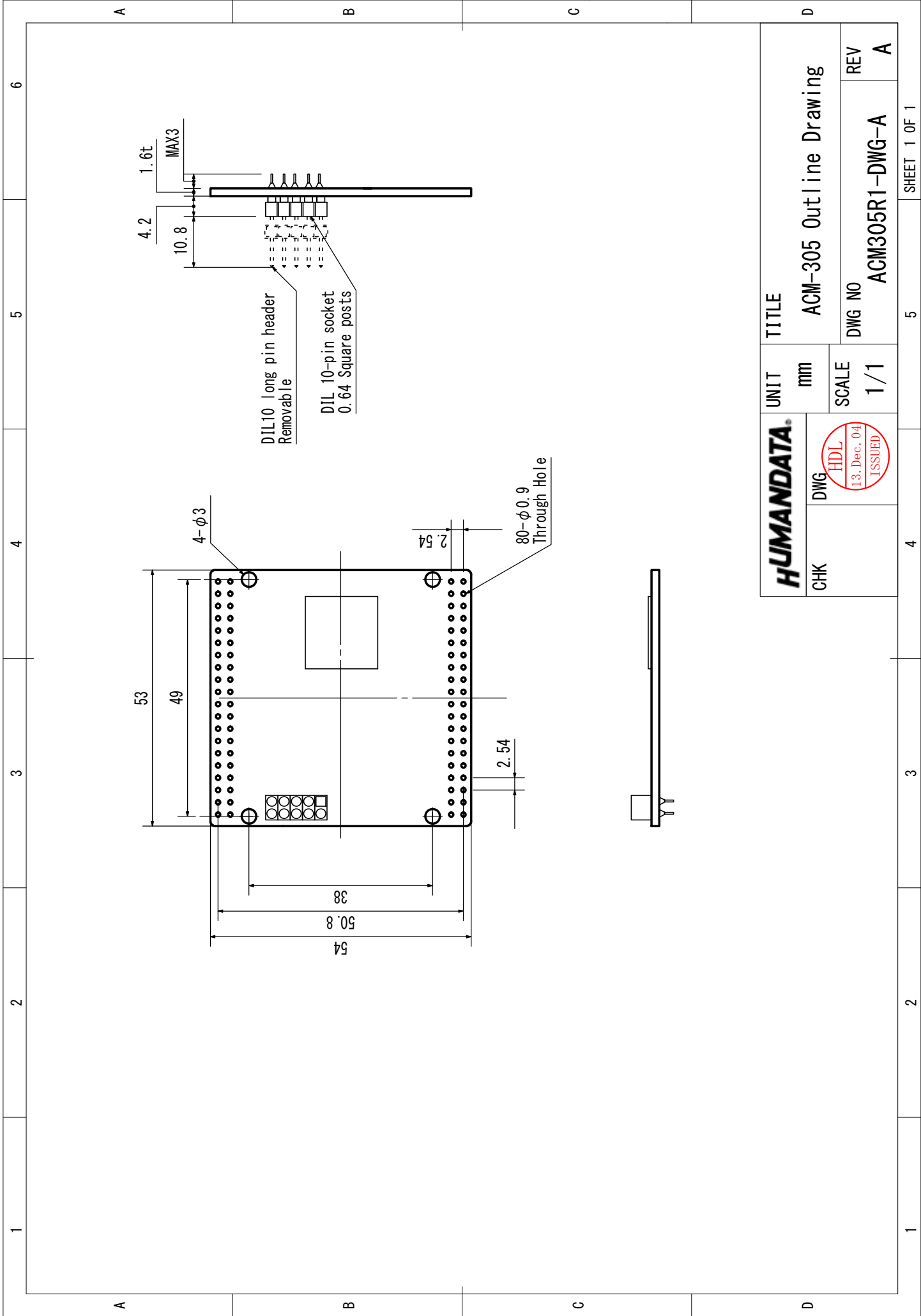
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

### おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただいております。あらかじめご了承下さいませ。



<b>HUMANDATA</b>		UNIT	TITLE
CHK	DWG	mm	ACM-305 Outline Drawing
		SCALE	DWG NO
		1/1	ACM305R1-DWG-A
			REV
			A

---

## **Cyclone V FPGA ボード**

ACM-305Z シリーズ  
ユーザーズマニュアル

2014/01/27 Ver.1.0

---

### **有限会社ヒューマンデータ**

〒567-0034  
大阪府茨木市中穂積 1-2-10  
ジブラルタ生命茨木ビル

TEL 072-620-2002  
FAX 072-620-2003  
URL <http://www.hdl.co.jp/>

---