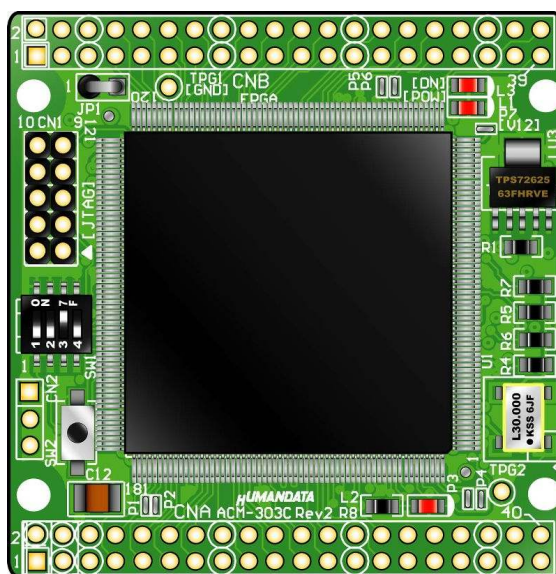


Cyclone III ブレッドボード
(セミカードサイズ)



ACM-303 シリーズ
ユーザーズマニュアル
Ver.2.1



ヒューマンデータ

目次



● はじめに	1
● ご注意	1
● 改訂記録	2
1. 製品の内容について	2
2. 仕様	2
3. 固定ピンについて 【重要】	3
4. 製品概要	4
4.1. 各部の名称	4
4.2. ブロック図	5
4.3. 電源入力	5
4.4. JTAG コネクタ	6
5. FPGA のコンフィギュレーション	7
6. コンフィギュレーション ROM への書込み	9
6.1. jic ファイルの作成	9
6.2. コンフィギュレーション ROM に ISP (書込み)	12
6.3. ROM から FPGA へコンフィギュレーション	13
7. 設定スイッチの説明	14
8. ピン割付表	15
8.1. CNA	15
8.2. CNB	16
8.3. オンボードクロック	17
8.4. 汎用 LED	17
8.5. 汎用スイッチ	17
8.6. シリアルインタフェース	17
9. サポートページ	18
10. 付属資料	18

● はじめに

この度は、CycloneⅢブレッドボード／ACM-303 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-303 シリーズは、アルテラ社の高性能 FPGA である CycloneⅢ を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROM などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2008/07/01	1.0	初版発行
2009/10/02	2.0	2. 仕様 外形寸法、プリント基板の訂正 3. 製品概要 改版による基板イラストの訂正
2010/04/08	2.1	仕様の変更 コンフィグ ROM 変更 (EPCS16S116N → EPCS16S18N)

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-303	1
付属品	1
マニュアル (本書)	1*
ユーザー登録はがき	1*

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます。)

2. 仕様

製品型番	ACM-303-16C8	ACM-303-40C8
搭載 FPGA	EP3C16Q240C8N	EP3C40Q240C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	53×54 [mm]	
質量	約 25 [g]	
ユーザ I/O	56 本	
I/O コネクタ	40 ピンスルーホール 0.9[mmΦ]×2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 6 層基板 1.6t	
コンフィグ ROM	EPCS16S18N (ALTERA)	
オンボードクロック	30MHz	
リセット回路	内蔵 (200ms TYP)	
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER-LED, DONE-LED)	
汎用 LED	1 個	
汎用スイッチ	押しボタン SW 1 個 ディップ SW 1 個	
付属品	DIL10 ピンヘッダ 1 個 (本体に取付け済み) *1 DIL40 ピンヘッダ 2 個 (任意にカット可能) *1	

*1 互換品に変更されることがあります

3. 固定ピンについて **【重要】**

本ボードでは、下記のピンが GND または VCCINT (1.2V) に固定されています。
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。
 EP3C40 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

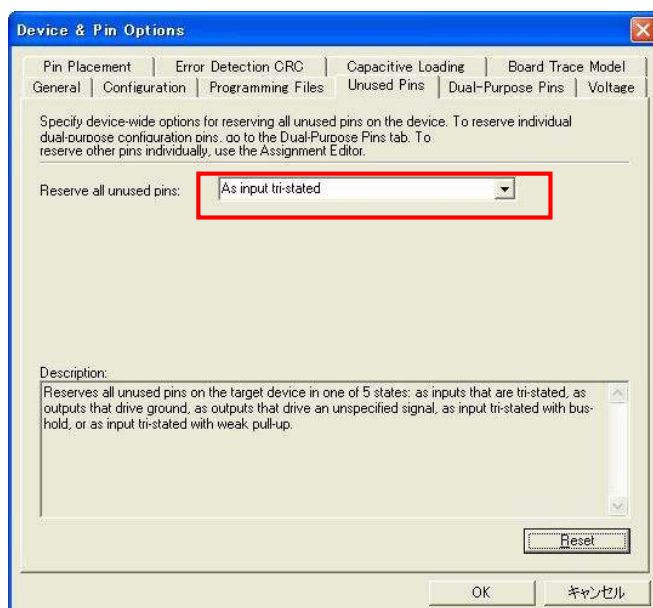
固定ピン一覧

NET LABEL	FPGA ピン#
GND	5
GND	20
GND	65
GND	72
GND	86
GND	102
GND	109
GND	148
GND	168
GND	182
GND	199
GND	222
GND	234
GND	238

NET LABEL	FPGA ピン#
V12	4
V12	19
V12	64
V12	71
V12	85
V12	101
V12	107
V12	108
V12	147
V12	181
V12	198
V12	220
V12	233
V12	237

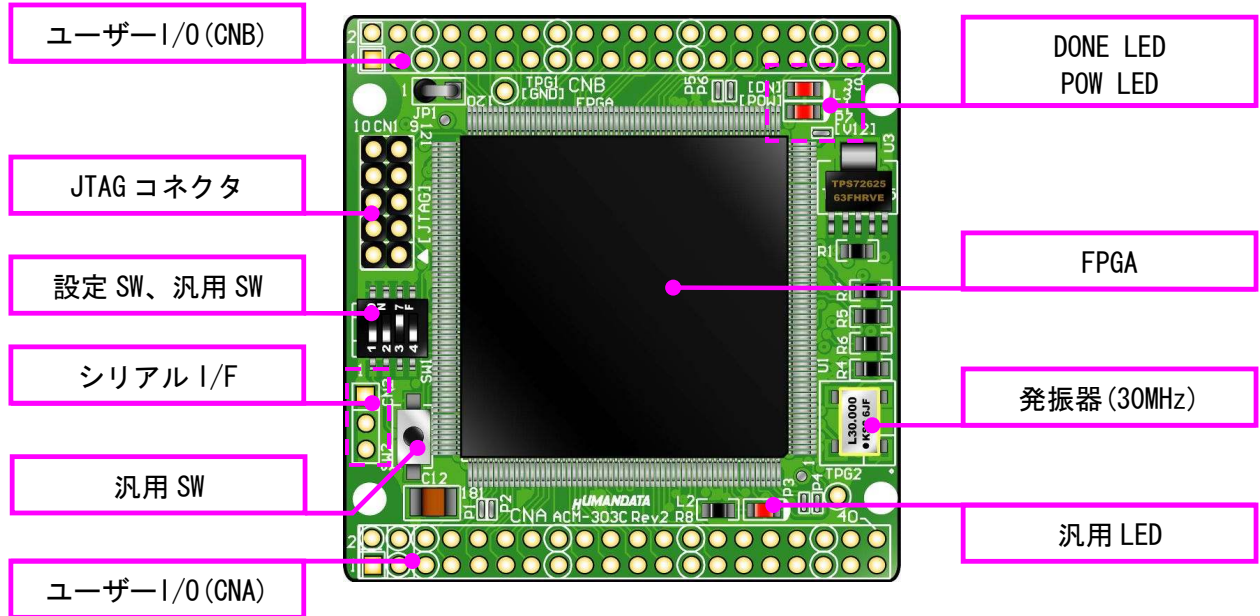
ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus II の **【Assignments】** のタブにある **【Device...】** を開きます。
【Device & Pin Options...】 をクリックし **【Unused Pins】** のタブを開きます。
 Reserve all unused pins の設定を **【As inputs tri-stated】** にします。

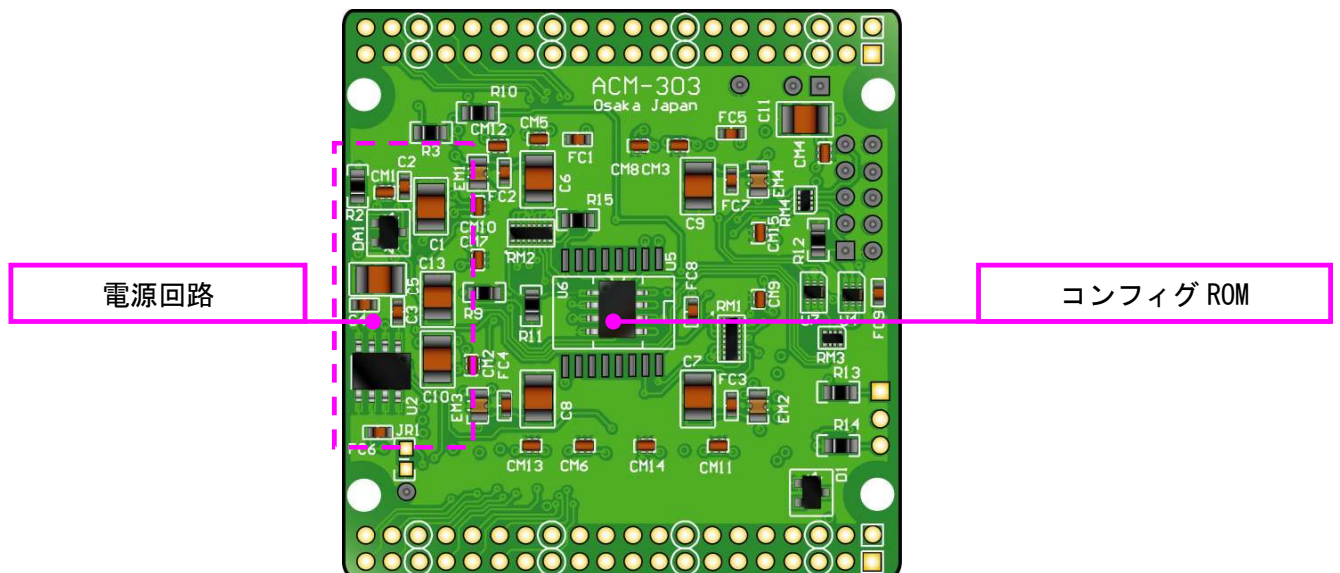


4. 製品概要

4.1. 各部の名称

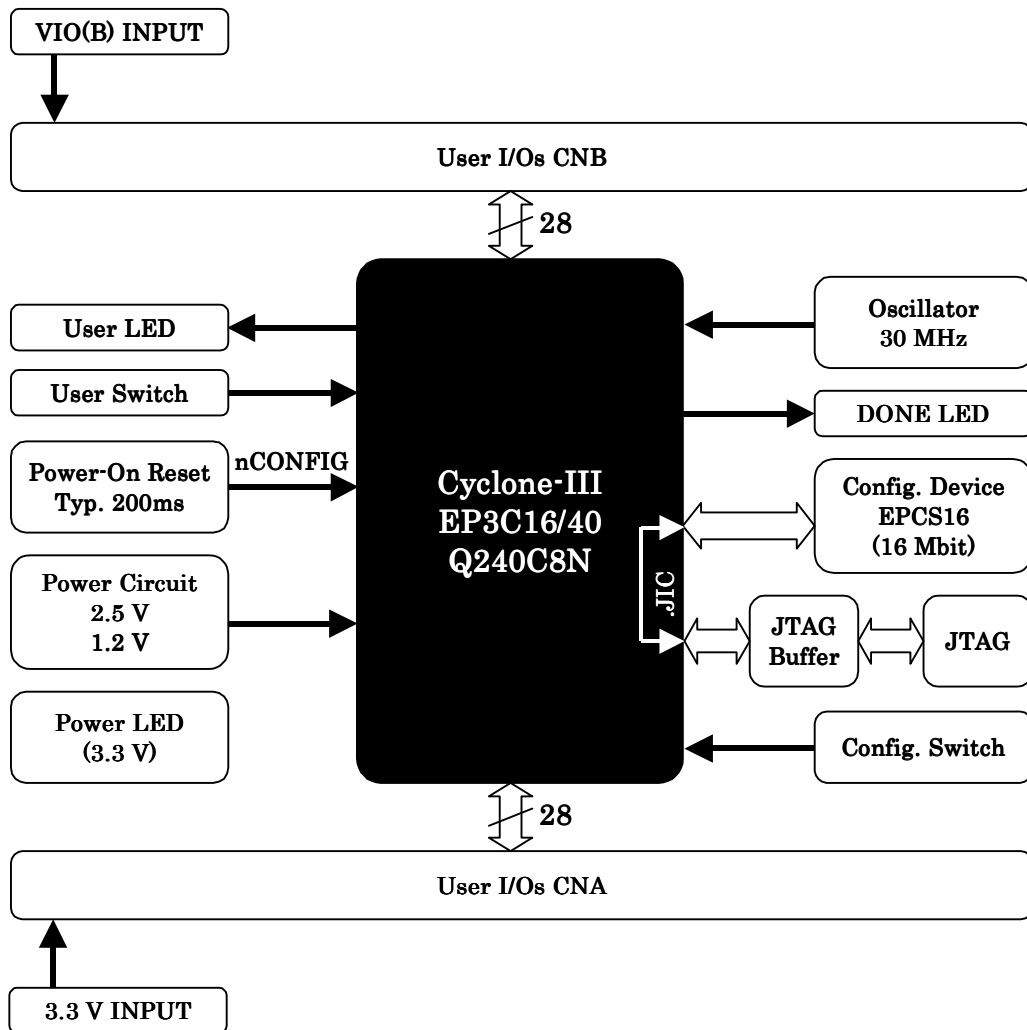


部品面



はんだ面

4.2. ブロック図



4.3. 電源入力

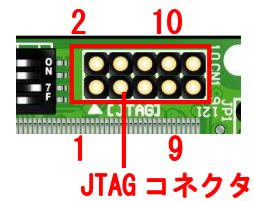
本ボードは、DC 3.3V 単一電源で動作します。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

メモ

電源は CNA、CNB から **太い配線** で供給してください。
電源、GND はすべてのピンに接続することをお勧めします

4.4. JTAG コネクタ

FPGA へのコンフィギュレーション及び
コンフィギュレーション ROM の ISP に
使用します。
ピン配置は次表のとおりです。

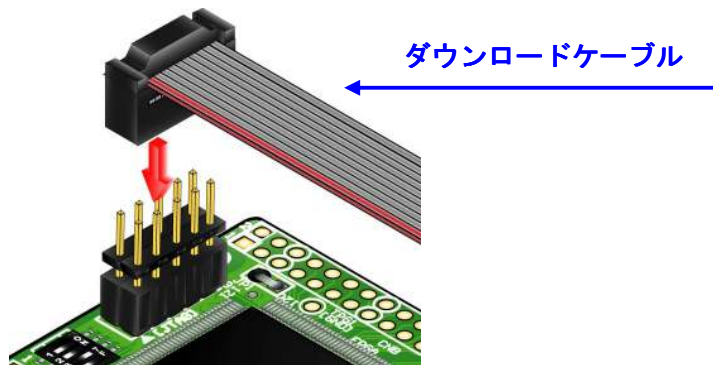


CN1

回路図上信号名	ダウンロードケーブル 信号名	ピン番号		ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブルBL3の10ピンコネクタと1:1で対応しています。
ALTERA社の純正ケーブルを用いることもできます。
また、ダウンロードケーブルと本品との接続には付属品DIL10ピンヘッダをご
利用できます

使用例



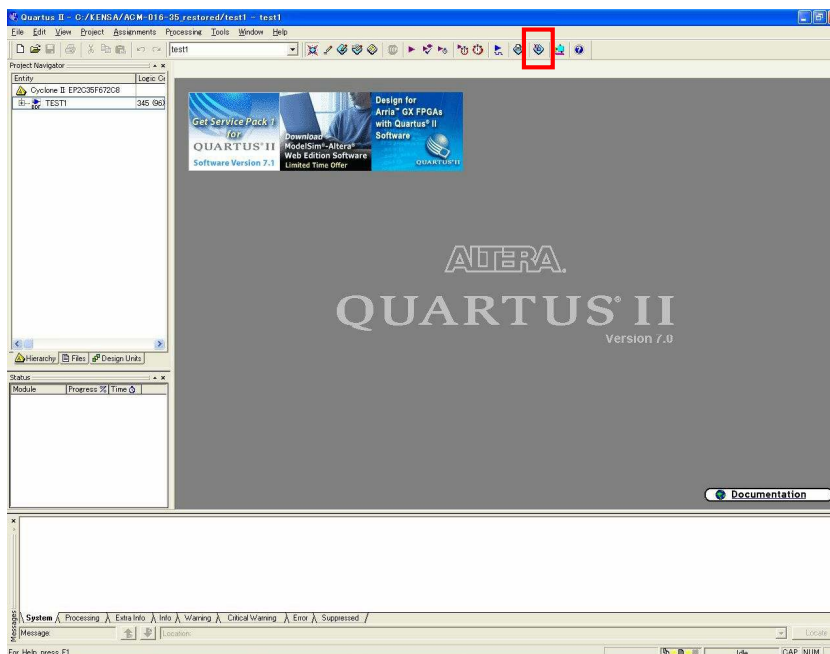
注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

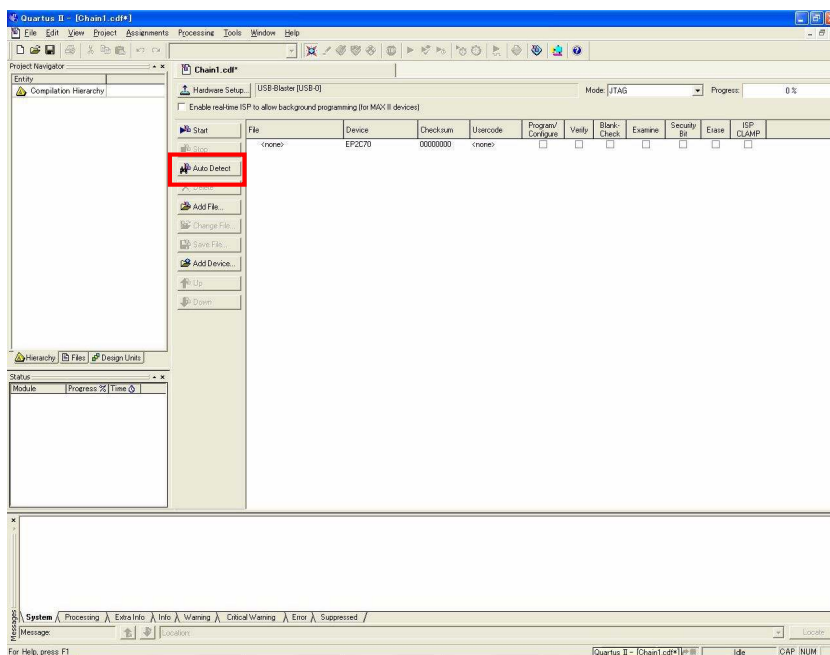
5. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

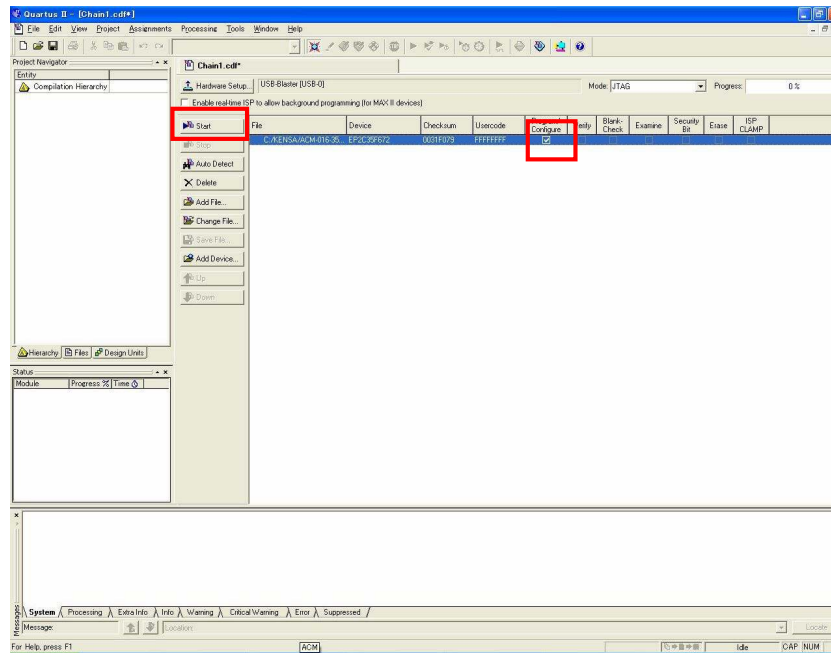
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】をクリックします。
ファイル名が【none】になっているので【none】部分をダブルクリックしコンフィギュレーションするファイルを指定します。(sof ファイル)



- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします。



正常にコンフィギュレーションが出来ればACM-303のボード上のLED2が点灯します。

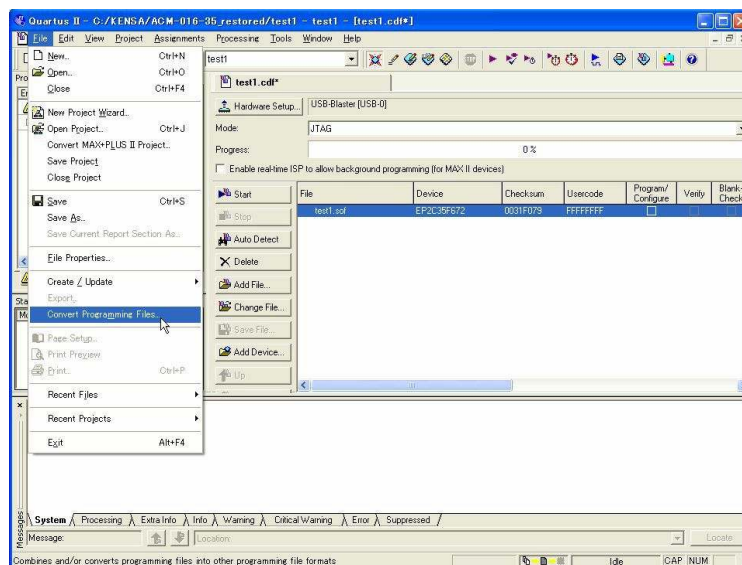
6. コンフィギュレーション ROM への書込み

ACM-303 にはコンフィギュレーション ROM (EPCS16) が実装されています。
 コンフィギュレーション ROM に ISP するためには QuartusII により .jic ファイルを作成します。

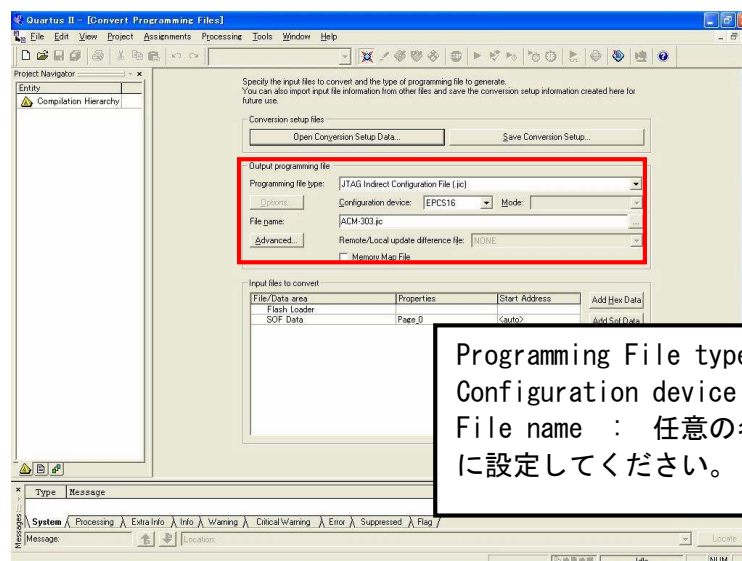
6.1. jic ファイルの作成

JIC ファイルは JTAG より FPGA を用いてコンフィギュレーション ROM へ書き込むためのファイルです。

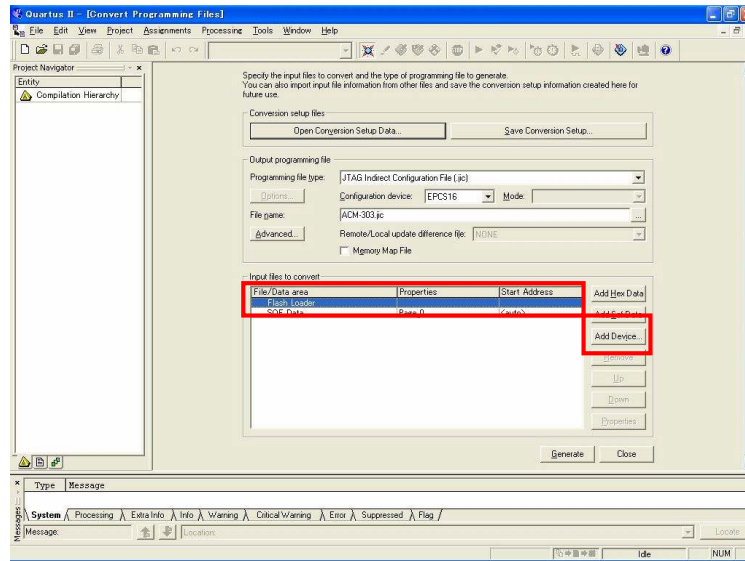
- ▼ QuartusII を起動し【FILE/Convert Programming Files】をクリックします。



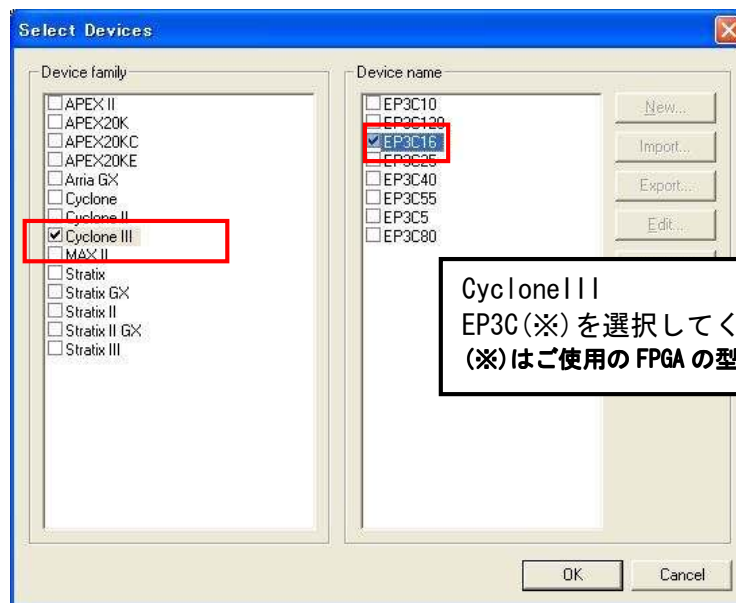
- ▼ 次に【Programming File type】【Configuration device】【File name】を下記のとおり指定し【Memory Map File】のチェックを外します。



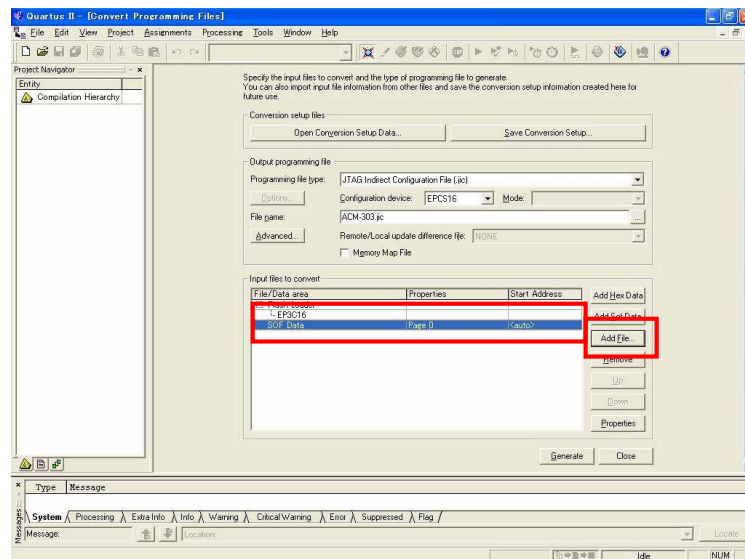
- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください。



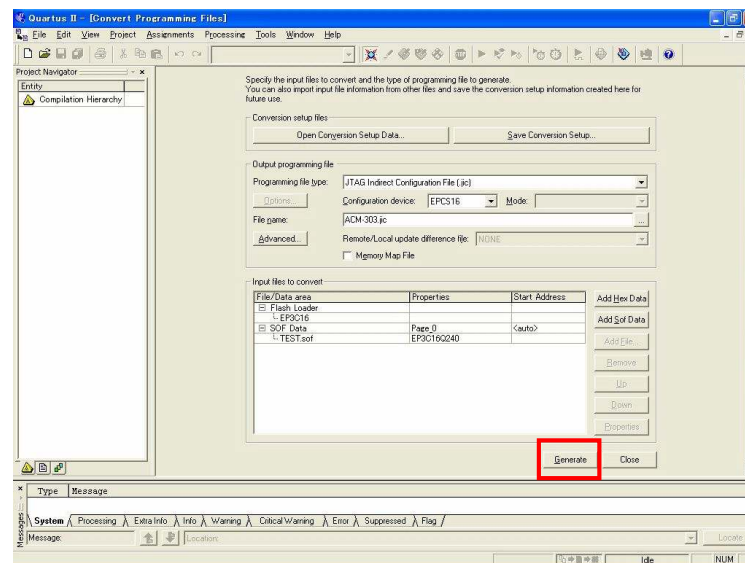
- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします。



- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください。



- ▼ 【Generate】をクリックしてください。



これで .jic ファイルができました。

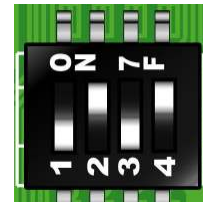
6.2. コンフィギュレーション ROM に ISP (書込み)

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するようにしてください。

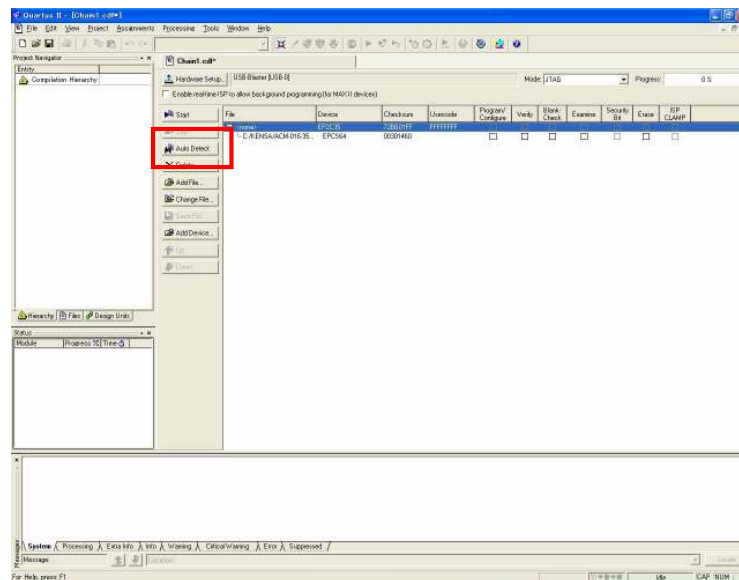
ROM に ISP する際、SW1 の設定が必要です。
SW1 の設定を下記のように設定してください。

SW1	1	2	3	4
ON	X	■		■
OFF	X		■	

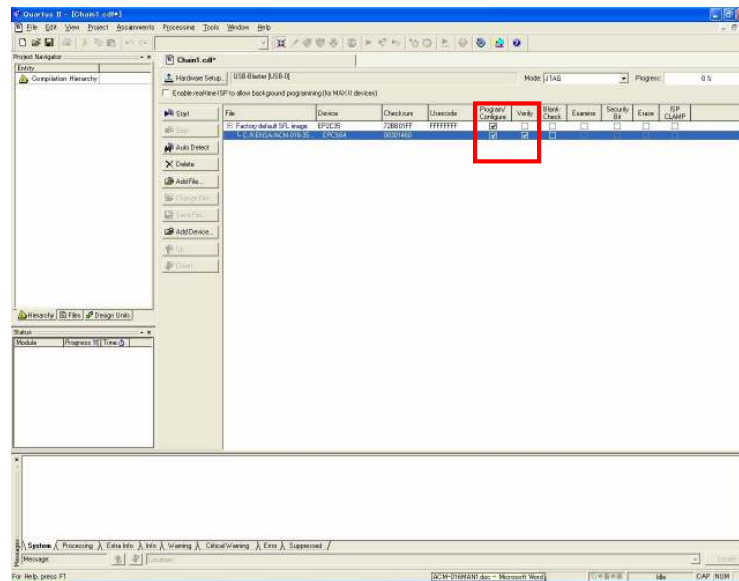
X : Don't Care



- ▼ 6.1 項で作成した .jic ファイルを使用します【Auto Detect】をクリックし .jic ファイルを指定してください。



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください。



6.3. ROM から FPGA ヘコンフィギュレーション

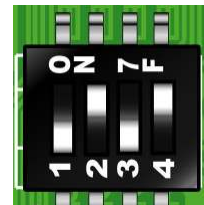
FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するようにしてください。

ROM から FPGA にコンフィギュレーションする際、SW1 の設定が必要です。

SW1 の設定を下記のように設定してください。

SW1	1	2	3	4
ON	X	■		■
OFF	X		■	

X : Don't Care



設定が終了しましたら、電源を入れなおすと ROM から FPGA ヘコンフィギュレーションされます。

7. 設定スイッチの説明

SW1 は FPGA の MSEL0, MSEL1, MSEL2 を設定します。

CycloneIII のコンフィギュレーションモード(一部)

コンフィギュレーション・モード	MSEL2	MSEL1	MSEL0
PS モード	0	0	0
AS モード	0	1	0
JTAG	1	1	1

SW1 MSEL0, MSEL1, MSEL2 信号 設定用

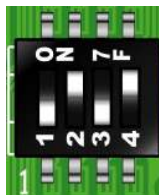
番号	1	2	3	4
NET_LABEL	PSW1	MSEL2	MSEL1	MSEL0
出荷時	OFF	OFF	OFF	OFF
説明	汎用	モードセレクトピン		

ROM 使用時 : SW1 (2, 4 ON)

MSEL0 = 0

MSEL1 = 1

MSEL2 = 0

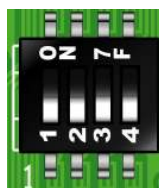


JTAG 使用時 : SW1 (SW1 の状態に影響されません)

MSEL0 = 任意

MSEL1 = 任意

MSEL2 = 任意



(出荷時)

メモ

詳しくは ALTERA 社最新データシートをご覧ください。

8. ピン割付表

8.1. CNA

BANK	NET LABEL	FPGA ピン#	CNA ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	183	7	8	184	IOA1	A
A	IOA2	187	9	10	188	IOA3	A
A	IOA4	189	11	12	194	IOA5	A
A	IOA6	195	13	14	196	IOA7	A
		GND	15	16	GND		
A	IOA8	197	17	18	200	IOA9	A
A	IOA10	201	19	20	202	IOA11	A
A	IOA12	203	21	22	207	IOA13	A
A	IOA14	214	23	24	216	IOA15	A
		GND	25	26	GND		
A	IOA16	217	27	28	218	IOA17	A
A	IOA18	219	29	30	221	IOA19	A
A	IOA20	223	31	32	224	IOA21	A
A	IOA22	226	33	34	230	IOA23	A
		GND	35	36	GND		
A	IOA24	231	37	38	232	IOA25	A
A	IOA26	235	39	40	236	IOA27	A

8.2. CNB

BANK	NET LABEL	FPGA ピン#	CNB ピン#		FPGA ピン#	NET LABEL	BANK
		VIO(B) *1	1	2	VIO(B) *1		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	118	7	8	117	IOB1	B
B	IOB2	114	9	10	113	IOB3	B
B	IOB4	112	11	12	111	IOB5	B
B	IOB6	110	13	14	107	IOB7	B
		GND	15	16	GND		
B	IOB8	103	17	18	106	IOB9	B
B	IOB10	99	19	20	100	IOB11	B
B	IOB12	95	21	22	98	IOB13	B
B	IOB14	93	23	24	94	IOB15	B
		GND	25	26	GND		
B	IOB16	87	27	28	88	IOB17	B
B	IOB18	83	29	30	84	IOB19	B
B	IOB20	81	31	32	82	IOB21	B
B	IOB22	78	33	34	80	IOB23	B
		GND	35	36	GND		
B	IOB24	73	37	38	76	IOB25	B
B	IOB26	63	39	40	68	IOB27	B

*1 VIO(B)は通常 3.3V。変更時は JP1 を取外す。

8.3. オンボードクロック

周波数	NET LABEL	FPGA ピン#
30MHz	CLK-A	209,210,211,212
	CLK-B	31,32,33,34
	CLK-C	149,150,151,152
	CLK-D	89,90,91,92

8.4. 汎用 LED

LED	NET LABEL	FPGA ピン#
L2	ULED2	18

8.5. 汎用スイッチ

SW	NET LABEL	FPGA ピン#
SW1-1	PSW1	177
SW2	PSW2	162

8.6. シリアルインタフェース

NET LABEL	FPGA ピン#
D_RXD	166
D_TXD	161

9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-303/index.html>

- 回路図
- ピン割付表
- 外形図
- ネットリスト

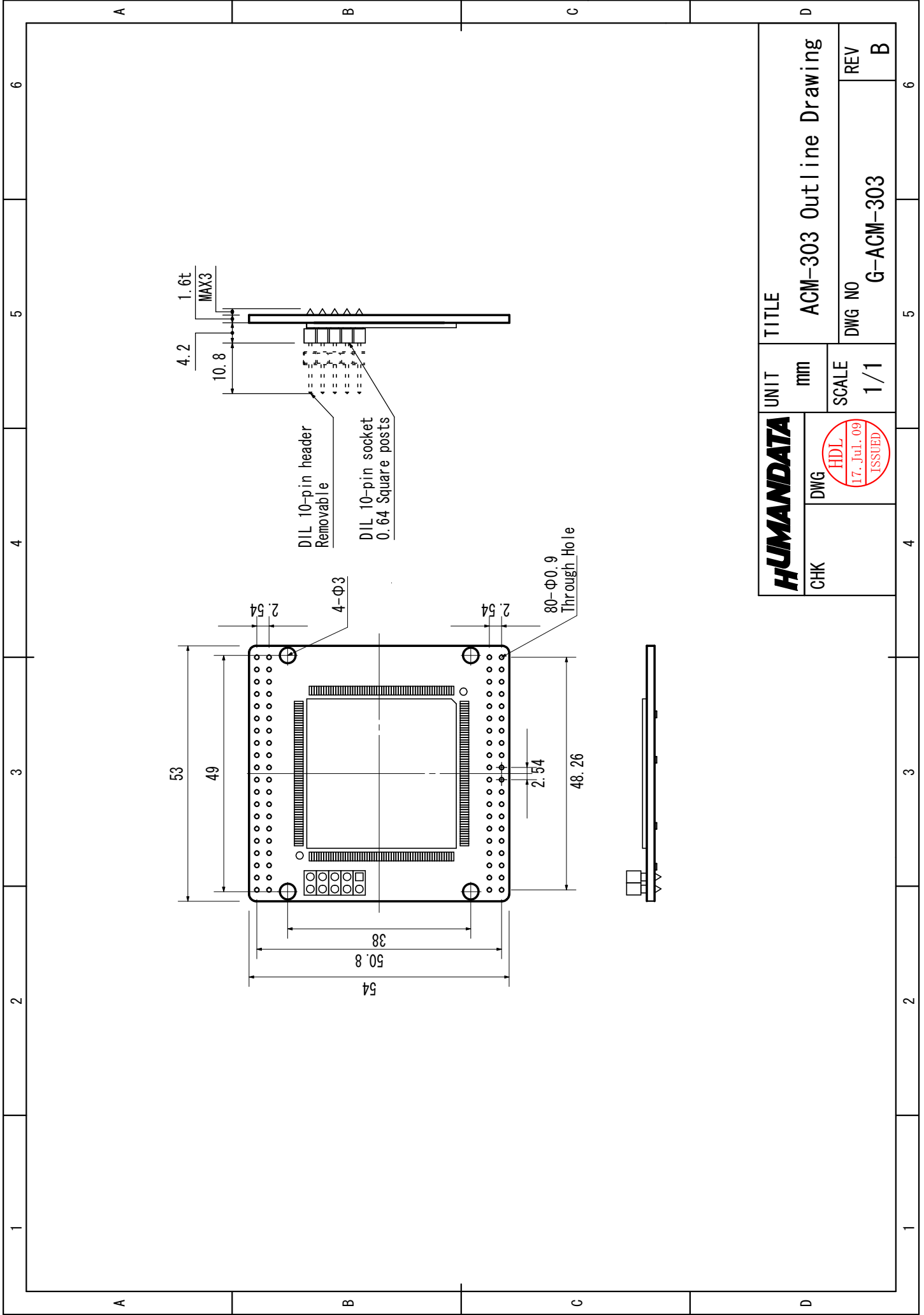
...等

また下記サポートページも合わせてご活用ください。

http://www.hdl.co.jp/support_c.html

10. 付属資料

1. 回路図(別紙)
2. 基板外形図



HUMANDATA	UNIT	TITLE	
	mm	ACM-303 Outline Drawing	
CHK	DWG	SCALE	DWG NO
		1/1	G-ACM-303
			REV
			B



CycloneⅢブレッドボード
ACM-303 シリーズ
ユーザーズマニュアル

2008/07/01 Ver. 1.0 (初版)
2009/10/02 Ver. 2.0 (第2版)

2010/04/08 Ver. 2.1

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
