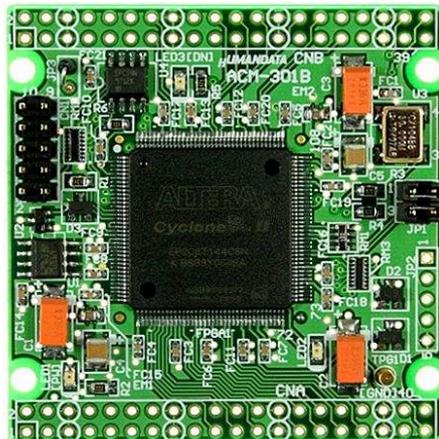




Cyclone II ブレッドボード
ACM-301 シリーズ
ユーザーズマニュアル
第3版



ヒューマンデータ

目次

はじめに.....	1
ご注意.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品概要.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 電源入力.....	4
3.4. JTAG コネクタ.....	5
4. FPGA のコンフィギュレーション.....	6
5. コンフィギュレーション ROM への書込み.....	8
5.1. .jic ファイルの作成.....	8
5.2. コンフィギュレーション ROM に ISP(書込み).....	11
5.3. ジャンプスイッチの説明.....	12
6. ピン割付表.....	13
6.1. CNA.....	13
6.2. CNB.....	14
6.3. CLK.....	15
6.4. 外部入力 CLK.....	15
6.5. 汎用 LED.....	15
7. 固定ピンについて 【重要】	16
8. ACM-301 シリーズ 参考資料について.....	17
9. 付属資料.....	17

はじめに

この度は、Cyclone II ブレッドボード/ACM-301 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-301 シリーズは、アルテラ社の高性能 FPGA である Cyclone II を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。

どうぞご活用ください。

ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。

文書改訂記録

改訂年月日	版	改訂内容	備考
2009年8月5日	3	5.1項. jic ファイル作成方法追記 他	

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-301 シリーズ	1
付属品	1
マニュアル (本書)	1*
ユーザー登録はがき	1*

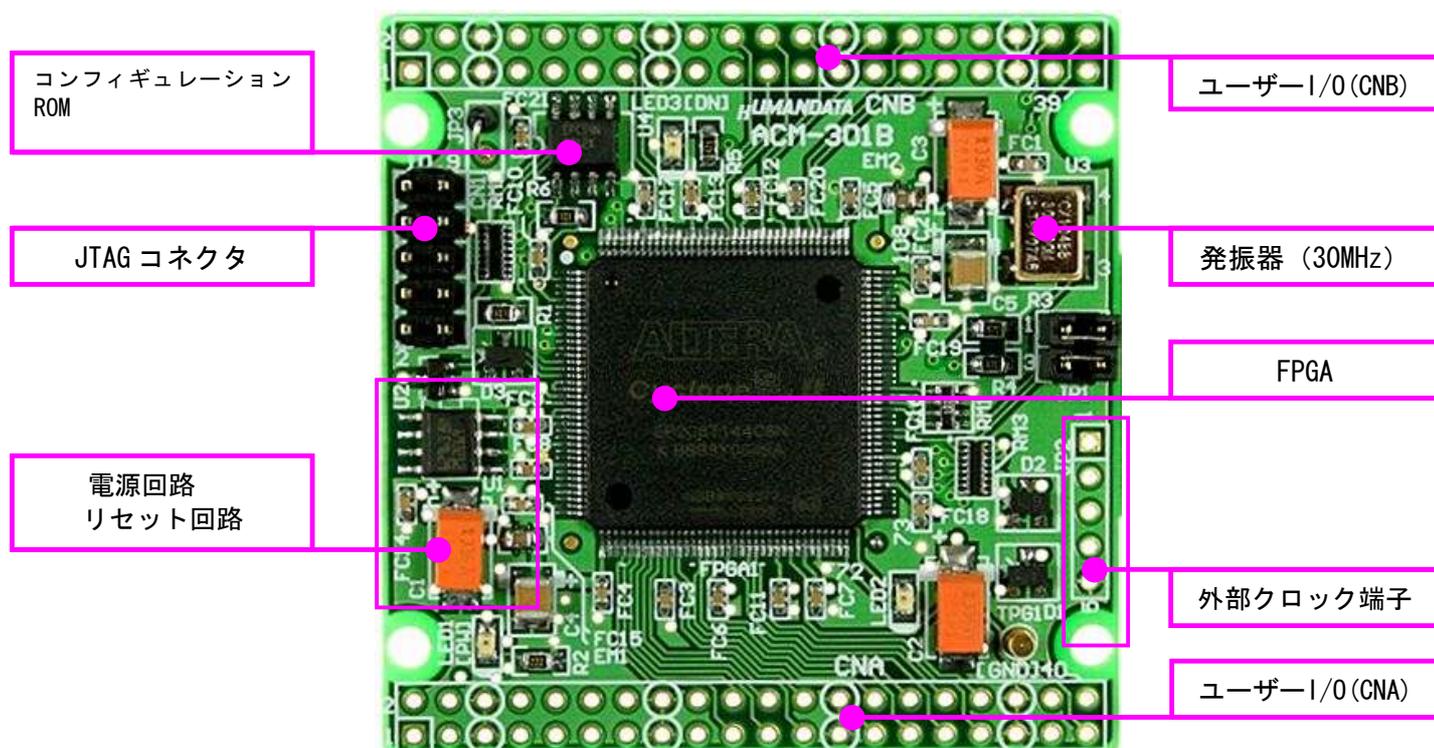
*オーダー毎に1部の場合があります。(ご要望により追加請求できます)

2. 仕様

製品型番	ACM-301-5	ACM-301-8
搭載 FPGA	EP2C5T144C8N	EP2C8T144C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	54×53 [mm]	
質量	約 15 [g]	
ユーザー I/O	56 本 (28 本×2)	
I/O コネクタ	40 ピンスルーホール 0.9[mm]×2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィギュレーション ROM	EPCS4S18N (ALTERA)	
クロック	オンボード 30MHz 外部供給可能	
リセット回路	内蔵 (240ms TYP)	
JTAG コネクタ	DIP10 ピン 2.54mm ピッチ	
ステータス LED	2 個 (POWER-LED , DONE-LED)	
汎用 LED	1 個	
付属品	DIP40 ピンヘッダ 2 本 ジャンパソケット 2 個(本体に取り付け済み) + 2 個(予備)	

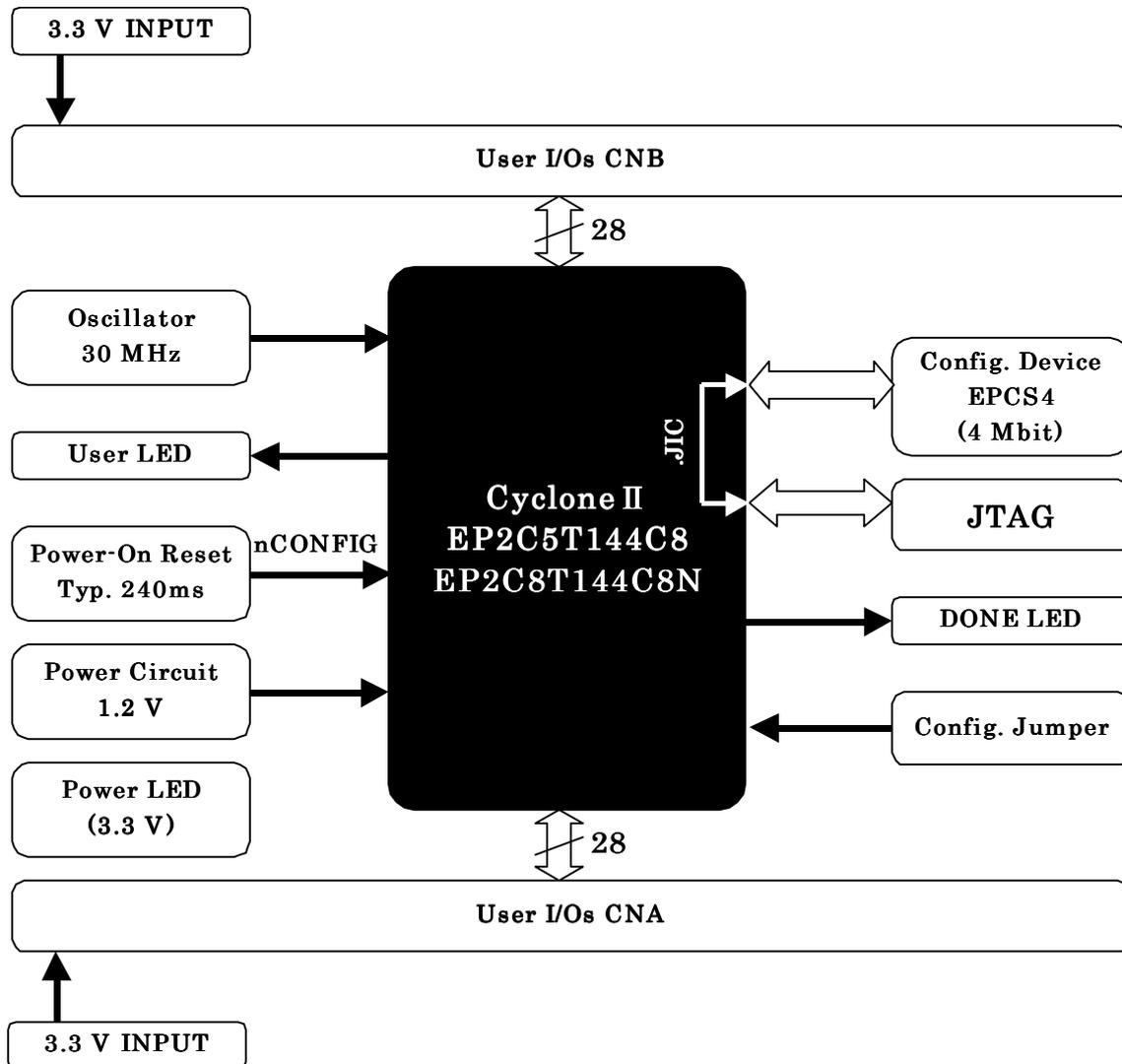
3. 製品概要

3.1. 各部の名称



<A面>

3.2. ブロック図



3.3. 電源入力

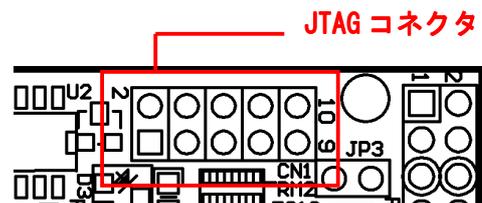
本ボードは、DC 3.3V 単一電源で動作します。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。



電源は CNA、CNB から太い配線で供給してください。
GND はすべての PIN に接続してください。

3.4. JTAG コネクタ

FPGA へのコンフィギュレーション時に使用します。
ピン配置は次表のとおりです。



CN1

回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブルBL3、BLKITの10ピンコネクタと1:1
で対応しています。
ALTERA社の純正ケーブルを用いることもできます。

ダウンロードケーブル



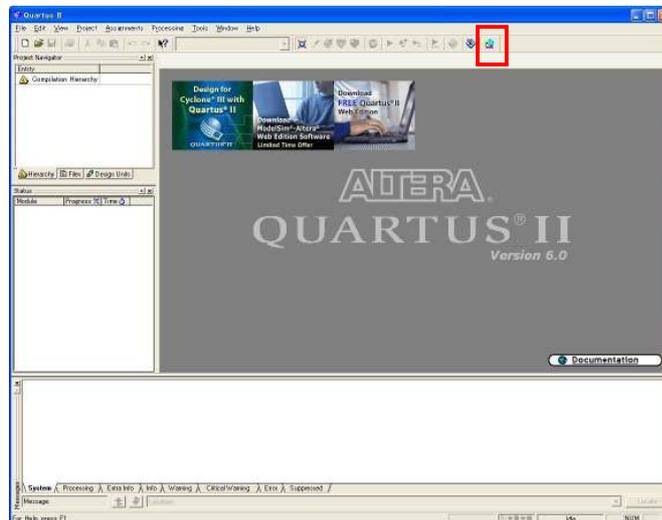
注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

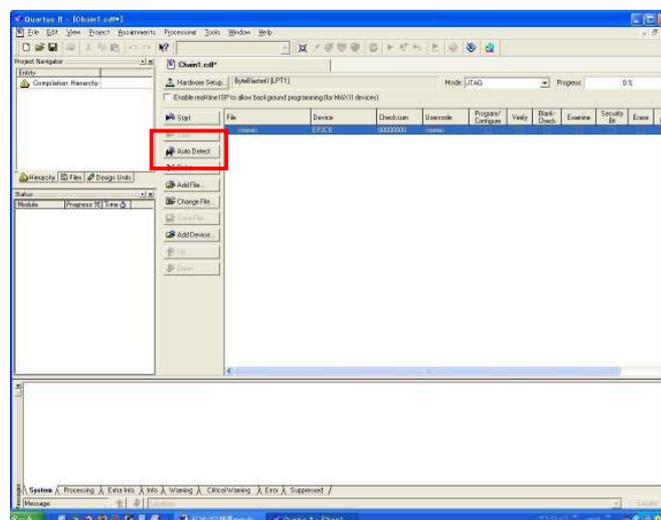
4. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

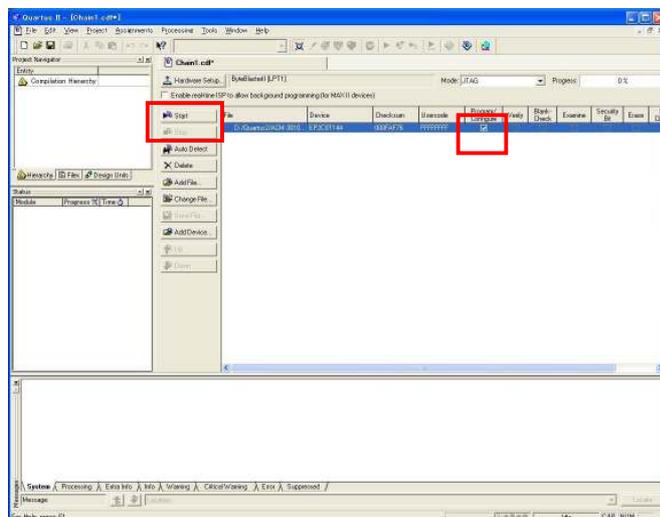
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】をクリックします。
ファイル名が【none】になっているので【none】をダブルクリックしコンフィギュレーションするファイルを指定します。(sof ファイル)



- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします。



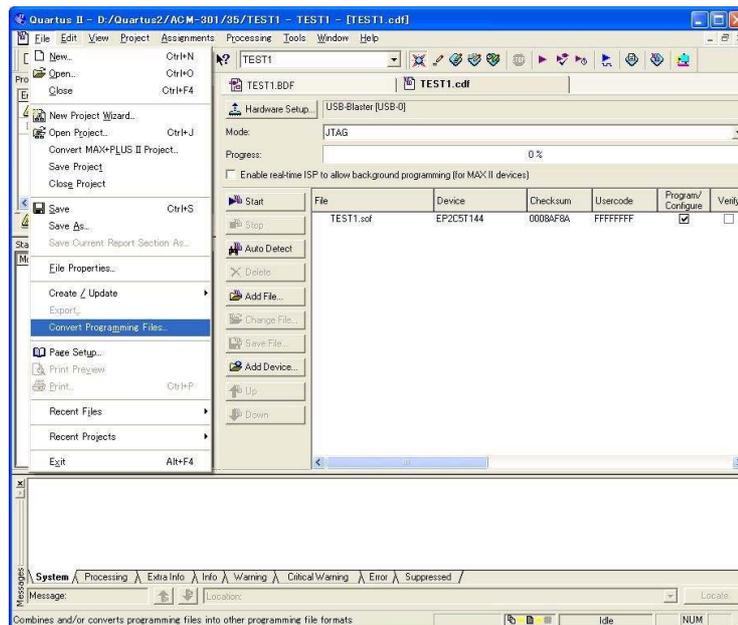
正常にコンフィギュレーションが出来たのであれば ACM-301 のボード上の LED3 が点灯します。

5. コンフィギュレーション ROM への書込み

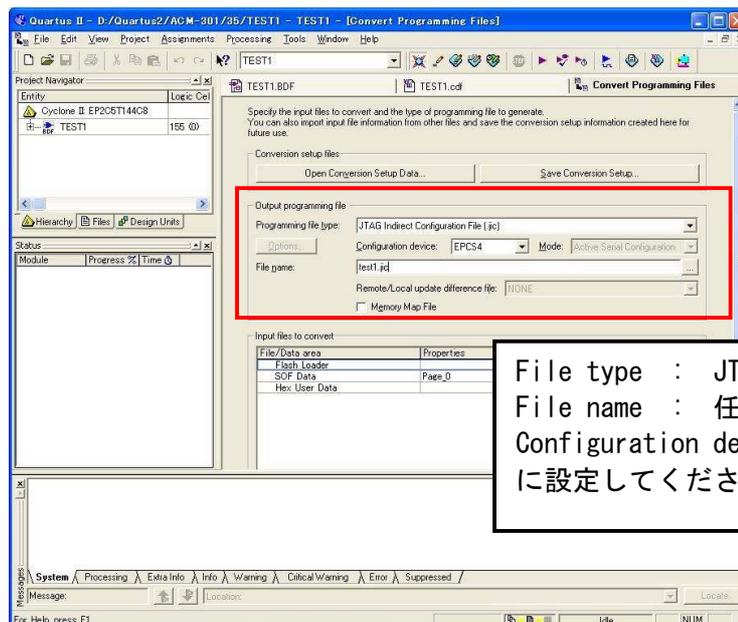
ACM-301 にはコンフィギュレーション ROM (EPCS4) が実装されています。コンフィギュレーション ROM に ISP するためには Quartus II により .jic ファイルを作成する必要があります。

5.1. .jic ファイルの作成

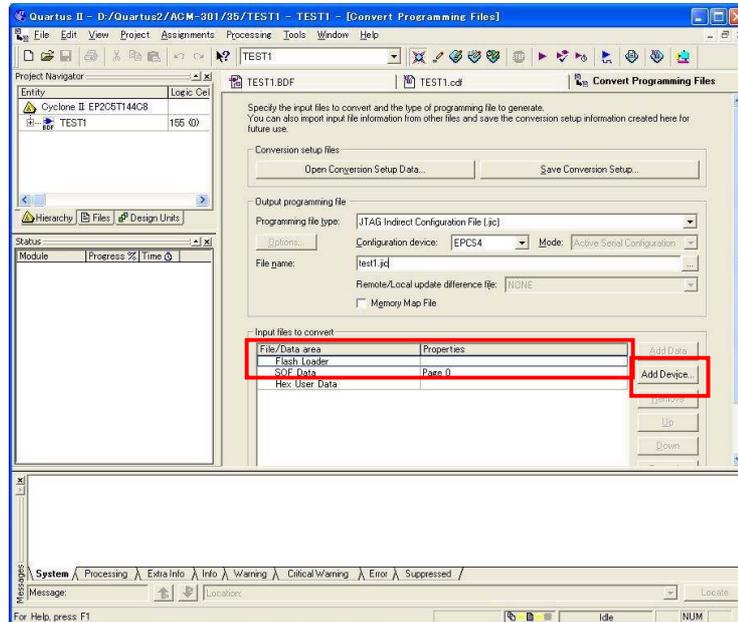
- ▼ Quartus II を起動し【FILE/Convert Programing Files】をクリックします。



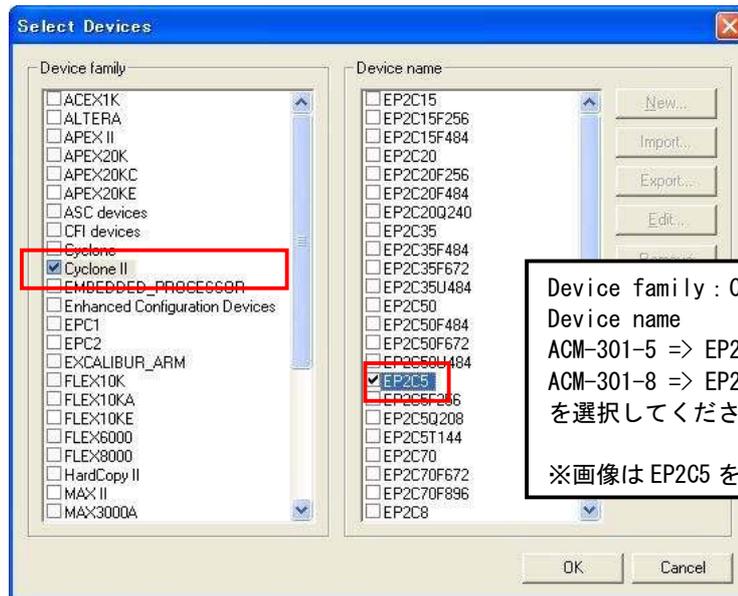
- ▼ 次に【File type】【File name】【 Configuration device】を選択し【Memory Map File】のチェックを外します。



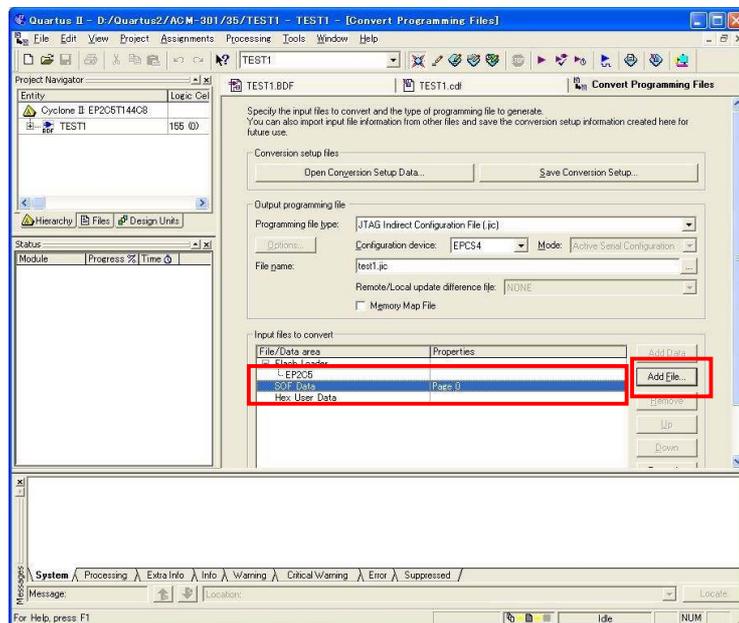
- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください。



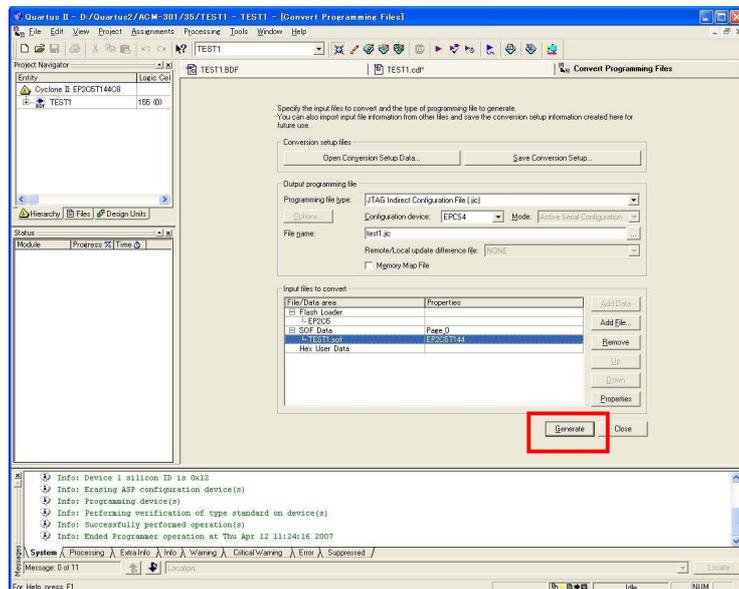
- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします。



- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください。



- ▼ 【Generate】をクリックしてください。

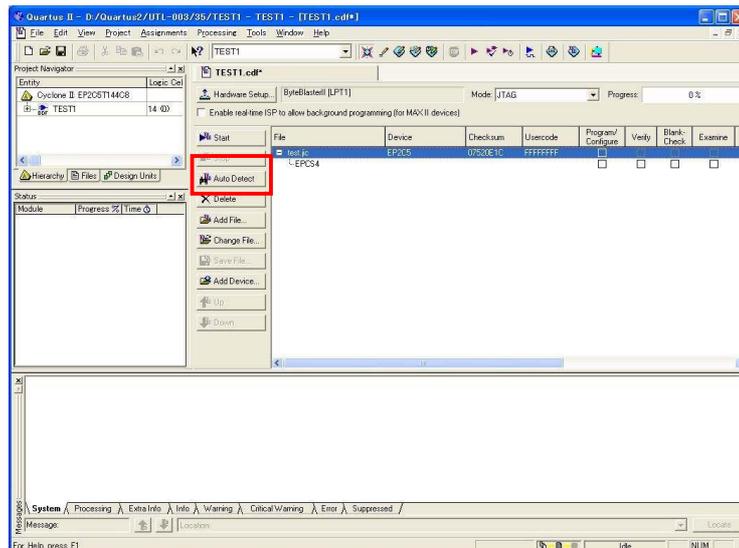


これで .jic ファイルができました。

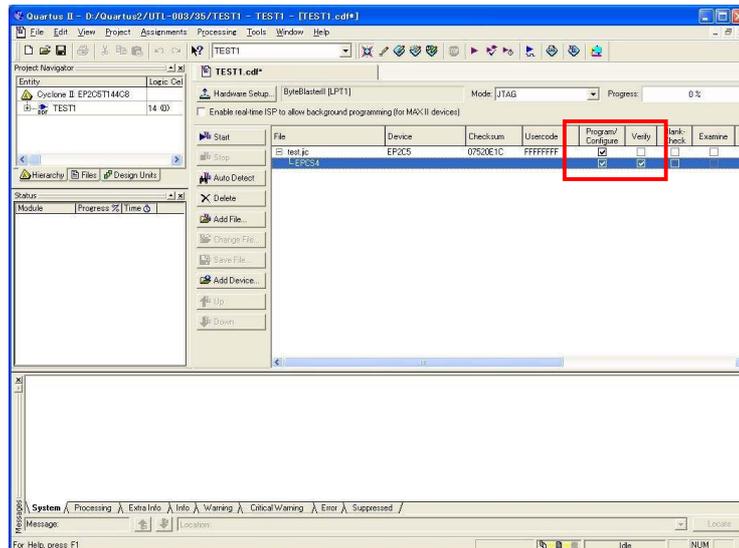
5.2. コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし動作の確認をしてから ROM に ISP してください。

- ▼ 5.1 項で作成した .jic ファイルを使用します【Auto Detect】をクリックし .jic ファイルを指定してください。



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください。



5.3. ジャンプスイッチの説明

JP1 は FPGA の MSEL0 と MSEL1 を設定します。

(ALTERA 社データシートより)

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

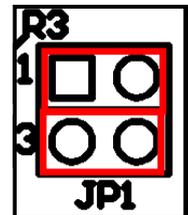
- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

JP1 ——— MSEL0, MSEL1 信号 設定用

JP1	MSEL1	MSEL0
AS	0	0
JTAG	1	0

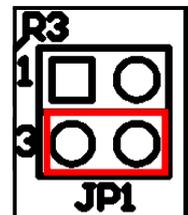
ROM 使用時 (出荷時) : JP1 (1-2 間: ショート 3-4 間: ショート)

MSEL0 = 0
MSEL1 = 0



JTAG 使用時 : JP1 (1-2 間: オープン 3-4 間: ショート)

MSEL0 = 1
MSEL1 = 0



メモ

出荷時は MSEL0、MSEL1 共に Short しています。

6. ピン割付表

6.1. CNA

BANK	NET LABEL	FPGA ピン#	CNA ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	3	7	8	4	IOA1	A
A	IOA2	8	9	10	9	IOA3	A
A	IOA4	24	11	12	25	IOA5	A
A	IOA6	28	13	14	30	IOA7	A
		GND	15	16	GND		
A	IOA8	31	17	18	32	IOA9	A
A	IOA10	40	19	20	41	IOA11	A
A	IOA12	42	21	22	43	IOA13	A
A	IOA14	44	23	24	45	IOA15	A
		GND	25	26	GND		
A	IOA16	47	27	28	48	IOA17	A
A	IOA18	51	29	30	52	IOA19	A
A	IOA20	53	31	32	55	IOA21	A
A	IOA22	58	33	34	59	IOA23	A
		GND	35	36	GND		
A	IOA24	60	37	38	63	IOA25	A
A	IOA26	64	39	40	65	IOA27	A

6.2. CNB

BANK	NET LABEL	FPGA ピン#	CNB ピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	144	7	8	143	IOB1	B
B	IOB2	142	9	10	141	IOB3	B
B	IOB4	139	11	12	137	IOB5	B
B	IOB6	136	13	14	135	IOB7	B
		GND	15	16	GND		
B	IOB8	134	17	18	133	IOB9	B
B	IOB10	132	19	20	129	IOB11	B
B	IOB12	126	21	22	125	IOB13	B
B	IOB14	122	23	24	121	IOB15	B
		GND	25	26	GND		
B	IOB16	119	27	28	118	IOB17	B
B	IOB18	115	29	30	114	IOB19	B
B	IOB20	113	31	32	112	IOB21	B
B	IOB22	104	33	34	103	IOB23	B
		GND	35	36	GND		
B	IOB24	101	37	38	100	IOB25	B
B	IOB26	97	39	40	96	IOB27	B

6.3. CLK

クロック	NET LABEL	FPGA ピン#
オンボード 30M	CLK-A	17,18
オンボード 30M	CLK-B	21,22

6.4. 外部入力 CLK

クロック	NET LABEL	FPGA ピン#
	CLK-C	91
	CLK-D	90
	CLK-E	89
	CLK-F	88

6.5. 汎用 LED

LED	NET LABEL	FPGA ピン#
LED2	ULED0	72

メモ

「L」で点灯します。

7. 固定ピンについて **【重要】**

本ボードでは、下記のピンが GND または VCCINT (1.2V) に固定されています。
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。
 EP2C8 では **GND** や **VCCINT** になっているものの、より小さなデバイスでは I/O
 として割り付けられています。

固定ピン一覧

GND

27, 80

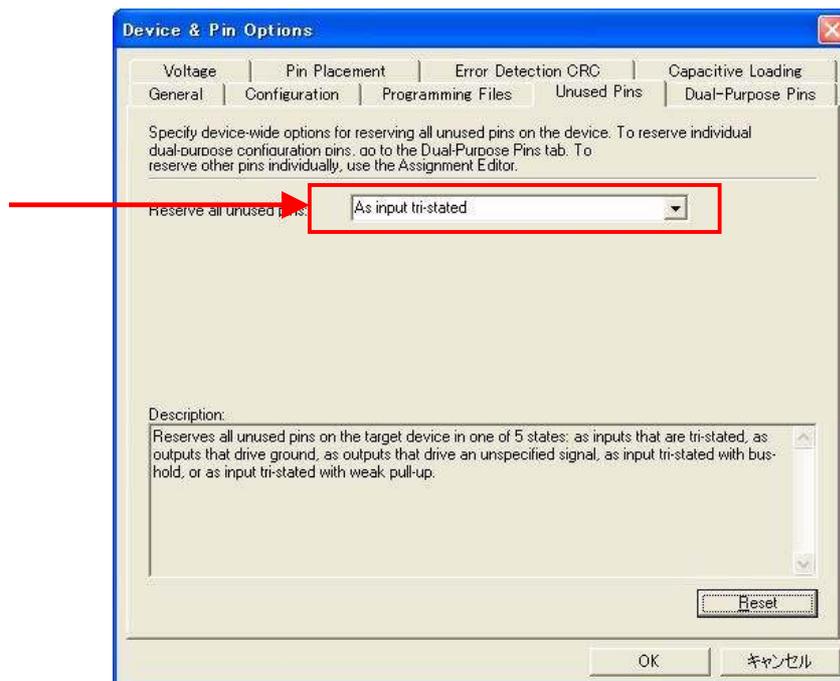
VCCINT

26, 81

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。

Quartus II の Device Option により設定できます。

[Assignments] → [Device] → [Device & Pin Options] → [Unused Pins] →
 [As inputs tri-stated] に設定してください。



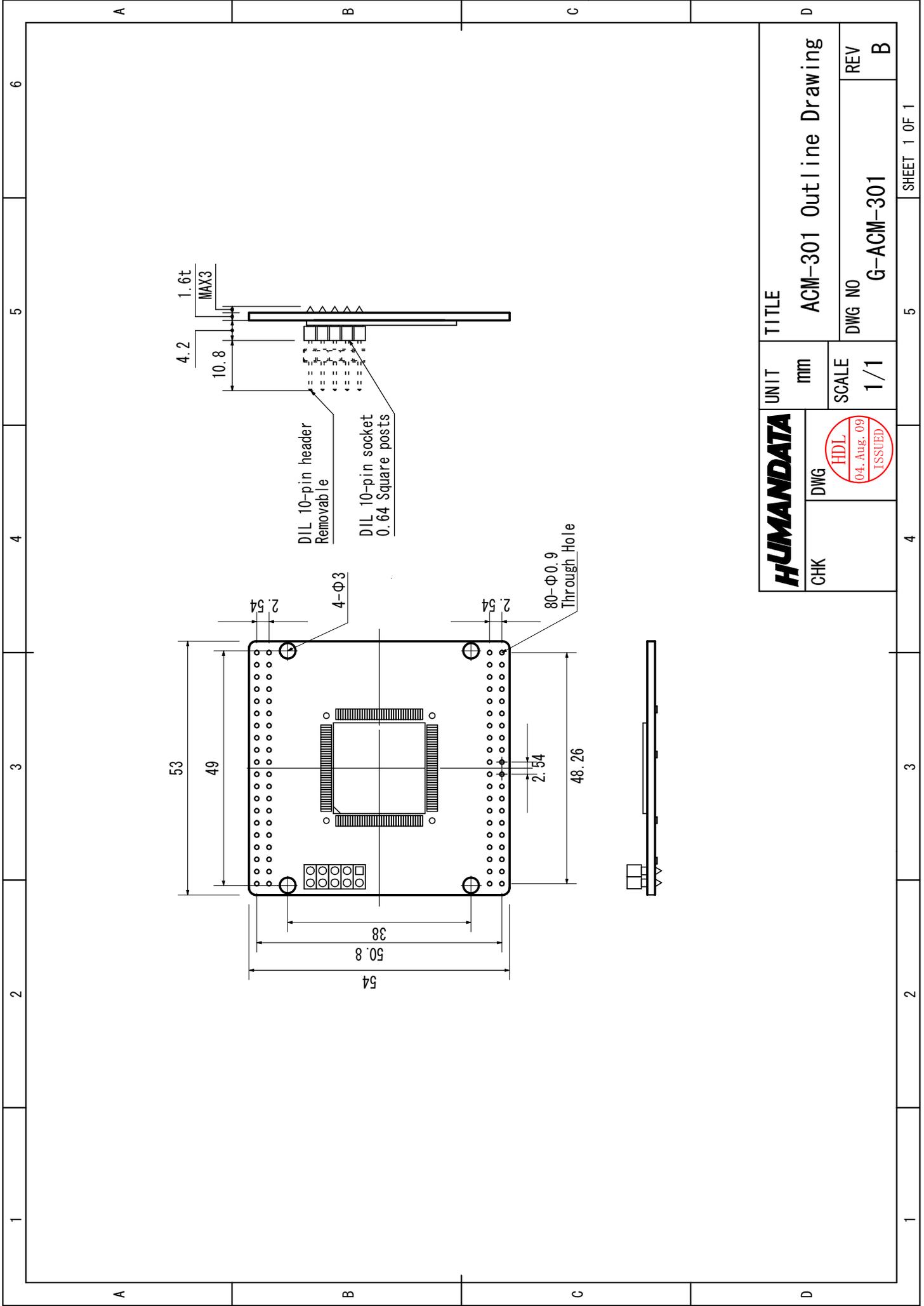
8. ACM-301 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html
にデータをアップロードすることにいたします。
ときどきチェックしていただき必要に応じてご利用くださいませ。

9. 付属資料

1. 回路図
2. 外形寸法図



HUMANDATA	UNIT	mm	TITLE	ACM-301 Outline Drawing
	DWG	SCALE	DWG NO	G-ACM-301
CHK	DWG	SCALE	REV	B
		1/1		

Cyclone II ブレッドボード
ACM-301 シリーズ
ユーザーズマニュアル

2007/05/14 (初版)
2008/02/13 (第2版)
2009/08/05 (第3版)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
