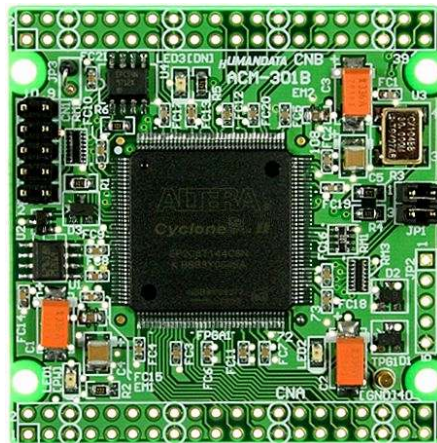




Cyclone II ブレッドボード
ACM-301 シリーズ
ユーザズマニュアル
Ver.1.3



ヒューマンデータ

目次

● はじめに	1
● ご注意	1
● 固定ピンについて 【重要】	2
● 改訂記録	3
● 製品の内容について	3
1. 仕様	3
2. 製品概要	4
2.1. 各部の名称	4
2.2. JTAG コネクタ	4
2.3. ブロック図	5
2.4. 電源入力	5
2.5. ジャンプスイッチの説明	6
3. FPGA のコンフィギュレーション	7
4. コンフィギュレーション ROM への書込み	8
4.1. jic ファイルの作成	8
4.2. コンフィギュレーション ROM に ISP (書込み)	10
5. ピン割付表	11
5.1. ユーザー I/O (CNA)	11
5.2. オンボードクロック	11
5.3. ユーザー I/O (CNB)	12
5.4. 外部クロック入力	12
5.5. 汎用 LED	12
6. 製品資料について	13
7. 付属資料	13
8. お問い合わせについて	13


● はじめに


この度は、Cyclone II ブレッドボード／ACM-301 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-301 シリーズは、アルテラ社の高性能 FPGA である Cyclone II を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
13 静電気にご注意ください。	

● 固定ピンについて 【重要】

下記のピンが GND または VCCINT (1.2V) に固定されています。デバイスによっては、ダミー入力として他に使わないようにする必要があります。

EP208 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられているためです。

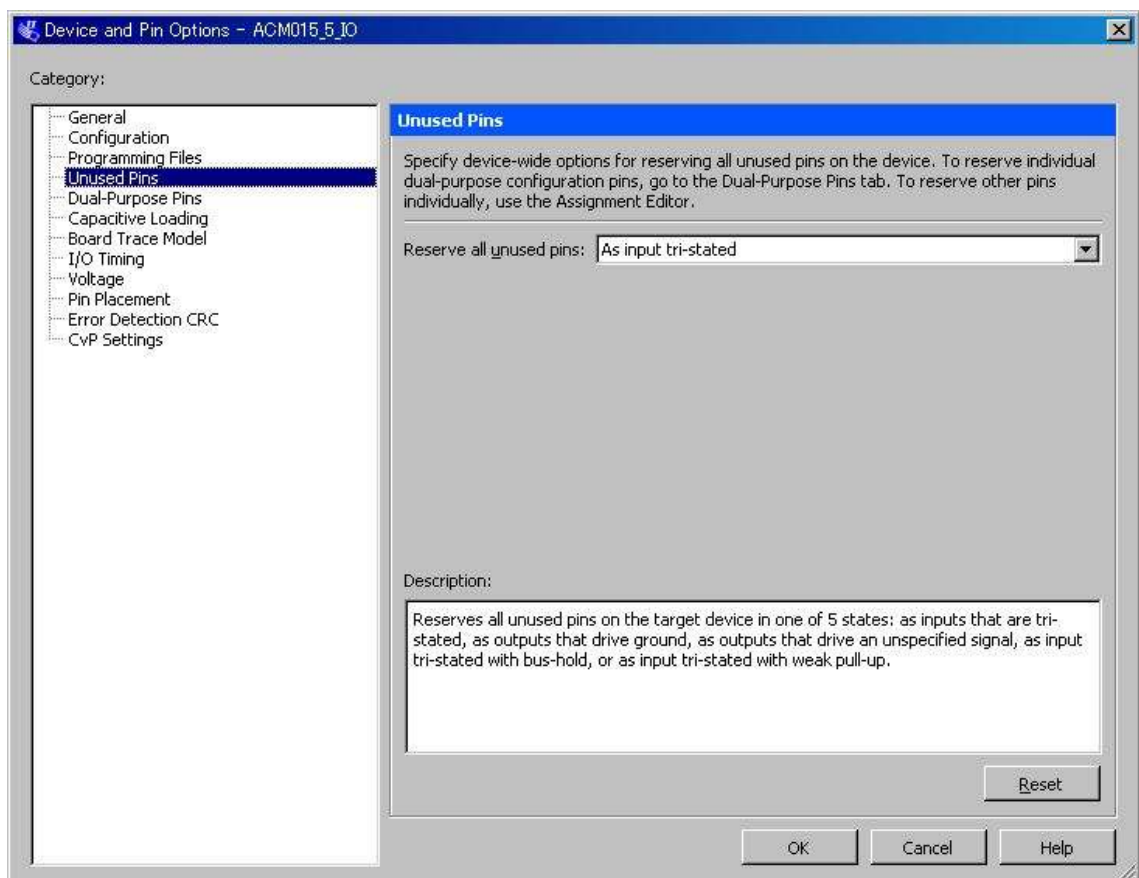
固定ピン一覧

GND	27, 80
VCCINT	26, 81

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。

Quartus II の Device Option により設定できます。

[Assignments] → [Device] → [Device & Pin Options] → [Unused Pins] → [As inputs tri-stated] に設定してください。



● 改訂記録

日付	バージョン	改訂内容
2009/08/05	第3版	5.1項. jic ファイル作成方法追記 他
2012/10/16	1.3	V33B→V10(B) 表記変更 他

● 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-301 シリーズ	1
付属品	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

*オーダー毎に1部の場合があります。（ご要望により追加請求できます）

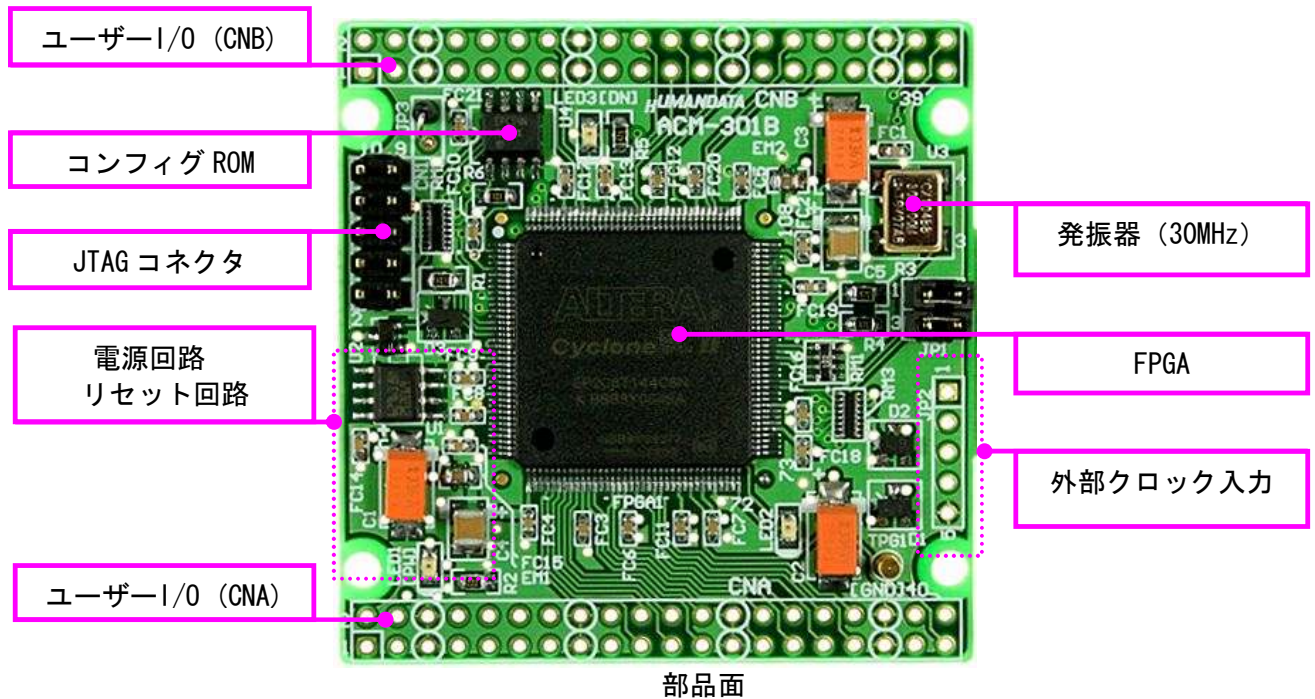
1. 仕様

製品型番	ACM-301-5	ACM-301-8
搭載 FPGA	EP2C5T144C8N	EP2C8T144C8N
電源	DC 3.3V（内部電源はオンボードレギュレータにより生成）	
消費電流	N/A（詳細はFPGA データシートご参照）	
基板寸法	54 x 53 [mm]	
質量	約 15 [g]	
ユーザーI/O	56本 (28本×2)	
I/O コネクタ	40ピンスルーホール 0.9[mm]×2組 2.54mmピッチ	
プリント基板	ガラスエポキシ4層基板 1.6t	
コンフィグROM	EPCS4S18N (ALTERA)	
オンボードクロック	30MHz（外部供給可能）	
リセット回路	内蔵 (240ms TYP)	
JTAG コネクタ	DIL10ピンヘッダ 2.54mmピッチ	
ステータスLED	2個 (POWER, DONE)	
汎用LED	1個	
付属品	DIL40ピンヘッダ 2本 ジャンパソケット 2個(本体に取り付け済み) + 2個(予備)	

* これらの部品や仕様は変更となる場合がございます

2. 製品概要

2.1. 各部の名称



2.2. JTAG コネクタ

FPGA へのコンフィギュレーション時に使用します。ピン配置は次表のとおりです。

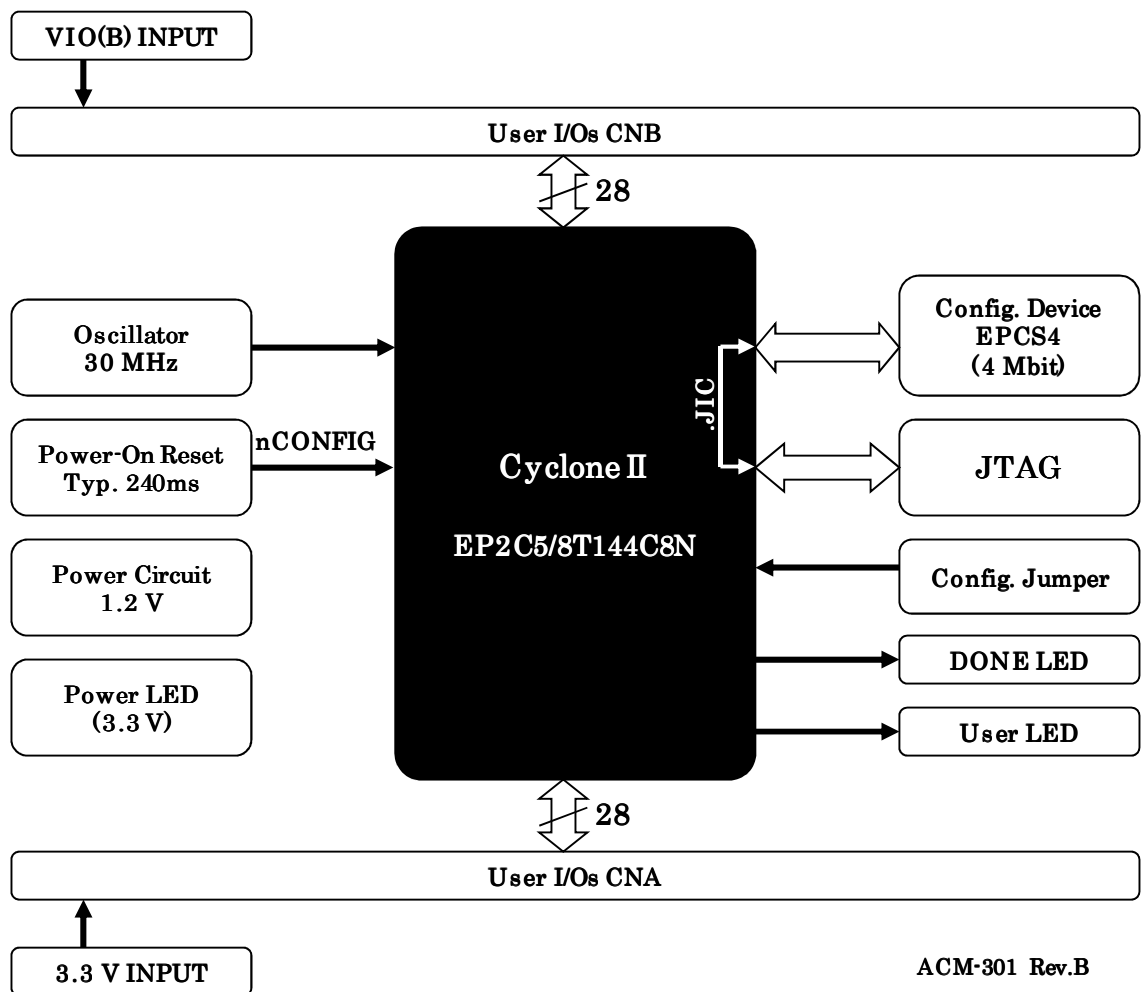
CN1

ダウンロードケーブル 信号	ピン番号		ダウンロードケーブル 信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

注意

ダウンロードケーブルを接続する際、逆差しにご注意ください

2.3. ブロック図



ACM-301 Rev.B

2.4. 電源入力

本ボードは、DC 3.3V単一電源で動作します。
外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。

メモ

電源はCNA、CNBから**太い配線**で供給してください。
GNDはすべて接続してください。

2.5. ジャンパスイッチの説明

JP1 は FPGA のコンフィギュレーションモードピン (MSELO, MSEL1) を設定します。
 コンフィグ ROM へのデータ書込や、電源投入時に ROM から FPGA をコンフィギュレーションするには AS モードに設定してください。

Configuration Scheme	MSEL1	MSELO
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

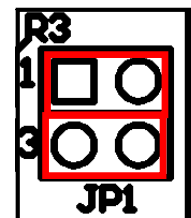
- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

(ALTERA 社データシートより)

コンフィギュレーション・モード	JP1 [3-4] (MSEL1)	JP1 [1-2] (MSELO)
AS	ショート	ショート
JTAG	ショート	オープン

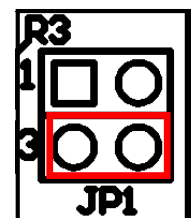
◆コンフィグ ROM 使用時 (出荷時設定)

- 1-2 間 : ショート (MSELO=0)
- 3-4 間 : ショート (MSEL1=0)



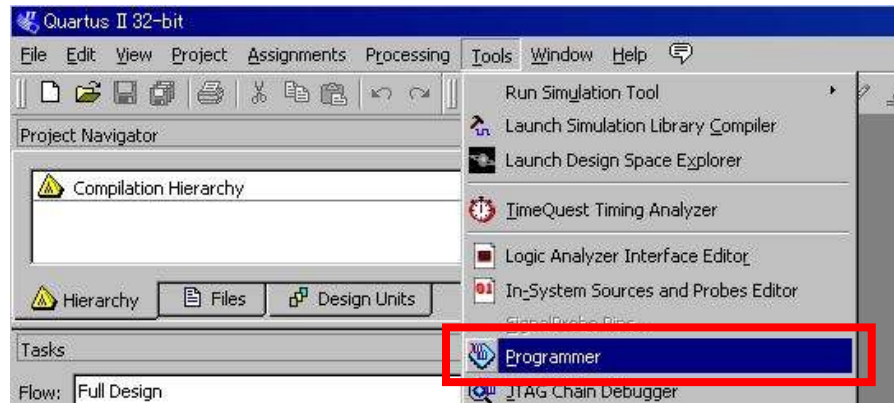
◆JTAG 使用時

- 1-2 間 : オープン (MSELO=1)
- 3-4 間 : ショート (MSEL1=0)

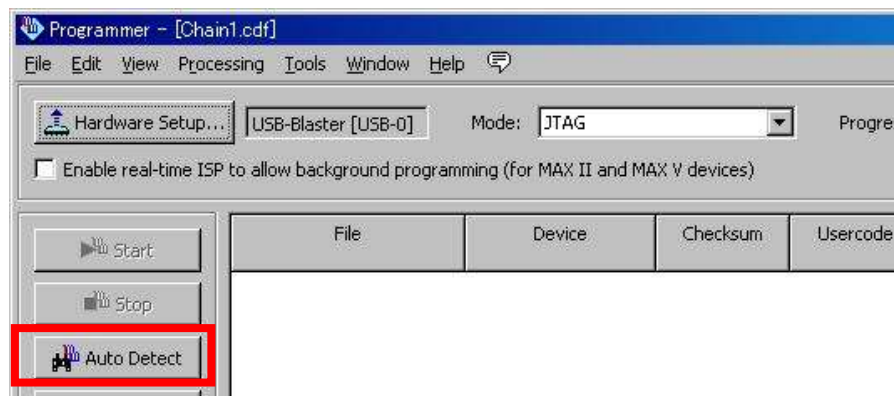


3. FPGA のコンフィギュレーション

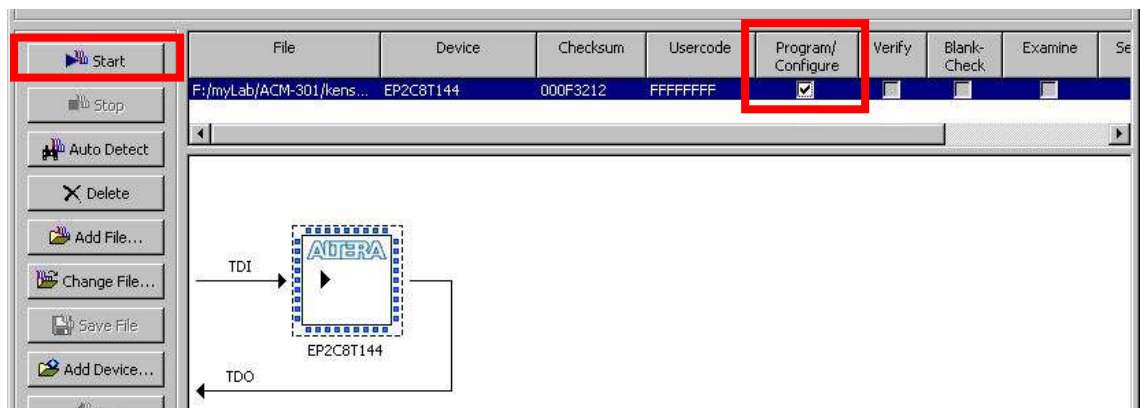
- ▼ Quartus II を起動し【Programmer】をクリックします



- ▼ 【Auto Detect】をクリックします
ファイル名が【none】になっているので【none】をダブルクリックし、コンフィギュレーションするファイルを指定します（sof ファイル）



- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします
正常にコンフィギュレーションが出来たのであれば LED3 が点灯します

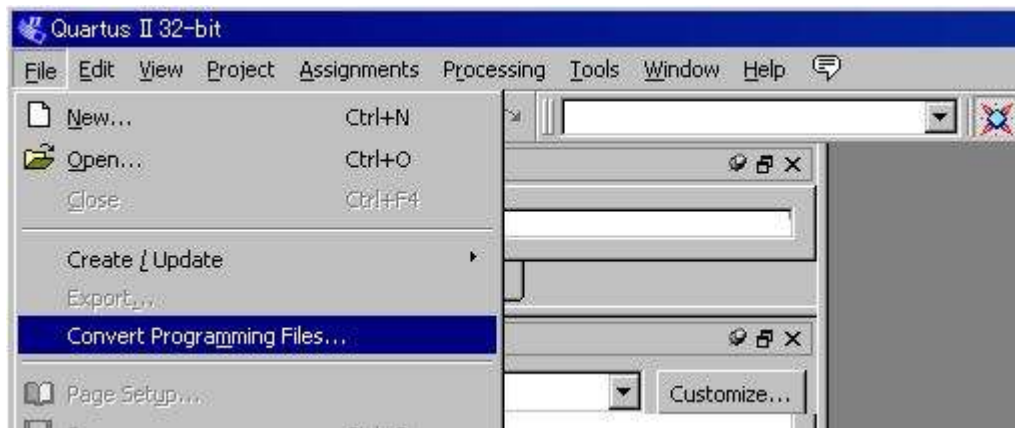


4. コンフィギュレーション ROM への書込み

ACM-301 にはコンフィギュレーション ROM (EPCS4) が実装されています。
コンフィギュレーション ROM 書込み (ISP) するためには、Quartus II にて .jic ファイルを作成する必要があります。

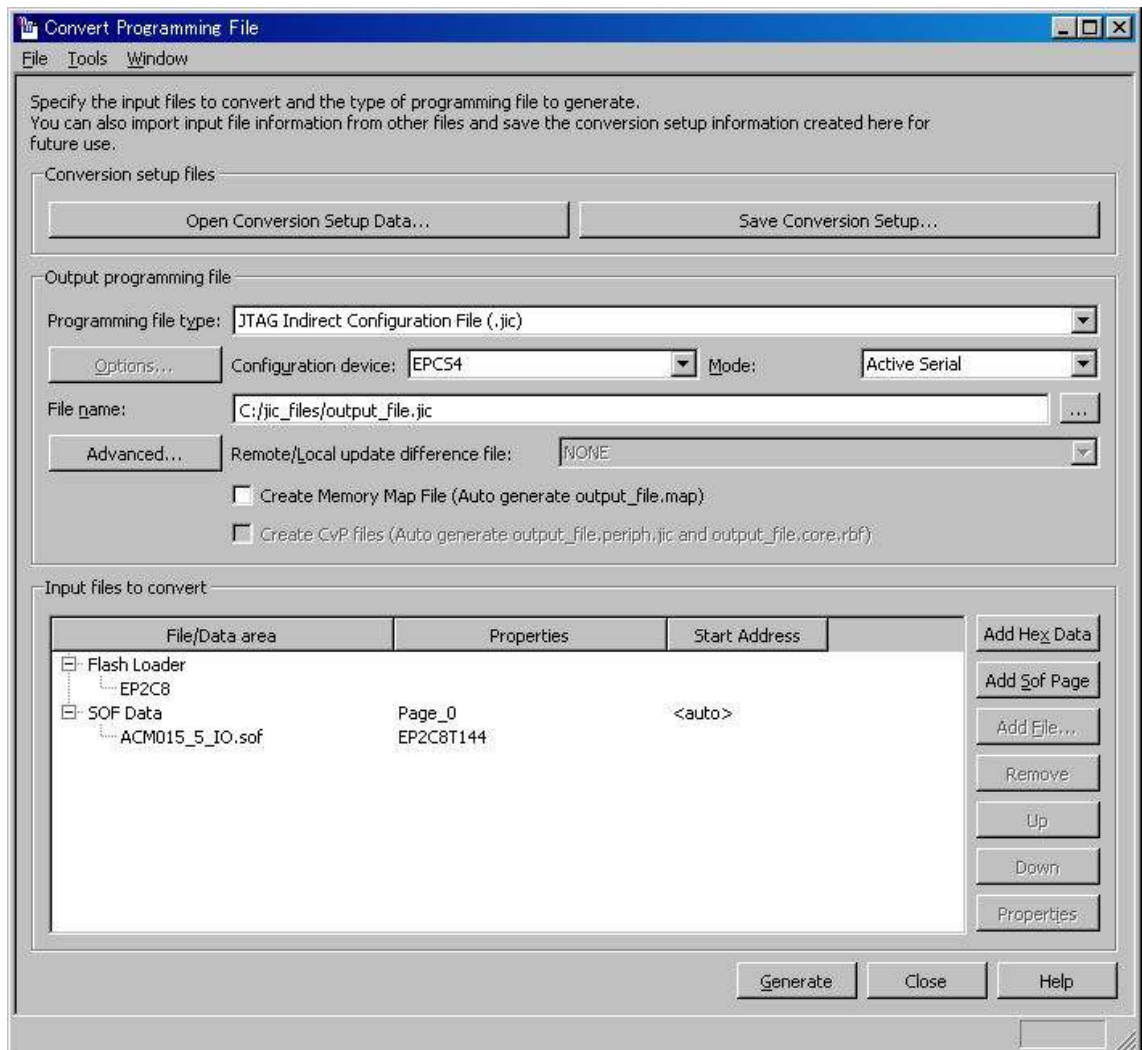
4.1. jic ファイルの作成

- ▼ Quartus II を起動し【File -> Convert Programming Files】をクリックします



- ▼ 【File type】 【File name】 【Configuration device】 を選択し 【Memory Map File】のチェックを外します
Programming file type: JTAG Indirect Configuration File (.jic)
Configuration device: EPCS4
File name: 任意
- ▼ 【Flash Loader】 を選択し 【Add Device...】 をクリックしてください。お使いの機種
のデバイスを選択し 【OK】 をクリックします
- ▼ 次に 【SOF Data】 を選択し 【Add Files...】 をクリックし SOF データを割り当てます
- ▼ 【Generate】 をクリックして jic ファイルを作成します

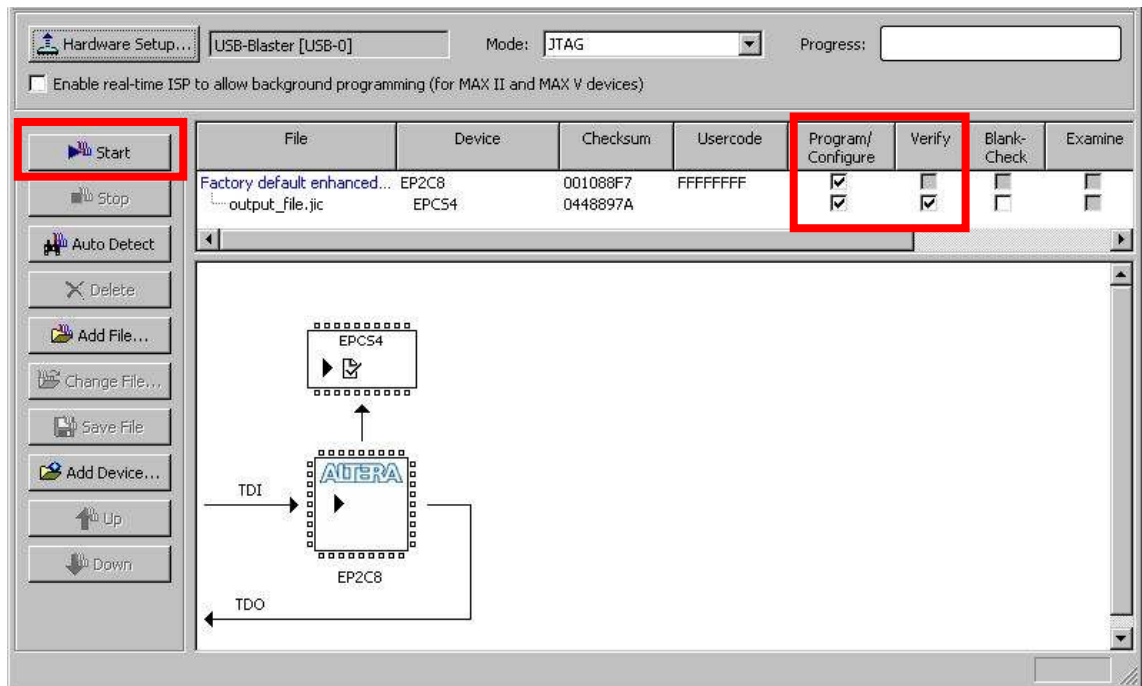
以下に生成画面の例を示します。



4.2. コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし動作の確認をしてから ROM に ISP してください。

- ▼ 【Auto Detect】 をクリックし、前項で作成した .jic ファイルを指定します
- ▼ 【Program/Configure】 と 【Verify】 にチェックをいれ 【Start】 をクリックします



5. ピン割付表

5.1. ユーザーI/O (CNA)

BANK Group	NET LABEL	FPGA ピン#	CNA		FPGA ピン#	NET LABEL	BANK Group
		3.3V	1	2	3.3V		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	3	7	8	4	IOA1	A
A	IOA2	8	9	10	9	IOA3	A
A	IOA4	24	11	12	25	IOA5	A
A	IOA6	28	13	14	30	IOA7	A
		GND	15	16	GND		
A	IOA8	31	17	18	32	IOA9	A
A	IOA10	40	19	20	41	IOA11	A
A	IOA12	42	21	22	43	IOA13	A
A	IOA14	44	23	24	45	IOA15	A
		GND	25	26	GND		
A	IOA16	47	27	28	48	IOA17	A
A	IOA18	51	29	30	52	IOA19	A
A	IOA20	53	31	32	55	IOA21	A
A	IOA22	58	33	34	59	IOA23	A
		GND	35	36	GND		
A	IOA24	60	37	38	63	IOA25	A
A	IOA26	64	39	40	65	IOA27	A

5.2. オンボードクロック

周波数	NET LABEL	FPGA ピン#
30MHz	CLK-A	17
	CLK-A	18
	CLK-B	21
	CLK-B	22

5.3. ユーザーI/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK Group
		VIO(B)	1	2	VIO(B)		
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	144	7	8	143	IOB1	B
B	IOB2	142	9	10	141	IOB3	B
B	IOB4	139	11	12	137	IOB5	B
B	IOB6	136	13	14	135	IOB7	B
		GND	15	16	GND		
B	IOB8	134	17	18	133	IOB9	B
B	IOB10	132	19	20	129	IOB11	B
B	IOB12	126	21	22	125	IOB13	B
B	IOB14	122	23	24	121	IOB15	B
		GND	25	26	GND		
B	IOB16	119	27	28	118	IOB17	B
B	IOB18	115	29	30	114	IOB19	B
B	IOB20	113	31	32	112	IOB21	B
B	IOB22	104	33	34	103	IOB23	B
		GND	35	36	GND		
B	IOB24	101	37	38	100	IOB25	B
B	IOB26	97	39	40	96	IOB27	B

5.4. 外部クロック入力

周波数	NET LABEL	FPGA ピン#
任意	CLK-C	91
	CLK-D	90
	CLK-E	89
	CLK-F	88

5.5. 汎用 LED

LED	NET LABEL	FPGA ピン#
LED2	ULED0	72

メモ

「Low」で点灯します。

6. 製品資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-301/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト
- ... 等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

7. 付属資料

1. 外形図
2. 回路図（別紙）

8. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

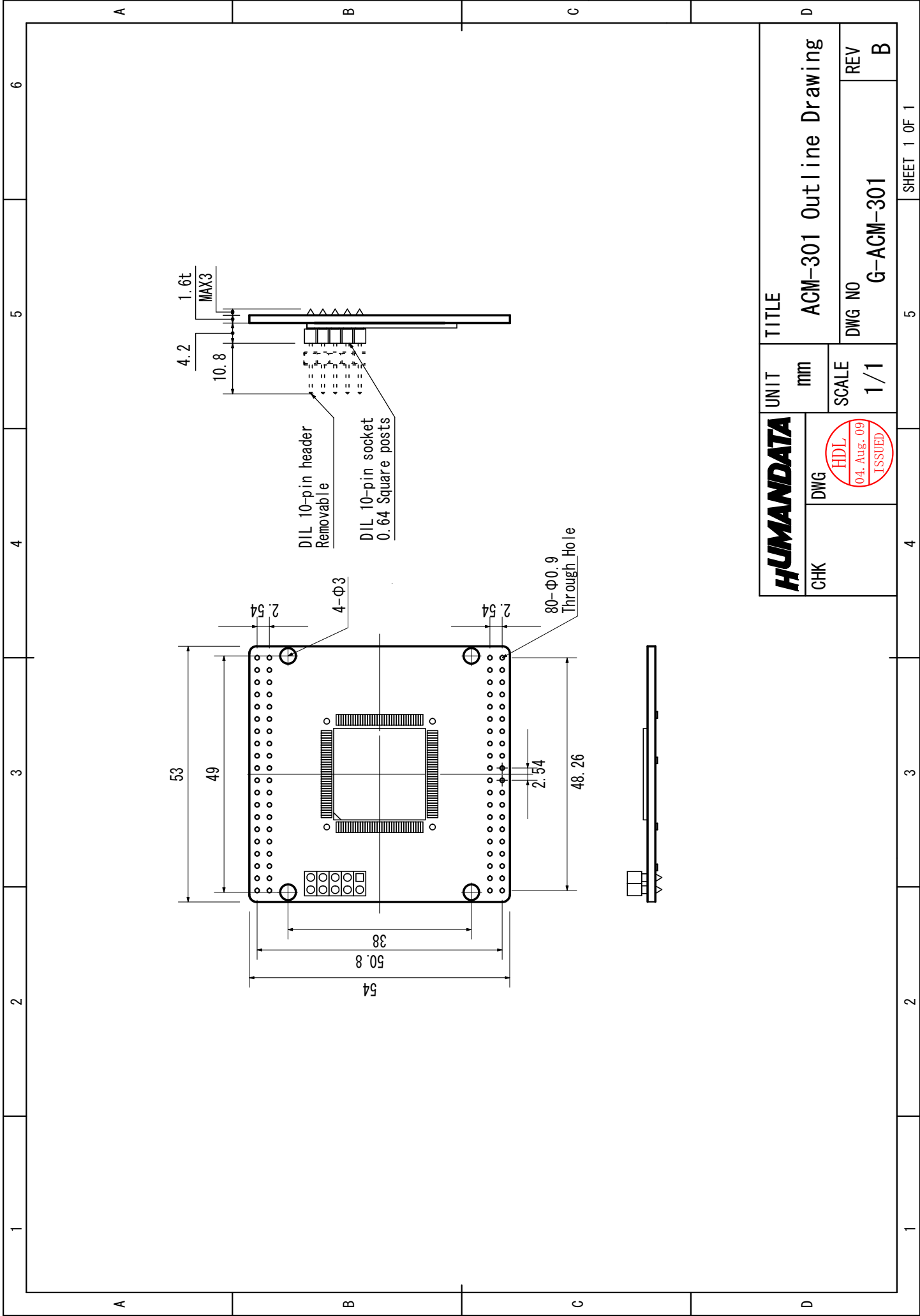
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法やFPGAなどのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA	UNIT	TITLE	
	mm	ACM-301 Outline Drawing	
DWG	SCALE	DWG NO	REV
	1/1	G-ACM-301	B
CHK	HDL 04. Aug. 09 ISSUED		

Cyclone II ブレッドボード
ACM-301 シリーズ
ユーザーズマニュアル

2007/05/14 (初版)
2008/02/13 (第2版)
2009/08/05 (第3版)

2012/10/16 Ver. 1.3

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
