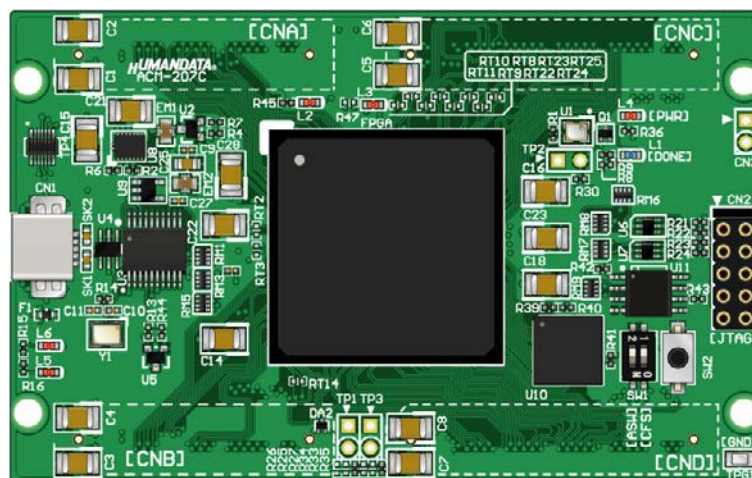




**MAX 10 F672 FPGA ボード
ACM-207 シリーズ Rev2
ユーザーズマニュアル
Ver.2.0**



ヒューマンデータ

目 次



● はじめに.....	1
● ご注意	1
● 改訂記録	2
1. 製品の内容について.....	2
2. 開発環境	2
3. 仕様	3
4. 製品概要	4
4.1 各部の名称	4
4.2 ブロック図	5
4.3 電源入力.....	6
4.4 ユーザ I/O (CNA, CNB, CNC, CND).....	6
4.5 クロック	6
4.6 汎用スイッチ (SW1, SW2).....	6
4.7 汎用 LED (L2, L3).....	7
4.8 USB-UART I/F (CN1).....	7
4.9 シリアル FLASH ROM	7
4.10 MRAM.....	7
4.11 FPGA コンフィギュレーション.....	8
4.12 JTAG/バウンダリスキャン	9
4.13 FPGA 内蔵コンフィグ ROM 用ファイル(pof ファイル)の作成	9
4.14 FPGA 内蔵コンフィグ ROM アクセス	10
5. FPGA ピン割付	10
6. サポートページ	11
7. お問い合わせについて	11

● はじめに

この度は MAX 10 FPGA ボード ACM-207 シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-207 は、INTEL 社の高性能 FPGA MAX 10 シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。
 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、 7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2023/09/08	2.0	・ 製品リビジョンの更新

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード ACM-207	1
付属品	1
ユーザー登録はがき	1

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

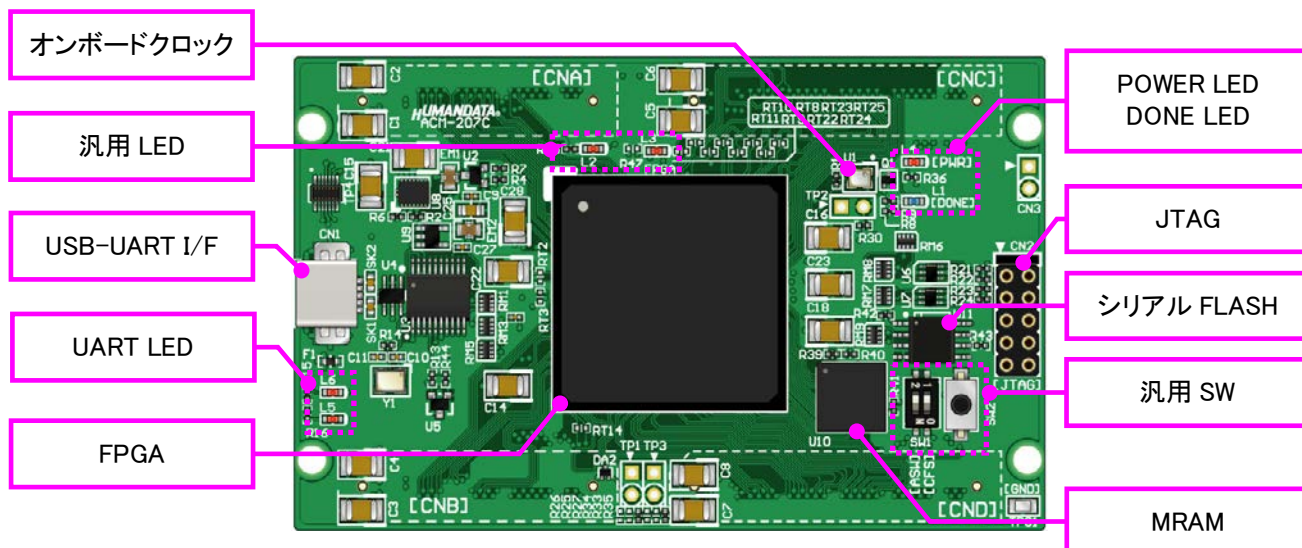
3. 仕様

製品型番	ACM-207-40	ACM-207-50
搭載 FPGA	10M40DCF672C8G	10M50DCF672C8G
電源	DC 3.3[V]	
ユーザ I/O	296 本	
シリアル FLASH	N25Q032 (Micron, 32Mbit)	
MRAM	MR2A16AMA35 (Everspin, 256K x16bit)	
USB-UART I/F	MCP2200 (Microchip)	
オンボードクロック	30MHz	
外部入力クロック	6 ペア (12 本)	
汎用 LED	2	
汎用スイッチ	3 (Push x 1, DIP x 2bit)	
リセット信号	コンフィグ用リセット信号 (typ. 240ms)	
I/O コネクタ	FX10A-80P/8-SV1 x 2 FX10A-100P/10-SV1 x 2 (ヒロセ電機)	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ	
ステータス LED	POWER (赤), DONE (青) USB-UART TX (赤), RX (赤)	
基板寸法	54 x 86 [mm]	
質量	約 35 [g]	
付属品	DIL10 ロングピンヘッダ FX10A-80S/8-SV x 2 FX10A-100S/10-SV x 2 (ヒロセ電機)	
消費電流	ユーザの FPGA デザインに依存します	

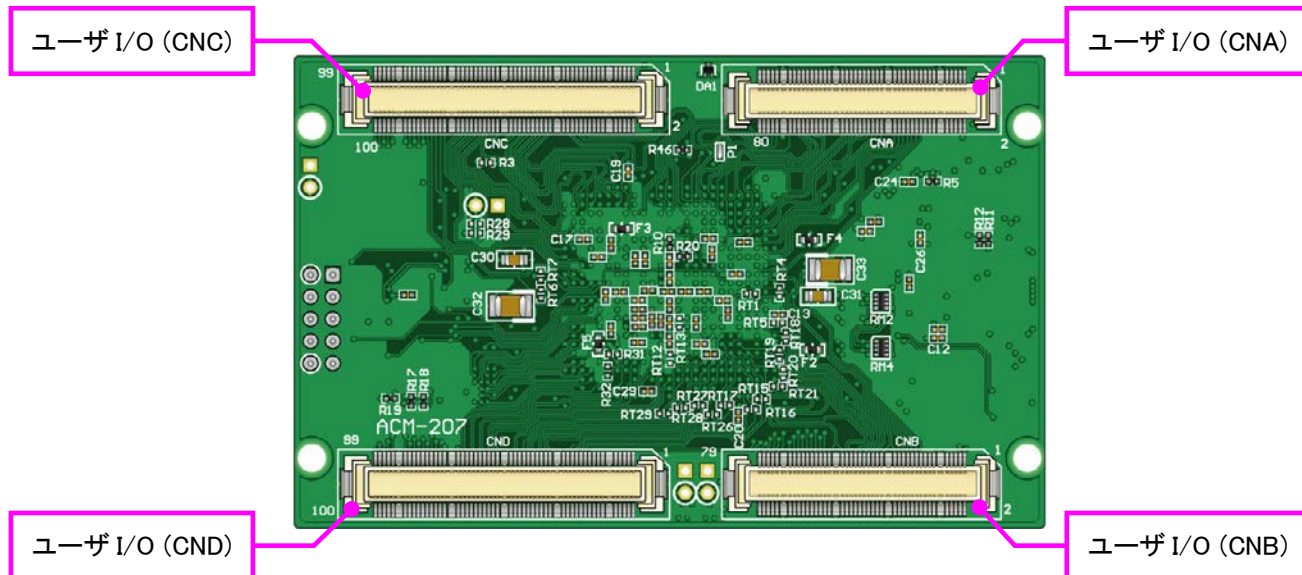
*これらの部品や仕様は変更となる場合がございます

4. 製品概要

4.1 各部の名称

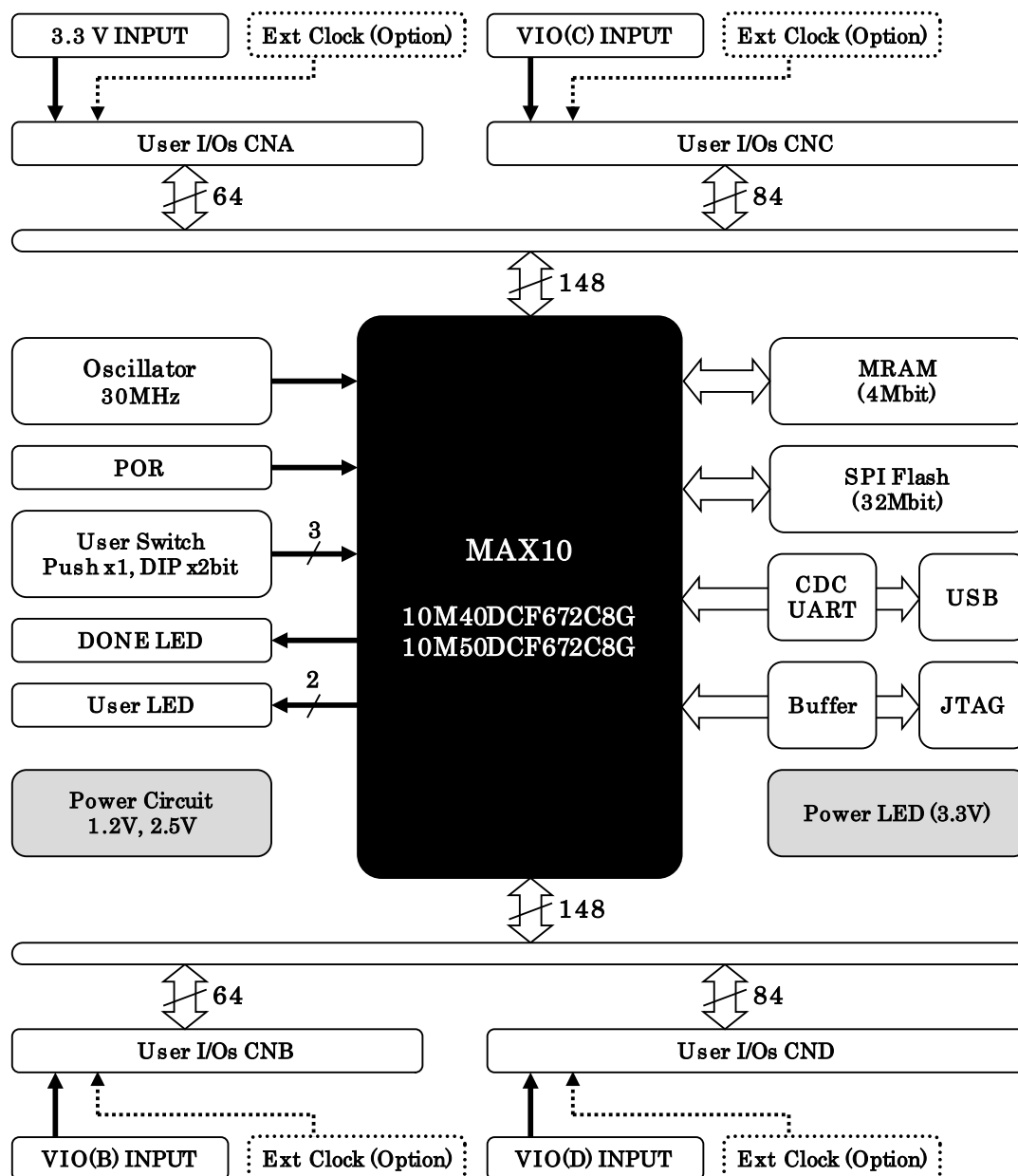


部品面



はんだ面

4.2 ブロック図



ACM-207 Rev.D

4.3 電源入力

電源は CNA より 3.3V を供給してください。内部で必要になる電源はオンボードレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

CNB, CNC, CND からはそれぞれのコネクタに割り当てられた I/O 用電源 VIO(B), VIO(C), VIO(D) を入力することが可能です。

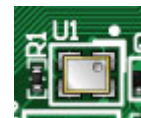
4.4 ユーザ I/O (CNA, CNB, CNC, CND)

FPGA の Bank は Bank Group A/B/C/D としてグループ化されています。CNA に接続された I/O が属する Bank Group A の Vccio は 3.3V に固定されています。CNB, CNC, CND に接続された I/O が属する Bank Group B/C/D の Vccio は各コネクタより入力可能です。設計にあった電圧を入力してください。詳しくは製品の資料ページより「回路図」をご参照ください。

ピン割付、配線長については製品の資料ページより「ピン割付表」をご参照ください。

4.5 クロック

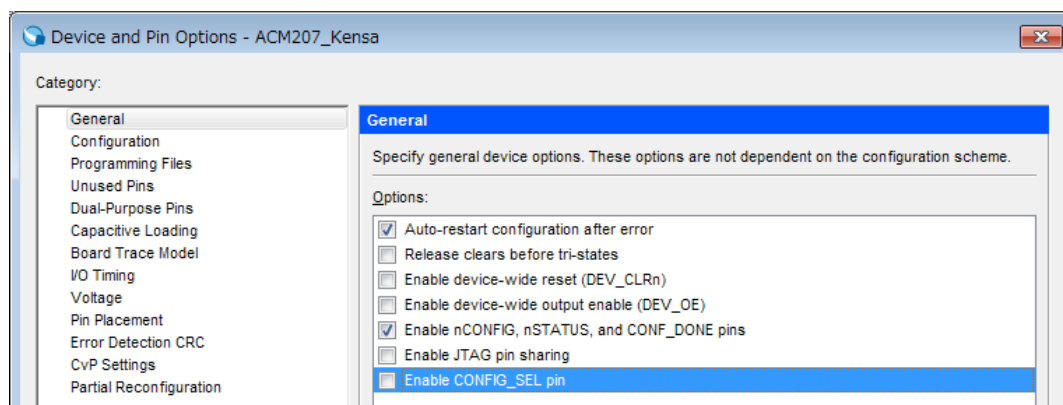
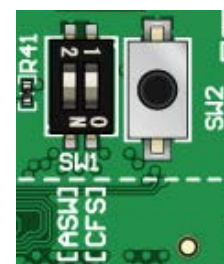
オンボードクロックとして 30MHz (U1) を搭載しています。ユーザ I/O コネクタより外部クロックを入力することも可能です。詳しくは回路図をご参照ください。



4.6 汎用スイッチ (SW1, SW2)

SW1 と SW2 を汎用用途に使用できます。それぞれプルアップされていますので ON 設定または Push にて FPGA への Low 入力となります。

SW1 の 1bit 目を使用するには“Device and Pin Options”にて“Enable CONFIG_SEL pin”を無効としてください。



4.7 汎用 LED (L2, L3)

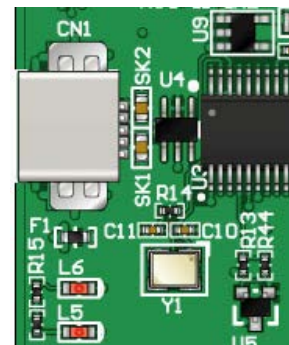
L2, L3 を汎用用途に使用できます。プルアップされていますので FPGA の Low 出力で点灯します。



4.8 USB-UART I/F (CN1)

Microchip 社の MCP2200 を介して FPGA に接続されています。USB の CDC クラス (Communication Device Class) で動作するため、自動的にデバイスドライバがインストールされ、簡単に使用可能な状態となります。

L5 は送信、L6 は受信を表示するステータス LED です。



4.9 シリアル FLASH ROM

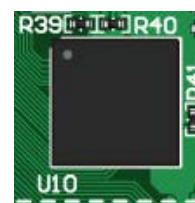
汎用用途に使用できます。NiosII のソフトウェア格納などに使用できます。

※本ボード搭載の MAX10 は内蔵メモリに初期値を設定できません



4.10 MRAM

不揮発性メモリです。書き換え回数が事実上無制限で、ROM としても使える便利なメモリです。



4.11 FPGA コンフィギュレーション

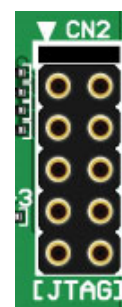
JTAG コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

FPGA 内蔵コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。**ケーブル接続時は誤接続に注意してください。**

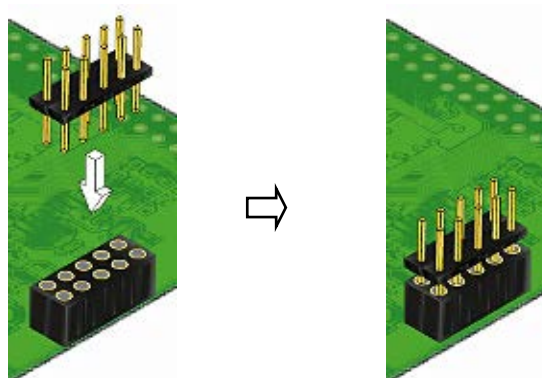
JTAG コネクタのピン配置は次表のとおりです。

CN2

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	–
–	7	8	–
TDI	9	10	GND



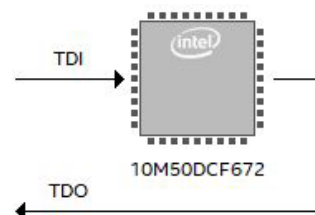
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



使用例

4.12 JTAG/バウンダリスキャン

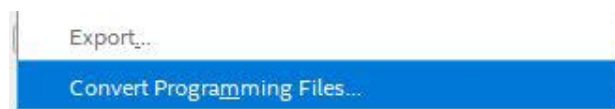
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラマを実行します。内蔵コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



4.13 FPGA 内蔵コンフィグ ROM 用ファイル(pof ファイル)の作成

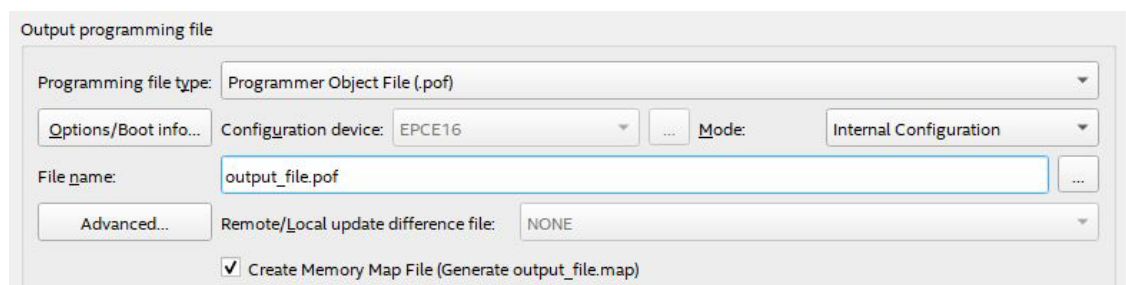
書き込みには pof ファイルが必要となります。作成手順を以下に示します。

- (1) Quartus Prime の【File】から、【Convert Programming Files..】をクリックします



- (2) 設定画面にて必要な項目を設定します

- 【Programming File type】 : Programmer Object File (.pof)
- 【File name】 : 任意
- 【Mode】 : Internal Configuration



- (5) 【SOF Data】を選択し【Add File...】をクリックします

- (6) 変換する sof データを選択し【OK】をクリックします

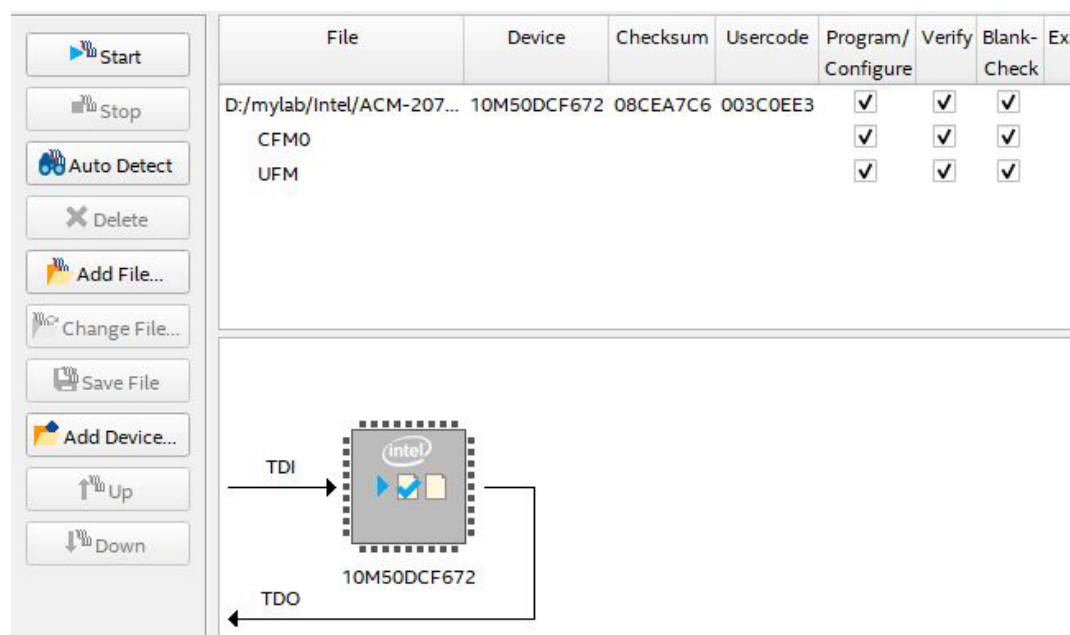


- (7) 【Generate】をクリックします

4.14 FPGA 内蔵コンフィグ ROM アクセス

作成した pof ファイルで FPGA 内蔵コンフィギュレーション ROM にデータを書き込みます。
イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし pof ファイルを選択します
- (2) 【Program/Configure】にチェックを入れ、【Start】をクリックします



5. FPGA ピン割付

FPGA BANK は下表のように「BANK Group」にまとめられています。Group A の Vccio は CNA より供給する V33A(3.3V)固定です。Group B,C,D の Vccio には CNB,CNC, CND より設計に合った値を供給できます。

ピン割付表は資料ページよりご参照ください。

FPGA BANK	VCCIO NET LABEL	Bank Group
1A/1B	V33A	A
2	VIO (B)	B
3	VIO (D)	D
4	VIO (D)	D
5	V33A	A
6	VIO (C)	C
7	VIO (C)	C
8	V33A	A

6. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/acm-207/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

7. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

MAX10 F672 FPGA ボード

ACM-207 シリーズ Rev2
ユーザーズマニュアル

2023/09/08 Ver.2.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
