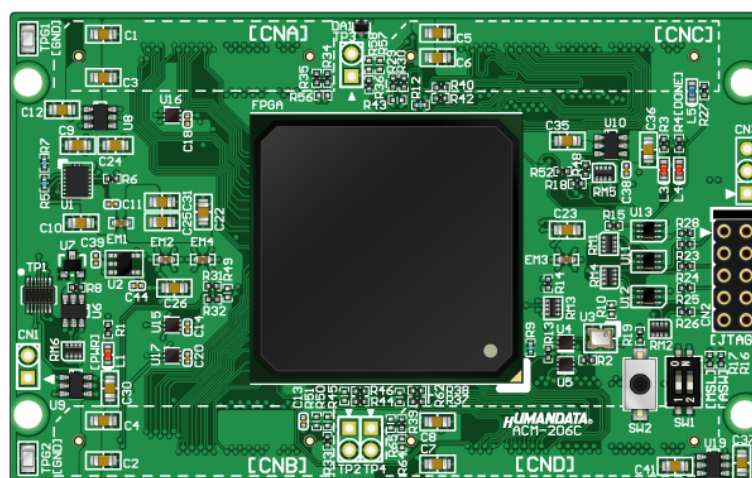




Cyclone V FPGA ボード  
ACM-206 Rev3  
ユーザーズマニュアル  
Ver.3.0



ヒューマンデータ



# 目 次



I はじめに.....	2
I ご注意.....	2
I 改訂記録.....	3
1. 製品の内容について.....	3
2. 開発環境.....	3
3. 仕様.....	4
4. 製品概要.....	5
4.1 各部の名称.....	5
4.2 ブロック図.....	6
4.3 電源入力.....	6
4.4 クロック.....	7
4.5 設定スイッチ (SW1).....	7
4.6 汎用スイッチ (SW1, SW2).....	7
4.7 汎用 LED (L3, L4).....	7
4.8 デバッグ I/F (CN3).....	7
5. FPGA コンフィギュレーション.....	8
5.1 JTAG/バウンダリスキャン.....	8
5.2 コンフィグ ROM アクセスファイル(jic ファイル)の作成.....	9
5.3 コンフィグ ROM アクセス.....	10
6. FPGA ピン割付.....	11
7. サポートページ.....	12
8. お問い合わせについて.....	12

## I はじめに

この度は Cyclone V FPGA ボード ACM-206 シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-206 は、ALTERA 社の高性能 FPGA Cyclone V シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

## I ご注意

 <b>禁止</b>	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途での使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。
 <b>注意</b>	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、 7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

## I 改訂記録

日付	バージョン	改訂内容
2025/11/25	3.0	製品リビジョン更新

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード ACM-206	1
付属品	1
ユーザー登録のご案内(はがきサイズ)	1

## 2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

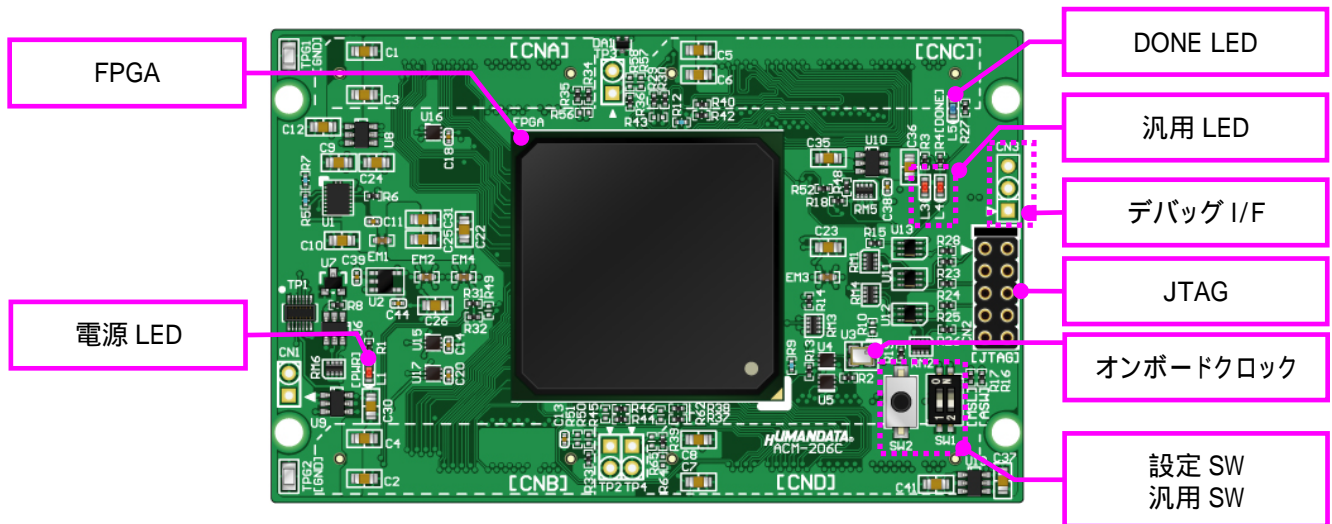
### 3. 仕様

製品型番	ACM-206-A7	ACM-206-A9
搭載 FPGA	5CEFA7F31C8N	5CEFA9F31C8N
電源	DC 3.3[V]	
ユーザ I/O	296 本	
コンフィグ ROM	MT25QL256ABA8ESF-0SIT (Micron 256Mbit)	
オンボードクロック	50MHz	
外部入力クロック	6 ペア(12 本)	
汎用 LED	2	
汎用スイッチ	2 (Push x 1, DIP x 1bit)	
リセット信号	コンフィグ用リセット信号 ( typ. 240ms )	
I/O コネクタ	FX10A-80P/8-SV1 x 2 FX10A-100P/10-SV1 x 2 (ヒロセ電機)	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ	
ステータス LED	POWER ( 赤 ) , DONE ( 青 )	
基板寸法	54 x 86 [mm]	
質量	約 37 [g]	
付属品	DIL10 ロングピンヘッダ FX10A-80S/8-SV x 2 FX10A-100S/10-SV x 2 (ヒロセ電機)	
消費電流	ユーザの FPGA デザインに依存します	

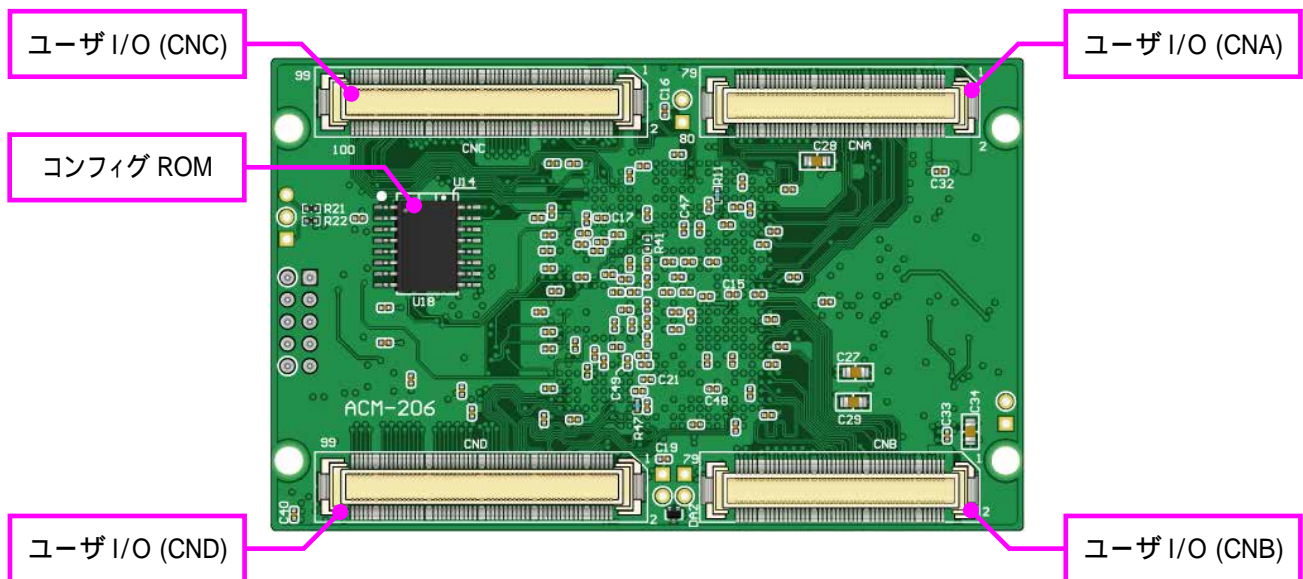
\*これらの部品や仕様は変更となる場合がございます

## 4. 製品概要

### 4.1 各部の名称

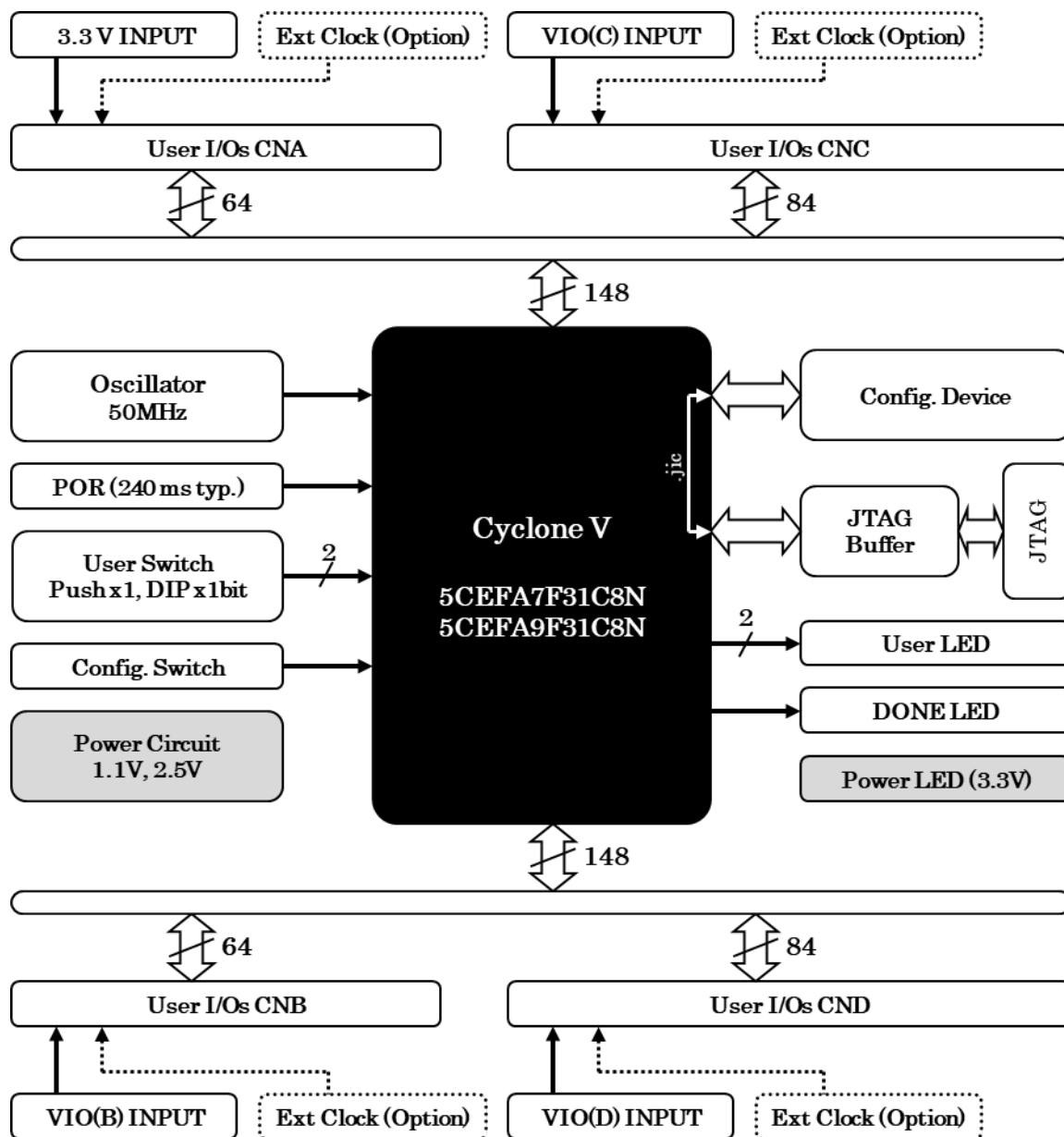


部品面



はんだ面

## 4.2 ブロック図



ACM 206 Rev.C

## 4.3 電源入力

電源は CNAより 3.3V を供給してください。内部で必要になる 1.1V、2.5V はオンボードレギュレータにより生成されます。

CNB, CNC, CND から I/O 用電源 VIO(B), VIO(C), VIO(D)を入力することが可能です。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。



#### 4.4 クロック

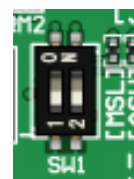
オンボードクロックとして 50MHz (U3) を搭載しています。ユーザ I/O コネクタより外部クロックを入力することも可能です。詳しくは回路図をご参照ください。

#### 4.5 設定スイッチ (SW1)

設定スイッチによりコンフィギュレーションモードを変更することが可能です。各ピンの詳細については Intel (ALTERA) 社のコンフィギュレーションハンドブックをご参照ください。

SW1

番号	1	2
記号	MSL	ASW
説明	コンフィグモード設定	汎用



コンフィギュレーションモード

SW1[1]の設定	モード
ON	PS (Passive Serial)
OFF	AS (Active Serial)

MSL は FPGA のコンフィギュレーションモードを設定します。

- ・PS (Passive Serial) モード： JTAG アクセスの際に設定してください
- ・AS (Active Serial) モード： 下記の場合に設定してください
  - コンフィグ ROM にアクセスする (データ書込み、消去など)
  - コンフィグ ROM から FPGA をコンフィギュレーションする (電源投入時)

#### 4.6 汎用スイッチ (SW1, SW2)

SW1 の 2bit 目と SW2 を汎用用途に使用できます。プルアップされていますので ON (Push) にて FPGA への Low 入力となります。

#### 4.7 汎用 LED (L3, L4)

L3, L4 を汎用用途に使用できます。プルアップされていますので FPGA の Low 出力で点灯します。

#### 4.8 デバッグ I/F (CN3)

直列抵抗を介して FPGA に直接接続されています。汎用用途にご利用頂けます。

## 5. FPGA コンフィギュレーション

JTAG コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

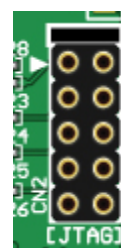
コンフィグ ROM から FPGA へのコンフィギュレーションは、AS モードにて電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

**ケーブル接続時は誤接続に注意してください。**

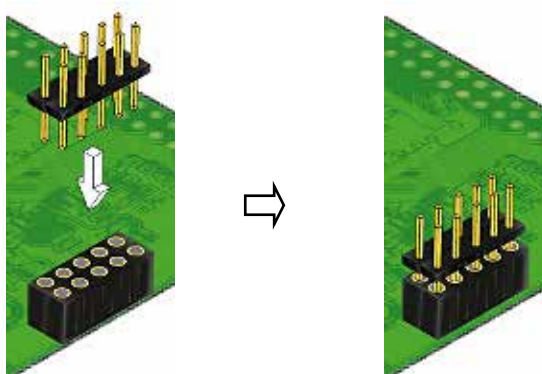
JTAG コネクタのピン配置は次表のとおりです。

CN2

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



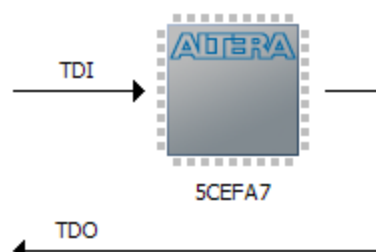
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



使用例

### 5.1 JTAG/バウンダリスキャン

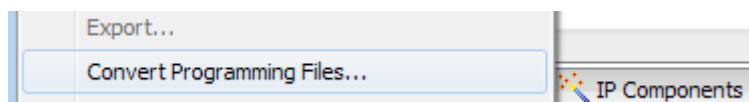
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラマを実行します。コンフィグROMを使用したコンフィギュレーションには次節をご参照ください。



## 5.2 コンフィグ ROM アクセスファイル(jic ファイル)の作成

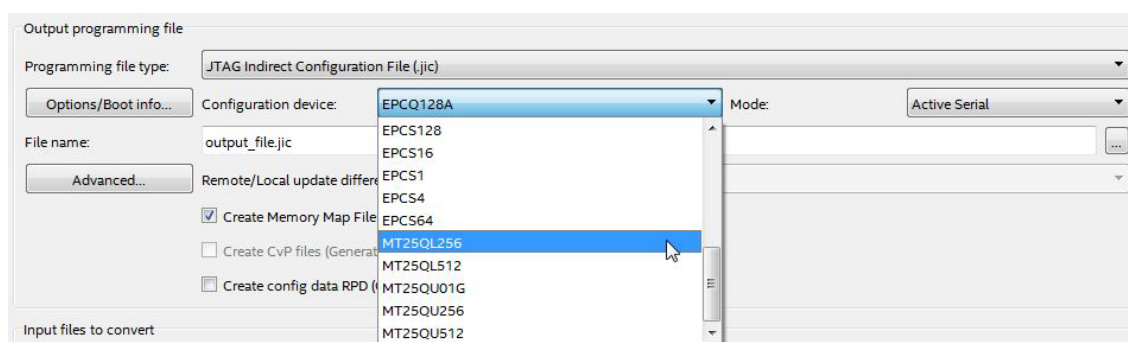
コンフィギュレーション ROM へ書き込むためには jic(JTAG Indirect Configuration)ファイルが必要となります。作成手順を以下に示します。

(1) QuartusII の【File】から、【Convert Programming Files..】をクリックします



(2) 設定画面にて必要な項目を設定します

- ┆ 【Programming File type】 : JTAG Indirect Configuration File (.jic)
- ┆ 【Configuration device】 : MT25QL256
- ┆ 【File name】 : 任意
- ┆ 【Memory Map File】 : チェック無し



jic ファイル作成時【MT25QL256】が選択できない場合 ini 変数を使用することにより実現できます。

プロジェクトディレクトリ内の quartus.ini ファイルに次の変数を追加します。

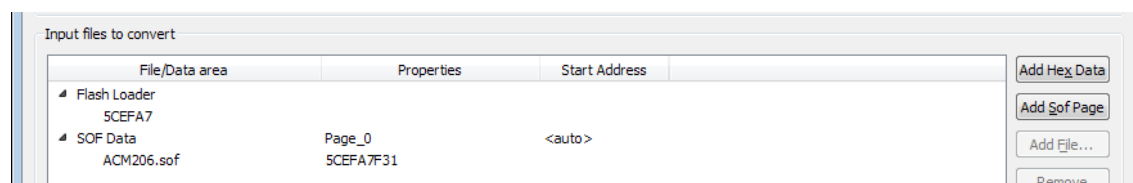
```
pgm_allow_mt25q = on
```

quartus.ini ファイルが無い場合、テキストエディタを使用して変数を追加した quartus.ini を作成し、プロジェクトディレクトリまたは  
<Quartus Prime インストールディレクトリ>%bin64 に保存します。

変数を追加した後にプロジェクトを開くと MT25Q デバイスが選択できます。

詳しくは Intel 社の KDB を参照してください。

- (3) 【Flash Loader】を選択し【Add Device..】をクリックします
- (4) 搭載デバイスを選択し【OK】をクリックします
- (5) 【SOF Data】を選択し【Add File...】をクリックします
- (6) 変換する sof データを選択し【OK】をクリックします

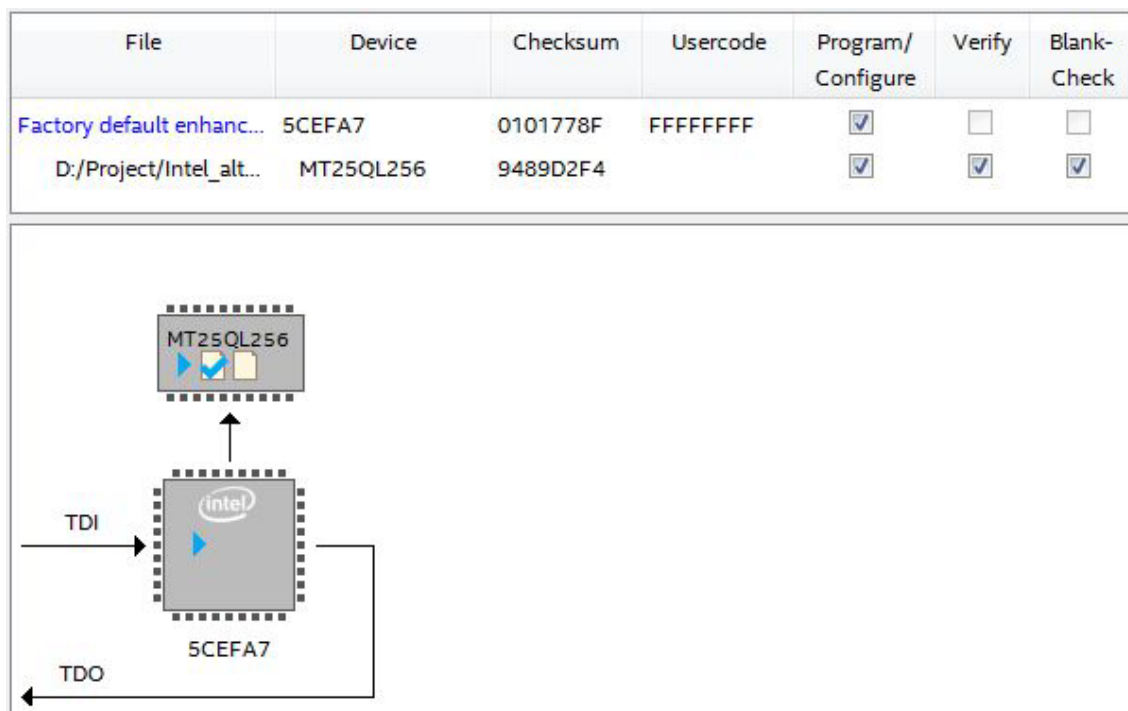


- (7) 【Generate】をクリックします

## 5.3 コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし jic ファイルを選択します
- (2) 【Program/Configure】にチェックを入れ、【Start】をクリックします



## 6. FPGA ピン割付

FPGA BANK は下表のように「BANK Group」にまとめられています。Group A の Vccio は CNA より供給する V33A(3.3V)固定です。Group B,C,D の Vccio には CNB,CNC, CND より設計に合った値を供給できます。

ピン割付表は資料ページよりご参照ください。

FPGA BANK	VCCIO NET LABEL	Bank Group
3A	V33A	A
3B	VIO(C)	C
4A	VIO(C)	C
5A	V33A	A
5B	V33A	A
6A	VIO(B)	B
7A	VIO(D)	D
8A	VIO(D)	D



---

## Cyclone V FPGA ボード

ACM-206 シリーズ Rev3  
ユーザーズマニュアル

2025/11/25 Ver.3.0

---

### 有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積 1-2-10 茨木ビル

TEL 072-620-2002  
FAX 072-620-2003  
URL <https://www.hdl.co.jp> (Japan)  
<https://www2.hdl.co.jp/en/> (Global)

---