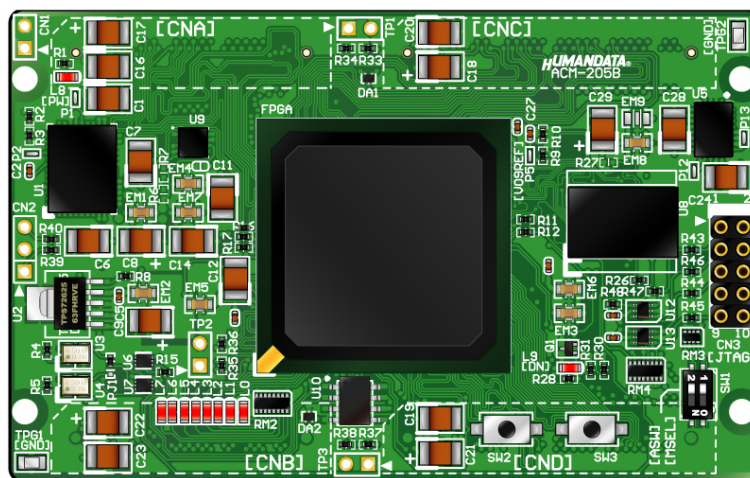




Cyclone IV E FPGA ボード
ACM-205 (Rev3)
ユーザーズマニュアル
Ver.3.0



ヒューマンデータ

目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 固定ピンについて 【重要】	2
2. 製品の内容について.....	3
3. 開発環境.....	4
4. 仕様.....	4
5. 製品概要.....	5
5.1 各部の名称.....	5
5.2 ブロック図.....	6
5.3 電源入力.....	7
5.4 クロック.....	7
5.5 設定スイッチ (SW1).....	7
5.6 FPGA コンフィギュレーション.....	8
5.7 JTAG/バウンダリスキャン.....	9
5.8 コンフィグ ROM アクセスファイル(jic ファイル)の作成.....	9
5.9 コンフィグ ROM アクセス.....	10
6. FPGA ピン割付表.....	10
7. サポートページ.....	11
8. お問い合わせについて.....	11


● はじめに

この度は Cyclone IV E FPGA ボード ACM-205 シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-205 は、Intel (ALTERA) 社の高性能 FPGA Cyclone IV E シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2020/11/10	3.0	製品リビジョン更新 ・コンフィグ ROM 変更

1. 固定ピンについて **【重要】**

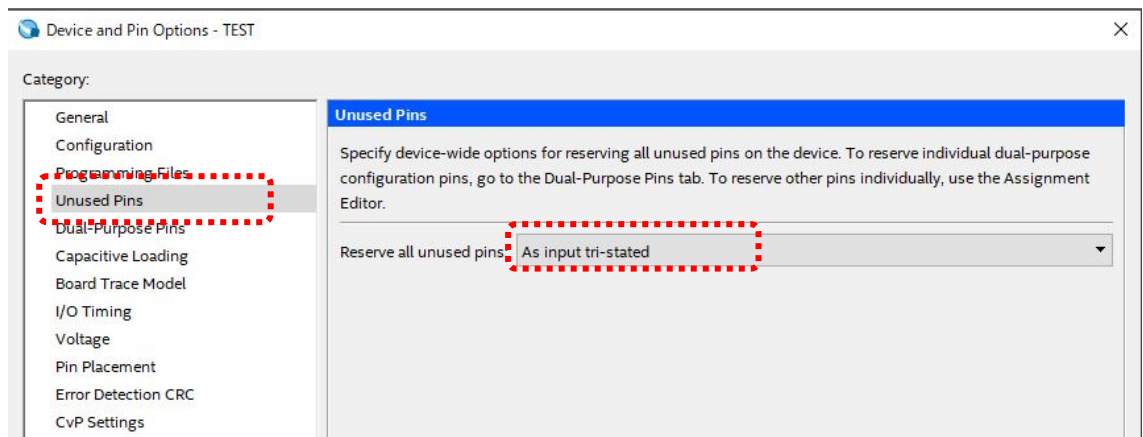
デバイス規模により、I/O ピンが電源ピンに割り付けられています。

これらのピンをダミー入力とし、使用しないようにしてください。これらのピンが駆動されると、ボードに重大な不具合を引き起こす原因となります。

ピン	CE30/CE40	CE115	ボード接続先
	ピン機能	ピン機能	
V20	I/O	GND	GND
W9	I/O	GND	GND
M9	I/O	VCCINT	V12
K13	I/O	VCCINT	V12
K15	I/O	VCCINT	V12
L20	I/O	VCCINT	V12
W20	I/O	VCCINT	V12
U20	I/O	VCCINT	V12
W16	I/O	VCCINT	V12
W10	I/O	VCCINT	V12
V9	I/O	VCCINT	V12
T9	I/O	VCCINT	V12
K8	VCCI01	I/O	V33A
J15	VCCI07	I/O	V33A
J13	VCCI08	I/O	V10 (B)
W7	VCCI02	I/O	V10 (B)
AB10	VCCI03	I/O	V10 (D)
Y16	VCCI04	I/O	V18
U21	VCCI05	I/O	V10 (C)
L21	VCCI06	I/O	V10 (C)

ダミー入力とする方法によらず、未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- 1) Quartus の **【Assignments -> Device】** をクリックします
- 2) **【Device & Pin Options...】** をクリックします
- 3) Reserve all unused pins の設定を **【As inputs tri-stated】** にします



VREF 入力のため、以下の I/O ピンはボード上で接続されています。

VREF ピン	Bank Group
AB4	B
G9	
G12	
G14	
T7	
T8	
AA24	C
J22	
M21	
N21	
U23	
U24	D
AB11	
Y10	

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード ACM-205	1
付属品	1
ユーザ登録はがき	1

マニュアルなどは付属していません。製品の資料ページからダウンロードして下さい。

3. 開発環境

FPGA の内部回路設計には、回路図エディタやHDL入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

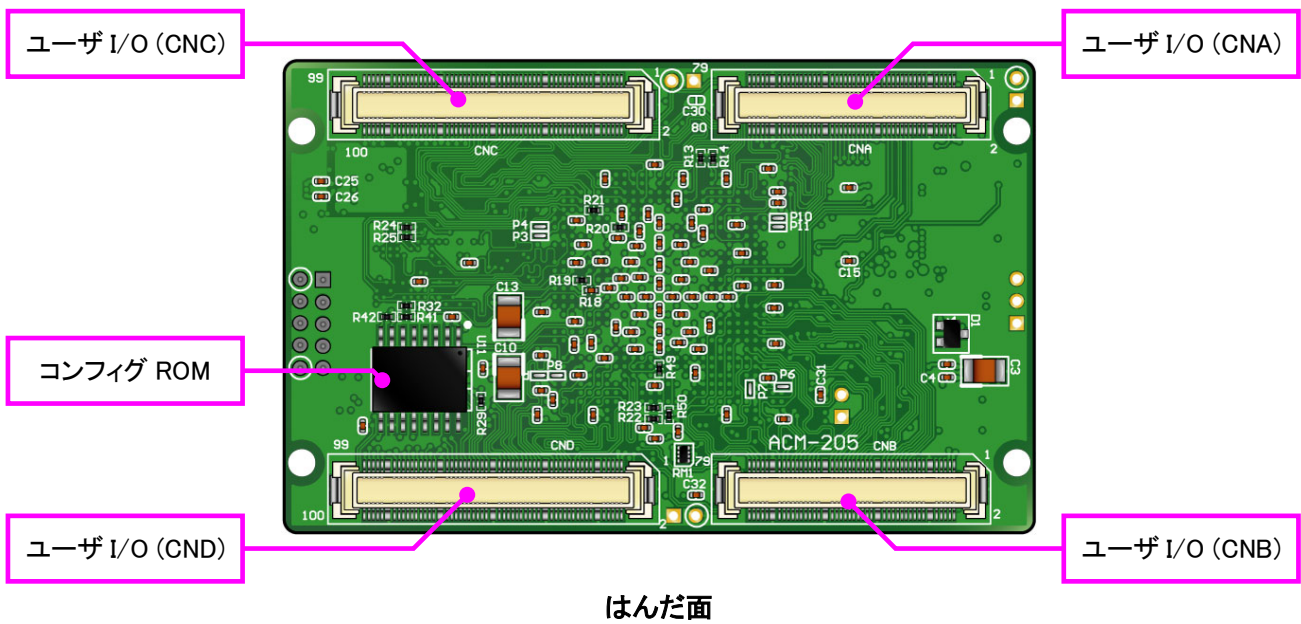
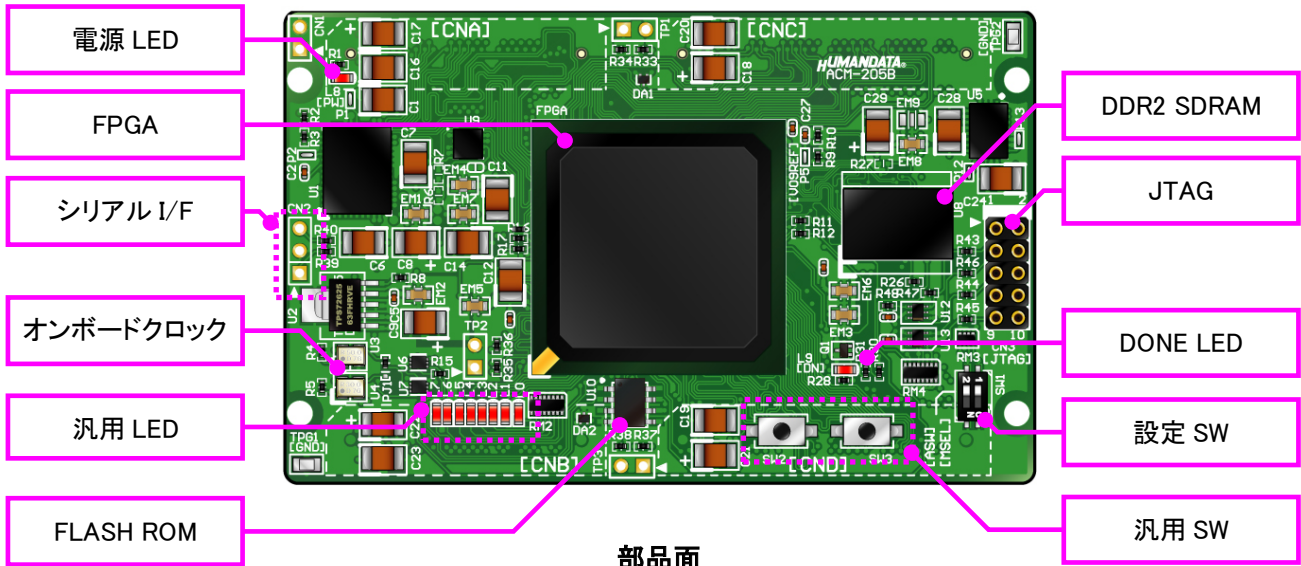
4. 仕様

製品型番	ACM-205-30C8	ACM-205-40C8	ACM-205-115C8
搭載 FPGA	EP4CE30F29C8N	EP4CE40F29C8N	EP4CE115F29C8N
電源	DC 3.3[V]		
ユーザ I/O	296 本		
DDR2 SDRAM	MT47H64M16NF-25E:M (Micron, 1Gbit)		
シリアル FLASH ROM	M25P16 (Micron, 16Mbit)		
コンフィグ ROM	EPCQ64ASI16N (Intel, 64Mbit)		
オンボードクロック	50MHz (30MHz)		
外部入力クロック	8 本		
汎用 LED	8		
汎用スイッチ	3 (Push x 2, DIP x 1bit)		
リセット信号	コンフィグ用リセット信号 (typ. 240ms)		
I/O コネクタ	FX10A-80P/8-SV1 x 2 FX10A-100P/10-SV1 x 2 (ヒロセ電機)		
プリント基板	ガラスエポキシ 8 層基板 1.6t		
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ		
ステータス LED	POWER (赤), DONE (青)		
基板寸法	54 x 86 [mm]		
質量	約 36 [g]		
付属品	DIL10 ロングピンヘッダ FX10A-80S/8-SV x 2 FX10A-100S/10-SV x 2 (ヒロセ電機)		
消費電流	ユーザの FPGA デザインに依存します		

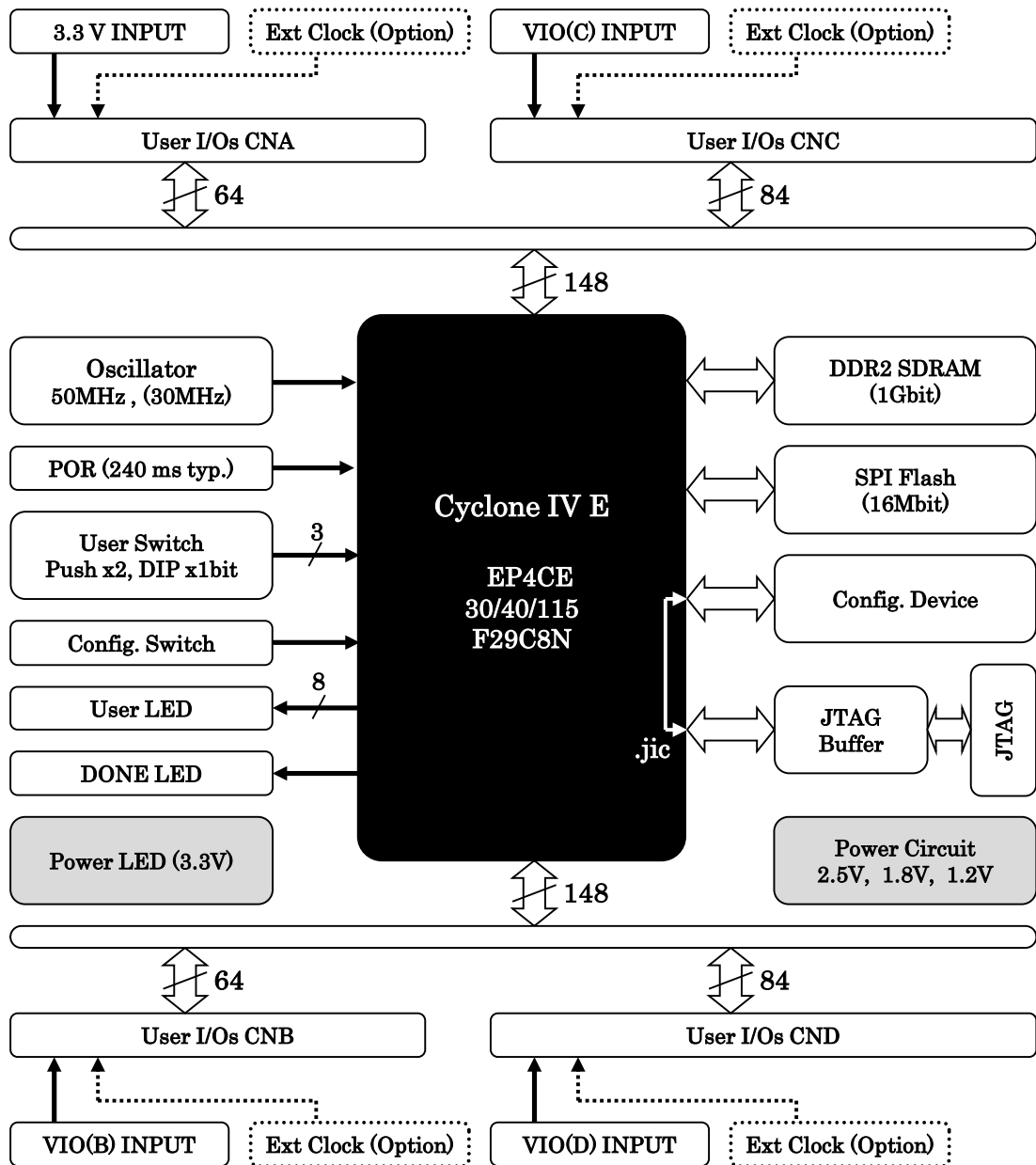
* これらの部品や仕様は変更となる場合がございます

5. 製品概要

5.1 各部の名称



5.2 ブロック図



ACM-205 Rev.D

5.3 電源入力

電源は CNA,より 3.3V を供給してください。内部で必要になる 2.5V、1.8V、1.2V はオンボードレギュレータにより生成されます。

CNB, CNC, CND から I/O 用電源 VIO(B), VIO(C), VIO(D)を入力することが可能です。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

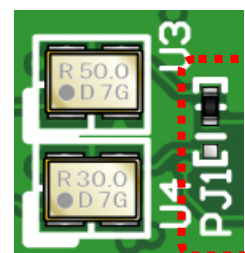
詳しくは FPGA のデータシートや回路図などを参照してください。

5.4 クロック

オンボードクロックとして 50MHz(U3)と 30MHz(U4)を搭載しています。出荷時は 50MHz が供給されています。30MHz を供給する場合は PJ1 の実装位置を変更して下さい。

ユーザ I/O コネクタより外部クロックを入力することも可能です。

詳しくは回路図をご参照ください。

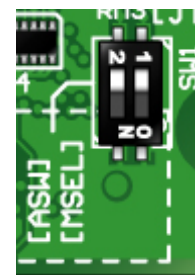


5.5 設定スイッチ (SW1)

設定スイッチによりコンフィギュレーションモードを変更することが可能です。各ピンの詳細については Intel 社のコンフィギュレーションハンドブックをご参照ください。

SW1

番号	2	1
記号	ASW2	MSEL0
出荷時	OFF	OFF
説明	汎用	コンフィグモード設定



コンフィギュレーションモード

SW1[1]の設定	モード
ON	PS (Passive Serial)
OFF	AS (Active Serial)

MSEL0 は FPGA のコンフィギュレーションモードを設定します。

- ・PS (Passive Serial) モード :JTAG アクセスの際に設定してください
- ・AS (Active Serial) モード :下記の場合に設定してください
 - コンフィグ ROM にアクセスする (データ書込み、消去など)
 - コンフィグ ROM から FPGA をコンフィギュレーションする (電源投入時)

5.6 FPGA コンフィギュレーション

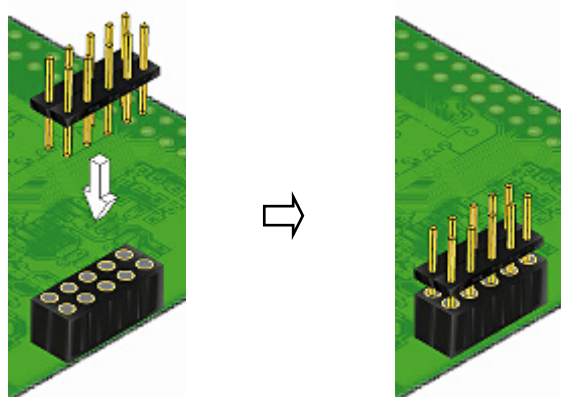
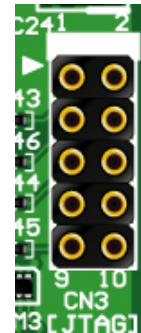
JTAG コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、AS モードにて電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN3

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



使用例

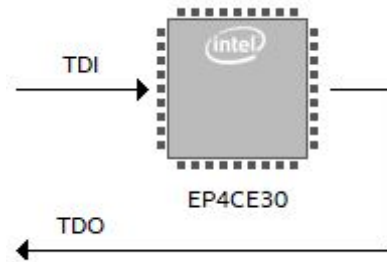
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。

注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

5.7 JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。

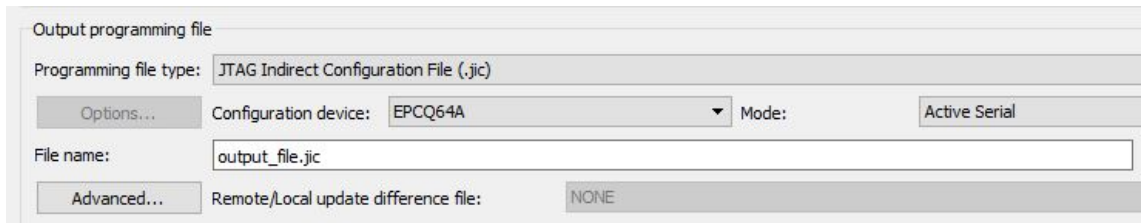


5.8 コンフィグ ROM アクセスファイル(jic ファイル)の作成

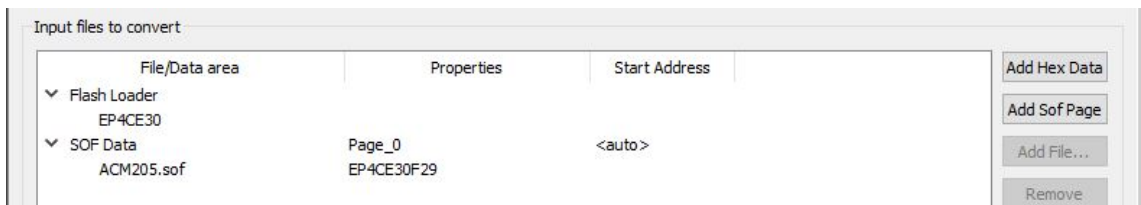
コンフィギュレーション ROM へ書き込むためには jic (JTAG Indirect Configuration) ファイルが必要となります。作成手順を以下に示します。

※EPCQA メモリに対応した JIC ファイルの作成には Quartus Prime 17.1 以降が対応しています

- (1) Quartus の【File】から、【 Convert Programming Files..】をクリックします
- (2) 設定画面にて必要な項目を設定します
 - 【Programming file type】 : JTAG Indirect Configuration File (.jic)
 - 【Configuration device】 : EPCQ64A
 - 【File name】 : 任意



- (3) 【Flash Loader】を選択し【Add Device..】をクリックします
- (4) 搭載デバイスを選択し【OK】をクリックします
- (5) 【SOF Data】を選択し【Add File...】をクリックします
- (6) 変換する sof データを選択し【OK】をクリックします

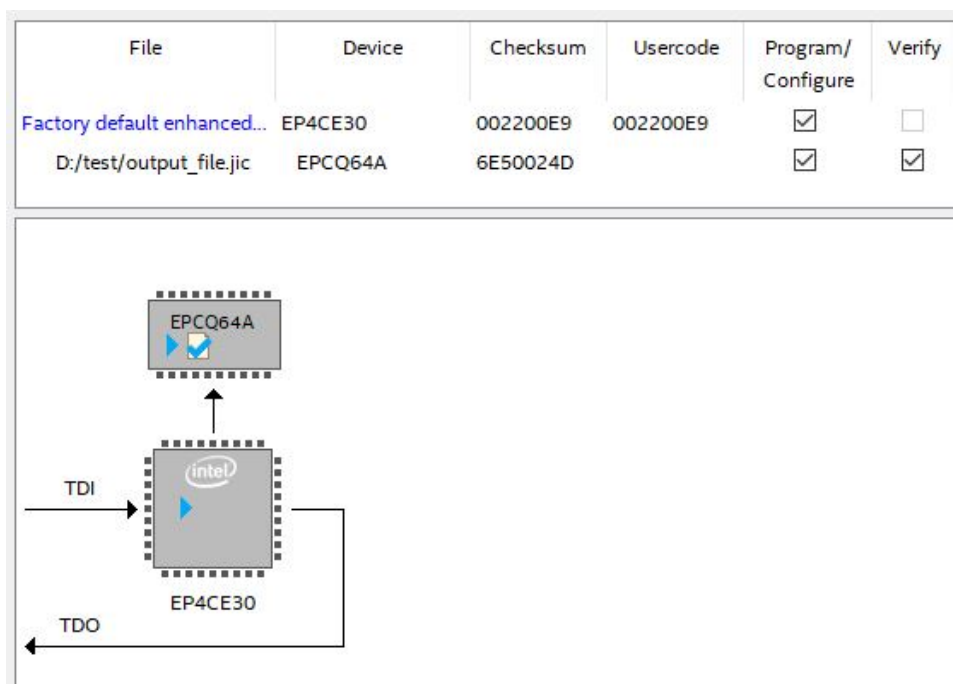


- (7) 【Generate】をクリックします

5.9 コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし jic ファイルを選択します
- (2) 【Program/Configure】にチェックを入れ、【Start】をクリックします



6. FPGA ピン割付表

ACM-205 の FPGA BANK は下表のように「BANK Group」にまとめられています。Group A の Vccio は CNA より供給する V33A (3.3V) 固定です。Group B, C, D の Vccio には CNB, CNC, CND より設計に合った値を供給できます。

ピン割付表は資料ページよりご参照ください。

FPGA BANK	Vccio	NET LABEL	BANK Group	メモ
1	Vccio1	V33A	A	
2	Vccio2	V10 (B)	B	
3	Vccio3	V10 (D)	D	
4	Vccio4	V18	4	DDR2 SDRAM
5	Vccio5	V10 (C)	C	
6	Vccio6	V10 (C)	C	
7	Vccio7	V33A	A	
8	Vccio8	V10 (B)	B	

7. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/acm-205/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

8. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

Cyclone IV E FPGA ボード

ACM-205 シリーズ (Rev3)
ユーザーズマニュアル

2020/11/10 Ver.3.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <https://www.hdl.co.jp/> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
