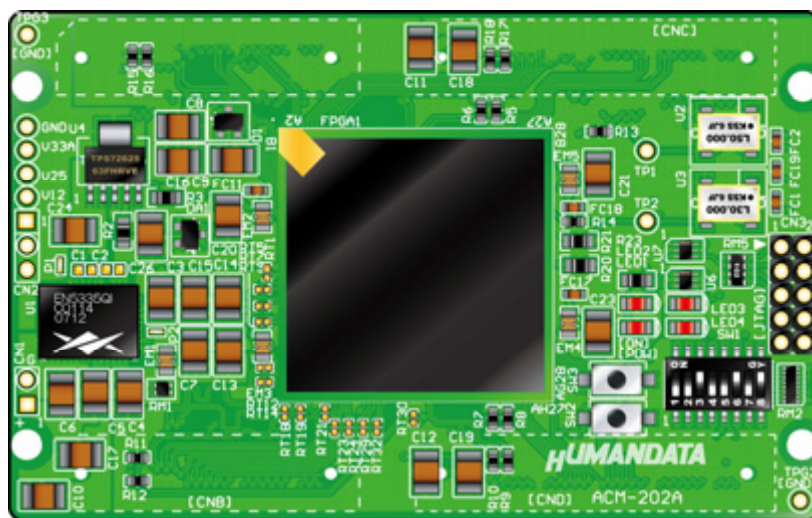


CycloneIII ブレッドボード
(高密度カードサイズ)
ACM-202 シリーズ Rev2
ユーザーズマニュアル
Ver. 2.2



ヒューマンデータ

目次

● はじめに.....	1
● ご注意	1
● 改訂記録.....	1
1. 製品の内容について.....	2
2. 仕様	2
3. 固定ピンについて [重要]	3
4. 製品概要.....	4
4.1. 各部の名称	4
4.2. ブロック図.....	5
4.3. 電源 V33A.....	5
4.4. I/O 電源.....	6
4.5. JTAG コネクタ	6
5. 設定スイッチ	7
6. FPGA のコンフィギュレーション	7
7. コンフィギュレーション ROM への書込み.....	8
7.1. jic ファイルの作成.....	8
7.2. 書き込み	8
8. FPGA ピン割付け表	9
8.1. ユーザ I/O (CNA)	9
8.2. ユーザ I/O (CNB)	10
8.3. ユーザ I/O (CNC)	11
8.4. ユーザ I/O (CND)	12
8.5. オンボードクロック.....	13
8.6. 外部入力クロック.....	13
8.7. 汎用 LED	13
8.8. 汎用スイッチ.....	14
8.9. シリアル I/F (CN2)	14
9. 参考資料について.....	15
10. 付属資料	15
11. お問い合わせについて	15


● はじめに


この度は、CycloneⅢブレッドボード／ACM-202 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-202 シリーズは、アルテラ社の高性能 FPGA である CycloneⅢを用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電源を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2011/11/18	2.1	・ 2.仕様 コンフィグ ROM の変更 (Rev2)
2014/05/27	2.2	・ 2.仕様 を編集

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-202 シリーズ	1
付属品		1
マニュアル（本書）		1*
ユーザ登録はがき		1*

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

2. 仕様

製品型番	ACM-202-55C8	ACM-202-80C8	ACM-202-120C8
搭載 FPGA	EP3C55F780C8N	EP3C80F780C8N	EP3C120F780C8N
コンフィグ ROM	EPCS64SI16N (ALTERA, 64Mbit)		
ユーザ I/O	296 本		
オンボードクロック	30 [MHz]、50 [MHz] 外部供給可能		
汎用スイッチ	6 個 (Push x2, DIP x4)		
汎用 LED	2 個		
ステータス LED	2 個 (POWER、DONE)		
リセット回路	内蔵 200 [ms] typ.		
JTAG コネクタ	DIL10 ピンソケット 2.54 [mm] ピッチ		
電源	DC 3.3 [V] (内部電源はオンボードレギュレータにより生成)		
プリント基板	ガラスエポキシ 8 層基板 1.6t		
基板寸法	86 x 54 [mm]		
質量	約 33 [g]		
I/O コネクタ	FX10A-80P/8-SV1(71) x 2 FX10A-100P/10-SV1(71) x 2 (ヒロセ電機)		
付属品	DIL10 ロングピンヘッダ コネクタ : FX10A-80S/8-SV(71) (ヒロセ電機) 2 個 コネクタ : FX10A-100S/10-SV(71) (ヒロセ電機) 2 個		

* これらの部品や仕様は変更となる場合がございます。

メモ

Rev2 よりコンフィグ ROM が変更になりました。

3. 固定ピンについて **[重要]**

本ボードでは、デバイス規模間でのボード共有のため、一部の I/O ピンが GND や VCCINT (1.2V) に固定されています。

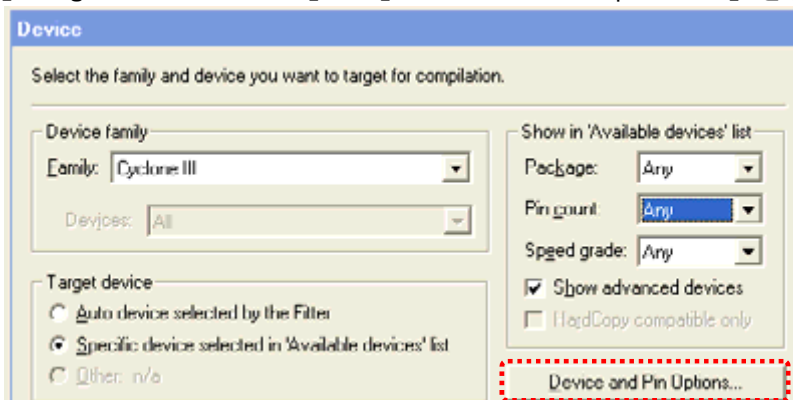
これらは汎用 I/O 用途に使用しないようにする必要があります。
 詳細は回路図をご参照ください。下表に該当ピンを示します。

NET LABEL	FPGA ピン
GND	V20
	W9

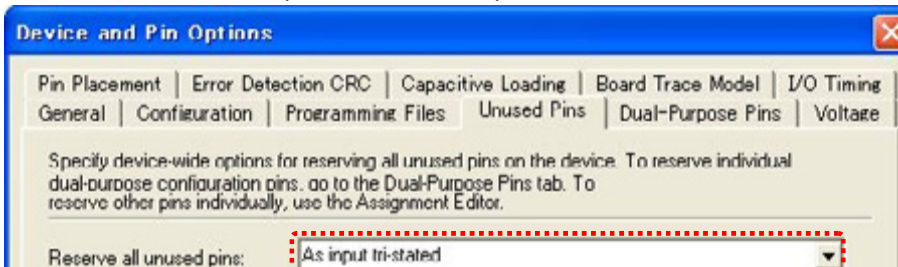
NET LABEL	FPGA ピン
VCCINT	K13
	K15
	L20
	M9
	T9
	U20
	V9
	W10
	W16
	W20

NET LABEL	FPGA ピン
VCCIO1	K8
VCCIO2	W7
VCCIO3	AB10
VCCIO4	Y16
VCCIO5	U21
VCCIO6	L21
VCCIO7	J15
VCCIO8	J13

1. 【Assignments → Device】 → 【Device and Pin Options..】 をクリックします。

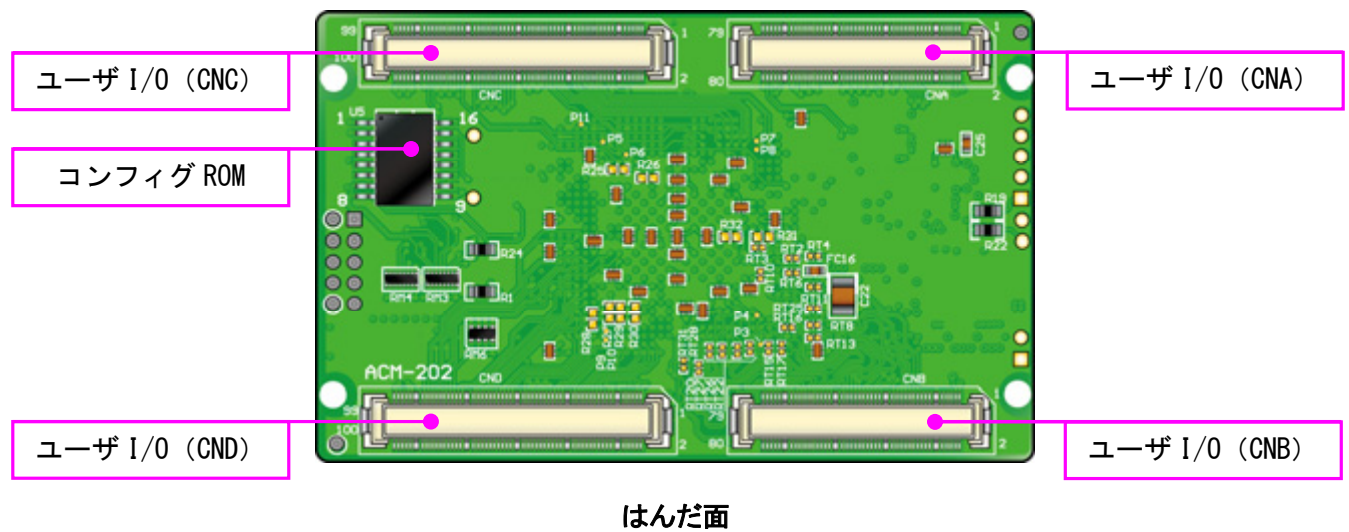
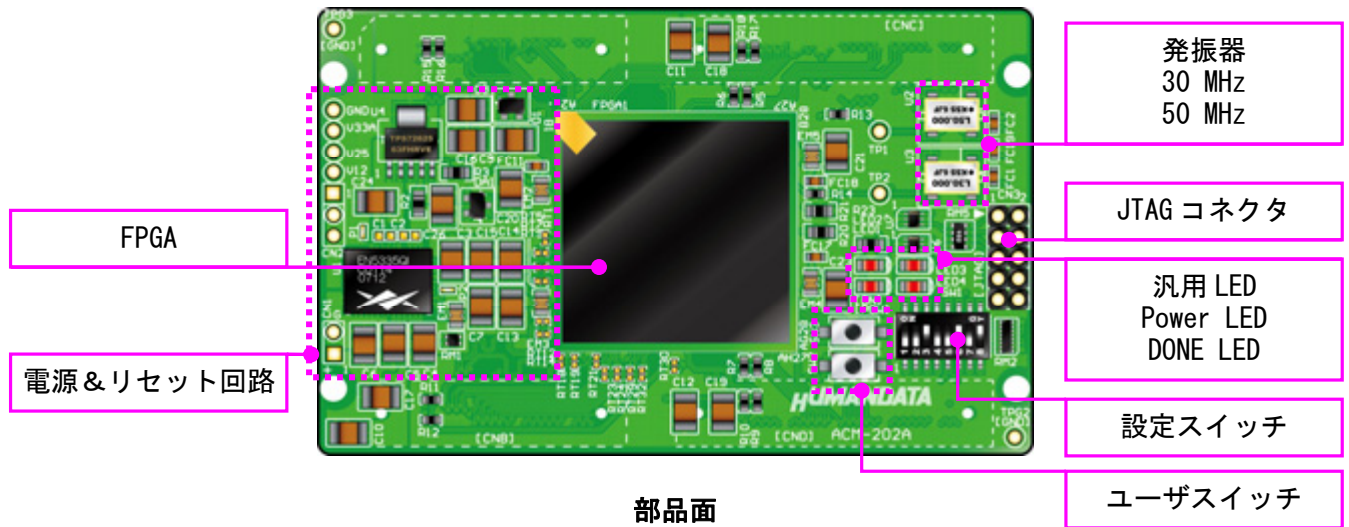


2. [Reserve all unused pins] を [As input tri-stated] に設定します。

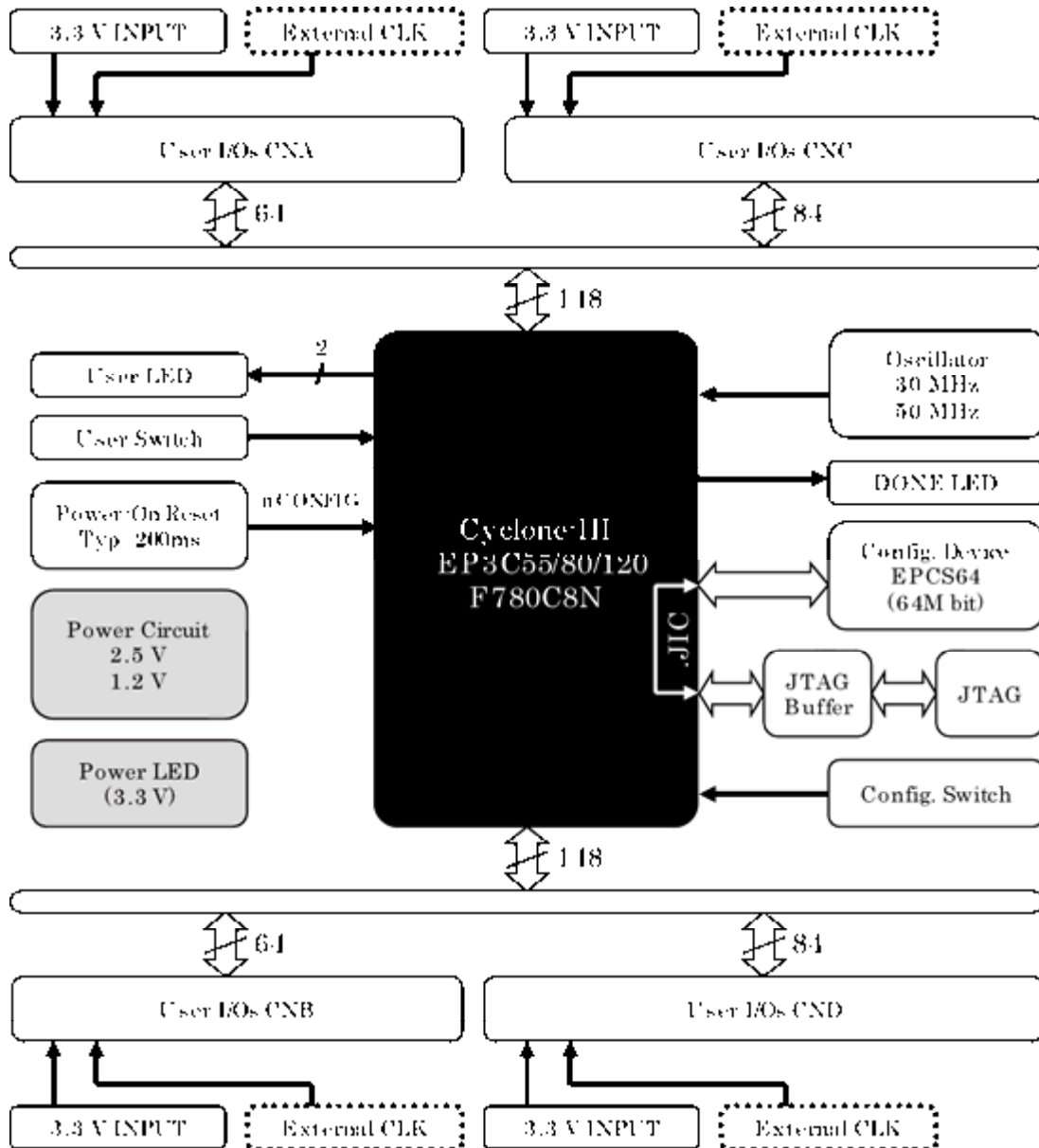


4. 製品概要

4.1. 各部の名称



4.2. ブロック図



ACM-202 Rev.B

4.3. 電源 V33A

電源はCNAより3.3Vを供給して下さい。CNB、CNC、CNDには設計に合った電圧を供給することが出来ます。

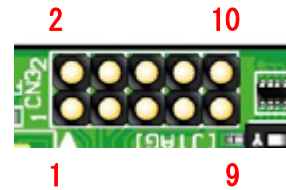
3.3V電源は充分安定して余裕のあるものをご用意頂き、なるべく太い配線にて供給してください。すべての電源、GNDピンを接続することをお勧めします。

4.4. I/O 電源

コネクタ別の I/O 電源を入力することが出来ます。設計に合った電圧を VIO (B/C/D) に供給して下さい。これらは V33A とは接続されていませんので、忘れず何らかの電源を入力して下さい。詳しくは回路図又はピン割付表をご参照下さい。

4.5. JTAG コネクタ

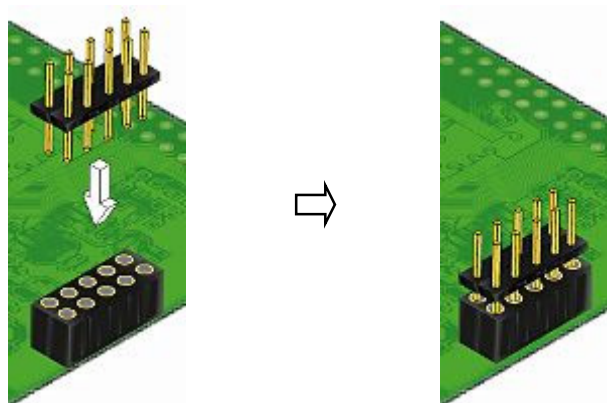
FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP (In System Programming) に使用します。ピン配置は次表のとおりです。



CN3

NET LABEL	信号	JTAG ピン		信号	NET LABEL
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

ダウンロードケーブル (USB Blaster 等) との接続には、付属のロングピンヘッダをご利用いただけます。



注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

5. 設定スイッチ

SW1 は FPGA の MSEL0、MSEL1、MSEL2、MSEL3 を設定します。
ON で Low(0)、OFF で High(1) に固定されます。

SW1

	1	2	3	4	5	6	7	8
NET LABEL	MSEL0	MSEL1	MSEL2	MSEL3	DSW4	DSW5	DSW6	DSW7
機能	コンフィギュレーション・モード				汎用			

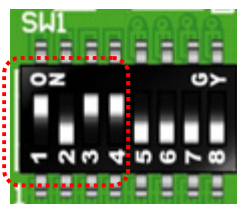
コンフィギュレーション・モード	MSEL0	MSEL1	MSEL2	MSEL3
PS モード	ON	ON	ON	ON
AS モード	ON	OFF	ON	ON
JTAG	X	X	X	X

X : Don't Care

メモ

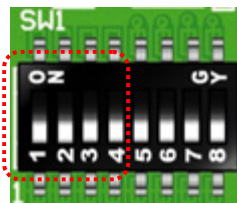
詳しくは ALTERA 社の最新データシートをご覧ください。

AS モード :



MSEL0 = ON
MSEL1 = OFF
MSEL2 = ON
MSEL3 = ON

JTAG モード :

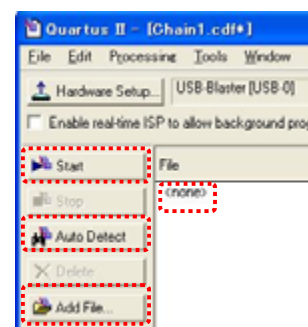


MSEL0 = 任意
MSEL1 = 任意
MSEL2 = 任意
MSEL3 = 任意

6. FPGA のコンフィギュレーション

1. Quartus II を起動し [Tools -> Programmer] をクリックします
2. [Auto Detect] をクリックしデバイスを認識させます
3. [Add Files...] または<none>をダブルクリックします
4. [Program/Configure] にチェックを入れ [Start] をクリックします

正常にコンフィギュレーションが完了すると DONE LED が点灯します。

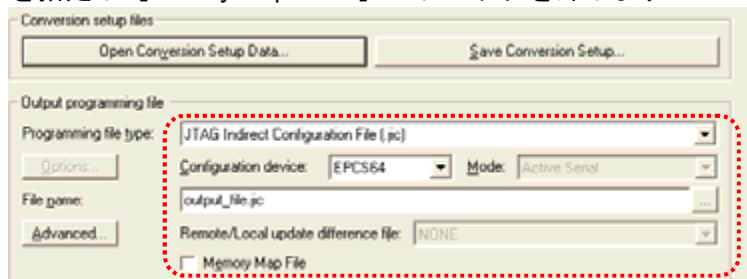


7. コンフィギュレーション ROM への書き込み

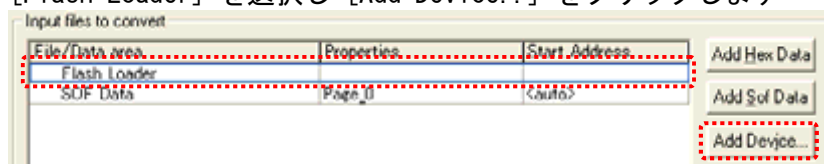
7.1. jic ファイルの作成

ACM-202 にはコンフィギュレーション ROM (EPCS64) が実装されています。書き込むには QuartusII により jic ファイルを作成する必要があります。

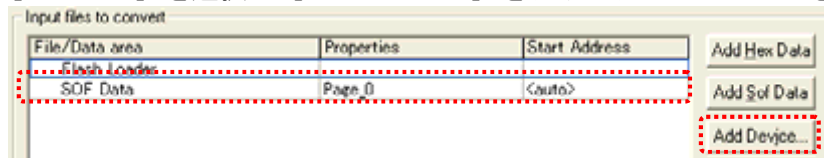
1. QuartusII を起動し [File -> Convert Programming Files..] をクリックします
2. [Programming file type]: JTAG Indirect Configuration File (.jic)
[Configuration device]: EPCS64
[File name]: 任意
を指定し [Memory Map File] のチェックを外します



3. [Flash Loader] を選択し [Add Device..] をクリックします



4. 搭載デバイスを選択し [OK] をクリックします (CycloneIII EP3C55 or EP3C80 or EP3C120)
5. [SOF Data] を選択し [Add Sof Data] をクリックし sof データを割り当てます



6. [Generate] をクリックします

7.2. 書き込み

書き込む前に FPGA にコンフィギュレーションし、十分な動作の確認を行ってください。書き込みにはコンフィギュレーション・モードを AS モードとして下さい (SW1)。詳しくは 5 章「設定スイッチ」を参照してください。

1. Quartus II を起動し [Programmer] をクリックします
2. [Auto Detect] をクリックしデバイスを認識させます
3. [Add Files..] または <none> をダブルクリックし jic ファイルを選択します
4. [Program/Configure] と [verify] にチェックをいれ [Start] をクリックします
完了後、電源を入れ直すと自動的に ROM から FPGA へコンフィギュレーションされます。

8. FPGA ピン割付け表

8.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK Group
	V33A	-	1	2	-	V33A	
	V33A	-	3	4	-	V33A	
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
	CLK0	Y2	11	12	Y1	CLK1	
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	P2	17	18	P28	IOA32	A
A	IOA1	P1	19	20	P27	IOA33	A
A	IOA2	M2	21	22	M28	IOA34	A
A	IOA3	M1	23	24	M27	IOA35	A
A	IOA4	L1	25	26	P26	IOA36	A
A	IOA5	K1	27	28	P25	IOA37	A
A	IOA6	K2	29	30	N26	IOA38	A
		GND	-	-	GND		
A	IOA7	J4	31	32	N25	IOA39	A
A	IOA8	J3	33	34	M25	IOA40	A
A	IOA9	H6	35	36	M26	IOA41	A
A	IOA10	H5	37	38	L24	IOA42	A
A	IOA11	H3	39	40	L23	IOA43	A
A	IOA12	H4	41	42	L25	IOA44	A
A	IOA13	G1	43	44	L26	IOA45	A
A	IOA14	G2	45	46	L28	IOA46	A
A	IOA15	G3	47	48	L27	IOA47	A
A	IOA16	G4	49	50	K28	IOA48	A
		GND	-	-	GND		
A	IOA17	F1	51	52	K27	IOA49	A
A	IOA18	F2	53	54	K25	IOA50	A
A	IOA19	E1	55	56	K26	IOA51	A
A	IOA20	D1	57	58	J25	IOA52	A
A	IOA21	D2	59	60	J26	IOA53	A
A	IOA22	F3	61	62	H24	IOA54	A
A	IOA23	E3	63	64	H26	IOA55	A
A	IOA24	D3	65	66	G27	IOA56	A
A	IOA25	C2	67	68	G28	IOA57	A
A	IOA26	G6	69	70	F27	IOA58	A
		GND	-	-	GND		
A	IOA27	G5	71	72	F28	IOA59	A
A	IOA28	F5	73	74	D26	IOA60	A
A	IOA29	H7	75	76	N21	IOA61	A
A	IOA30	L5	77	78	M21	IOA62	A
A	IOA31	M5	79	80	J22	IOA63	A

8.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK Group
	VIO(B)	-	1	2	-	VIO(B)	
	VIO(B)	-	3	4	-	VIO(B)	
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
	CLK2	AG14	11	12	AH14	CLK3	
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	Y3	17	18	AF3	IOB32	B
B	IOB1	Y4	19	20	AH3	IOB33	B
B	IOB2	AA3	21	22	AG4	IOB34	B
B	IOB3	AA4	23	24	AH4	IOB35	B
B	IOB4	AB1	25	26	AG6	IOB36	B
B	IOB5	AB2	27	28	AH6	IOB37	B
B	IOB6	AC1	29	30	AG7	IOB38	B
		GND	-	-	GND		
B	IOB7	AC2	31	32	AH7	IOB39	B
B	IOB8	AD1	33	34	AG8	IOB40	B
B	IOB9	AD2	35	36	AH8	IOB41	B
B	IOB10	AC3	37	38	AG10	IOB42	B
B	IOB11	AD3	39	40	AH10	IOB43	B
B	IOB12	T3	41	42	AG11	IOB44	B
B	IOB13	T4	43	44	AH11	IOB45	B
B	IOB14	AD4	45	46	U1	IOB46	B
B	IOB15	AF4	47	48	U2	IOB47	B
B	IOB16	AE4	49	50	V1	IOB48	B
		GND	-	-	GND		
B	IOB17	AG3	51	52	V2	IOB49	B
B	IOB18	AD5	53	54	W1	IOB50	B
B	IOB19	AE6	55	56	W2	IOB51	B
B	IOB20	AB8	57	58	R1	IOB52	B
B	IOB21	AB9	59	60	R2	IOB53	B
B	IOB22	AF7	61	62	R3	IOB54	B
B	IOB23	AE7	63	64	R4	IOB55	B
B	IOB24	AF8	65	66	V3	IOB56	B
B	IOB25	AE8	67	68	V4	IOB57	B
B	IOB26	AC7	69	70	U3	IOB58	B
		GND	-	-	GND		
B	IOB27	AD8	71	72	U4	IOB59	B
B	IOB28	AF10	73	74	U5	IOB60	B
B	IOB29	AE10	75	76	U6	IOB61	B
B	IOB30	AE11	77	78	AF12	IOB62	B
B	IOB31	AF11	79	80	AE12	IOB63	B

8.3. ユーザ I/O (CNC)

BANK Group	NET LABEL	FPGA ピン	CNC		FPGA ピン	NET LABEL	BANK Group
	VIO(C)	-	1	2	-	VIO(C)	
	VIO(C)	-	3	4	-	VIO(C)	
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
	CLK6	A14	11	12	A15	CLK8	
	CLK7	B14	13	14	B15	CLK9	
		N.C	15	16	N.C		
C	IOC0	B3	17	18	C4	IOC42	C
C	IOC1	A3	19	20	D4	IOC43	C
C	IOC2	B4	21	22	D7	IOC44	C
C	IOC3	A4	23	24	C7	IOC45	C
C	IOC4	B6	25	26	D8	IOC46	C
C	IOC5	A6	27	28	C8	IOC47	C
C	IOC6	B7	29	30	D9	IOC48	C
		GND	-	-	GND		
C	IOC7	A7	31	32	C9	IOC49	C
C	IOC8	B8	33	34	C10	IOC50	C
C	IOC9	A8	35	36	D10	IOC51	C
C	IOC10	B10	37	38	C12	IOC52	C
C	IOC11	A10	39	40	D12	IOC53	C
C	IOC12	B11	41	42	F11	IOC54	C
C	IOC13	A11	43	44	E11	IOC55	C
C	IOC14	B12	45	46	F12	IOC56	C
C	IOC15	A12	47	48	E12	IOC57	C
C	IOC16	A17	49	50	C13	IOC58	C
		GND	-	-	GND		
C	IOC17	B17	51	52	D13	IOC59	C
C	IOC18	A18	53	54	C14	IOC60	C
C	IOC19	B18	55	56	D14	IOC61	C
C	IOC20	A19	57	58	F14	IOC62	C
C	IOC21	B19	59	60	E14	IOC63	C
C	IOC22	B21	61	62	G13	IOC64	C
C	IOC23	A21	63	64	H13	IOC65	C
C	IOC24	A22	65	66	D15	IOC66	C
C	IOC25	B22	67	68	C15	IOC67	C
C	IOC26	A23	69	70	E21	IOC68	C
		GND	-	-	GND		
C	IOC27	B23	71	72	F21	IOC69	C
C	IOC28	A25	73	74	D17	IOC70	C
C	IOC29	A26	75	76	C17	IOC71	C
C	IOC30	D21	77	78	C19	IOC72	C
C	IOC31	C22	79	80	D19	IOC73	C
C	IOC32	D24	81	82	C20	IOC74	C
C	IOC33	C24	83	84	D20	IOC75	C
C	IOC34	D25	85	86	C18	IOC76	C
C	IOC35	C25	87	88	D18	IOC77	C
C	IOC36	B26	89	90	E18	IOC78	C
		GND	-	-	GND		
C	IOC37	C26	91	92	F18	IOC79	C
C	IOC38	D6	93	94	E17	IOC80	C

C	IOC39	G14	95	96	F22	IOC81	C
C	IOC40	G12	97	98	G17	IOC82	C
C	IOC41	G9	99	100	G15	IOC83	C

8.4. ユーザ I/O (CND)

BANK Group	NET LABEL	FPGA ピン	CND		FPGA ピン	NET LABEL	BANK Group
	VIO(D)	-	1	2	-	VIO(D)	
	VIO(D)	-	3	4	-	VIO(D)	
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
		GND	-	-	GND		
	CLK4	Y27	11	12	AH15	CLK10	
	CLK5	Y28	13	14	AG15	CLK11	
		N.C	15	16	N.C		
D	IOD0	AG17	17	18	AC15	IOD42	D
D	IOD1	AH17	19	20	AD15	IOD43	D
D	IOD2	AG18	21	22	AE15	IOD44	D
D	IOD3	AH18	23	24	AF15	IOD45	D
D	IOD4	AG19	25	26	AF16	IOD46	D
D	IOD5	AH19	27	28	AE16	IOD47	D
D	IOD6	AG21	29	30	AE17	IOD48	D
		GND	-	-	GND		
D	IOD7	AH21	31	32	AF17	IOD49	D
D	IOD8	AH22	33	34	AF18	IOD50	D
D	IOD9	AG22	35	36	AE18	IOD51	D
D	IOD10	AE19	37	38	AH23	IOD52	D
D	IOD11	AF19	39	40	AG23	IOD53	D
D	IOD12	AF20	41	42	AH25	IOD54	D
D	IOD13	AE20	43	44	AG25	IOD55	D
D	IOD14	AF21	45	46	AH26	IOD56	D
D	IOD15	AE21	47	48	AG26	IOD57	D
D	IOD16	AF24	49	50	AE27	IOD58	D
		GND	-	-	GND		
D	IOD17	AF25	51	52	AE28	IOD59	D
D	IOD18	AE25	53	54	AD27	IOD60	D
D	IOD19	AF26	55	56	AD28	IOD61	D
D	IOD20	AF27	57	58	AC27	IOD62	D
D	IOD21	AC26	59	60	AC28	IOD63	D
D	IOD22	AD26	61	62	AB27	IOD64	D
D	IOD23	AB25	63	64	AB28	IOD65	D
D	IOD24	AB26	65	66	AD17	IOD66	D
D	IOD25	AA25	67	68	AC17	IOD67	D
D	IOD26	AA26	69	70	AB16	IOD68	D
		GND	-	-	GND		
D	IOD27	Y25	71	72	AA16	IOD69	D
D	IOD28	Y26	73	74	AC24	IOD70	D
D	IOD29	T21	75	76	AC25	IOD71	D
D	IOD30	T22	77	78	Y23	IOD72	D
D	IOD31	U25	79	80	Y24	IOD73	D
D	IOD32	U26	81	82	W25	IOD74	D
D	IOD33	U28	83	84	W26	IOD75	D
D	IOD34	U27	85	86	W27	IOD76	D
D	IOD35	R26	87	88	W28	IOD77	D

D	IOD36	R25	89	90	V25	IOD78	D
		GND	-	-	GND		
D	IOD37	R27	91	92	V26	IOD79	D
D	IOD38	R28	93	94	V27	IOD80	D
D	IOD39	T25	95	96	V28	IOD81	D
D	IOD40	AA15	97	98	U23	IOD82	D
D	IOD41	AC18	99	100	AA24	IOD83	D

8.5. オンボードクロック

周波数	NET LABEL	FPGA ピン
30 MHz	GCLKA	J1 J2
50 MHz	GCLKB	J28 J27

8.6. 外部入力クロック

周波数	NET LABEL	FPGA ピン	備考
任意	CLK0	Y2	P
任意	CLK1	Y1	N
任意	CLK2	AG14	P
任意	CLK3	AH14	N
任意	CLK4	Y27	P
任意	CLK5	Y28	N
任意	CLK6	A14	N
任意	CLK7	B14	P
任意	CLK8	A15	N
任意	CLK9	B15	P
任意	CLK10	AH15	N
任意	CLK11	AG15	P

8.7. 汎用 LED

LED	NET LABEL	FPGA ピン
LED3	ULED0	AD10
LED4	ULED1	AE9

8.8. 汎用スイッチ

スイッチ	NET LABEL	FPGA ピン
SW1-5	DSW4	AF9
SW1-6	DSW5	AF6
SW1-7	DSW6	AA8
SW1-8	DSW7	AA10
SW2	PSW0	AE13
SW3	PSW1	AD7

8.9. シリアル I/F (CN2)

NET LABEL	FPGA ピン
D_RXD	D27
D_TXD	D28

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。
汎用ピンとしてもご使用頂けます。詳しくは回路図をご参照ください。

9. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-202/index.html>
http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- ネットリスト ... 等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

10. 付属資料

1. 基板外形図
2. 回路図(FPGA ライブラリには EP3C120 を使用しています)

11. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

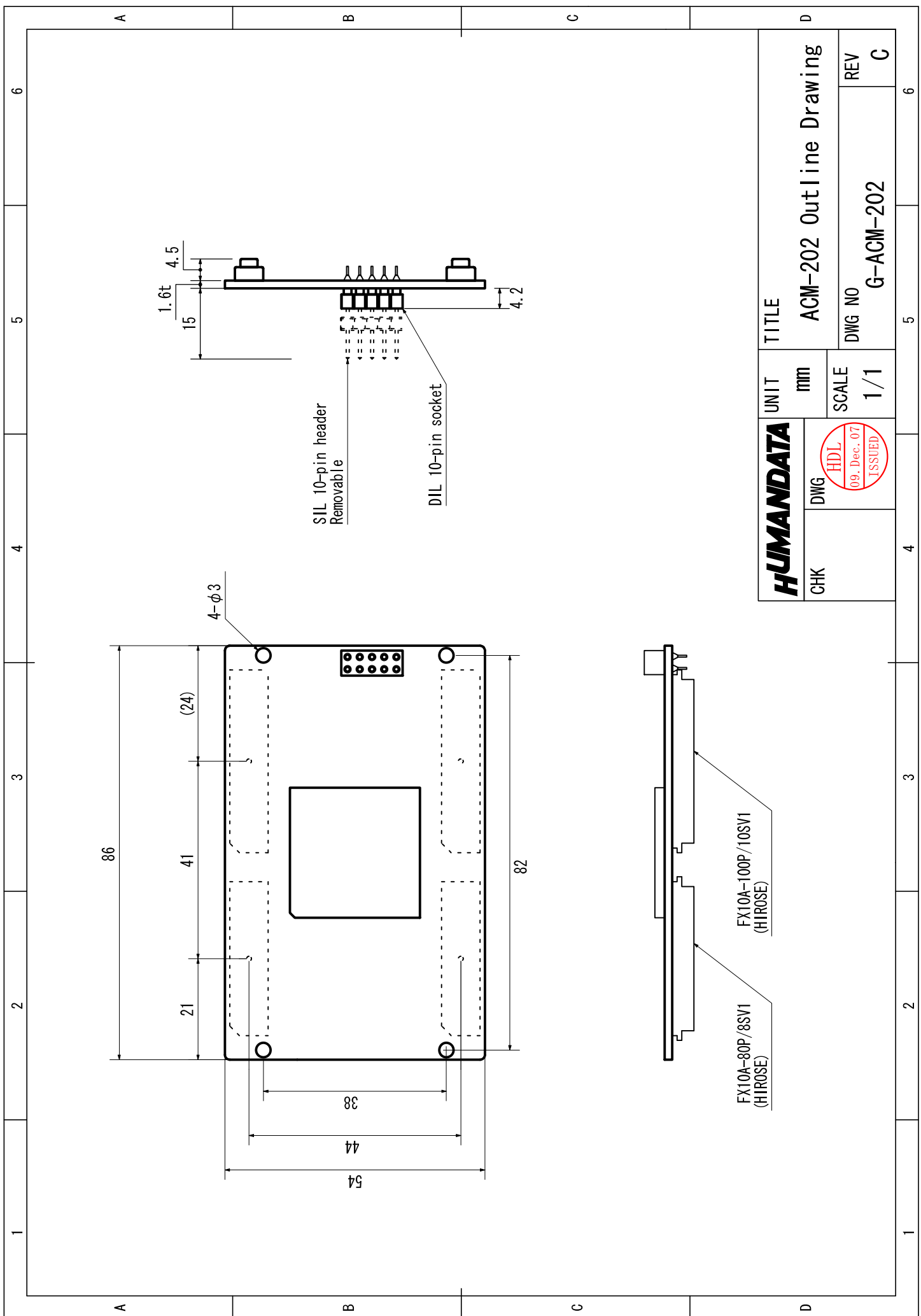
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA		UNIT	TITLE	
CHK	DWG	mm	ACM-202 Outline Drawing	
		SCALE	DWG NO	REV
		1/1	G-ACM-202	C

CycloneⅢ ブレッドボード

ACM-202 シリーズ (Rev2)
ユーザーズマニュアル

2011/11/18 Ver.2.1

2014/05/27 Ver.2.2

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
