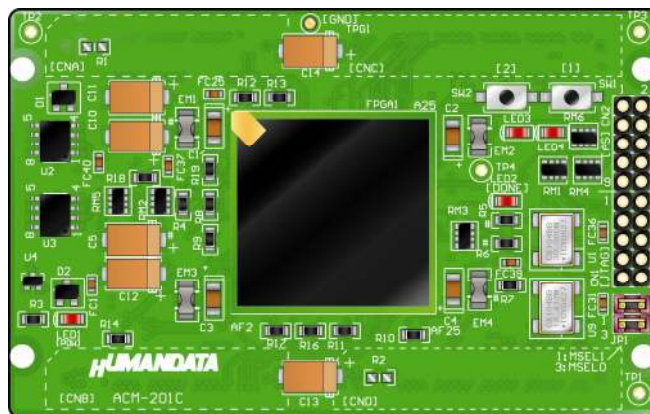




Cyclone II ブレッドボード
(高密度カードサイズ)
ACM-201 シリーズ (Rev.2)
ユーザーズマニュアル
Ver.2.3



目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 固定ピンについて [重要]	3
3. Dual-Purpose Pins の設定.....	4
4. 仕様.....	5
5. 製品説明.....	6
5.1. 各部名称.....	6
5.2. ブロック図.....	7
5.3. 電源 V33A.....	8
5.4. 電源 V10(B)、V10(C).....	8
5.5. JTAG コネクタ.....	8
5.6. AS コネクタ.....	8
5.7. コンフィギュレーション用ジャンパ (JP1).....	9
6. FPGA ピン割付け表.....	10
6.1. ユーザ I/O (CNA).....	10
6.2. ユーザ I/O (CNB).....	11
6.3. ユーザ I/O (CNC).....	12
6.4. ユーザ I/O (CND).....	13
6.5. オンボードクロック.....	14
6.6. 外部入力クロック.....	14
6.7. 汎用 LED.....	14
6.8. 汎用スイッチ.....	14
6.9. FLASH ROM (U7).....	15
6.10. SRAM (U5).....	15
6.11. SDRAM (U8).....	16
7. サポートページ.....	17
8. 付属資料.....	17
9. お問い合わせについて.....	17


● はじめに


この度は、Cyclone II ブレッドボード/ACM-201 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-201 シリーズは、アルテラ社の高性能 FPGA である Cyclone II を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、汎用メモリ、コンフィギュレーション ROMなどを装備した、使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2009/12/14	第4版	・ユーザ I/O 誤植修正
2011/11/11	2.2	・コンフィギュレーションモード設定の誤植を修正 ・ピン割付表を修正 ・その他表現修正
2014/04/22	2.3	・R1、R2 を不実装に変更（電源 VIO(B)、VIO(C) の分離）

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード ACM-201	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

2. 固定ピンについて [重要]

本ボードでは、一部の I/O ピンが GND または VCCINT (1.2V) に固定されています。デバイスによっては、ダミー入力として他に使わないようにする必要があります。固定ピンについては別途ピン割付表をご参照ください。

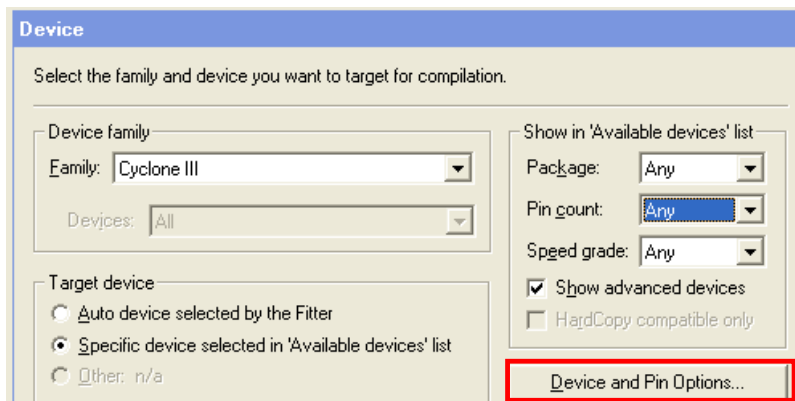
ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。

以下に設定方法を示します。

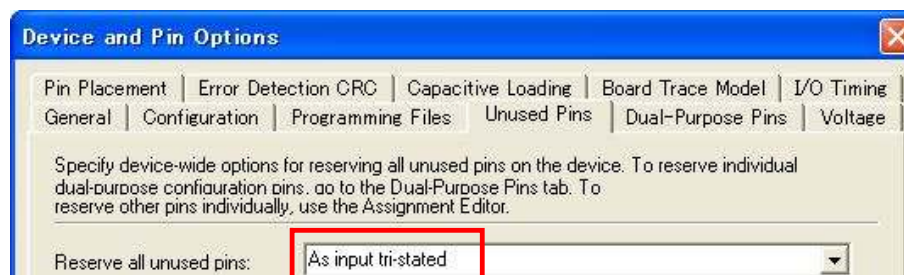
1. [Assignments -> Device] をクリックします



2. [Device and Pin Options..] をクリックします



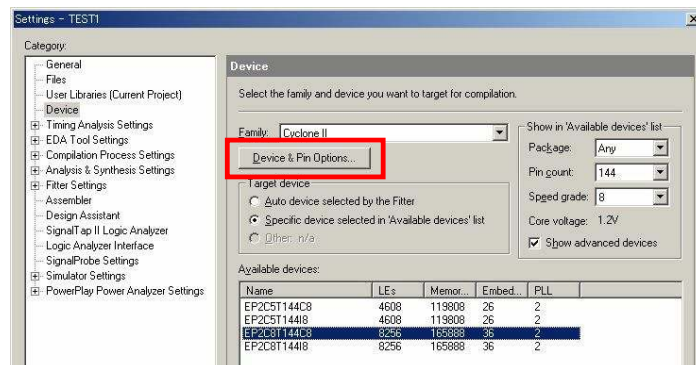
3. [Reserve all unused pins] を [As input tri-stated] に設定します



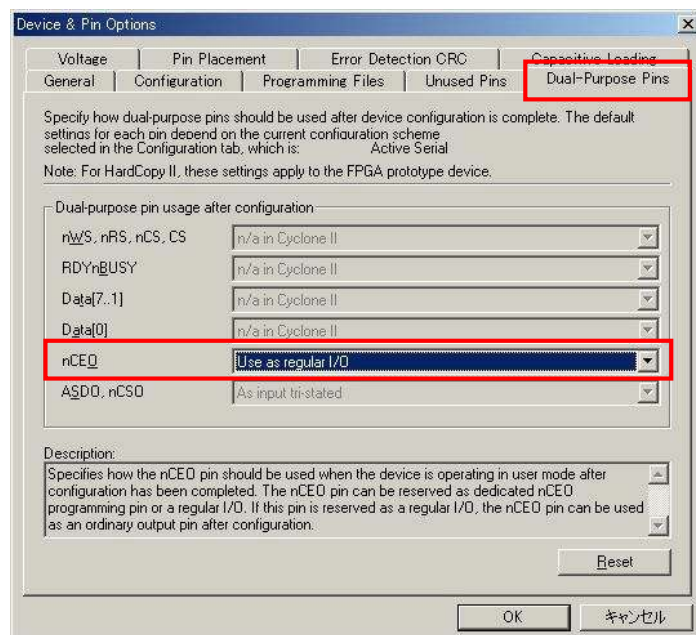
3. Dual-Purpose Pins の設定

NET LABEL [RAM A11]はnCEO (FPGA ピン [AE24])に割り付けられています。このピンを I/O として使用できるように設定する必要があります。以下に手順を示します。

1. Quartus II の【Assignments】のタブにある【Device...】を開きます
Device & Pin Options...】をクリックしてください。



2. 【Dual-Purpose Pins】のタブを開き、nCEO の設定を【Use as regular I/O】に設定してください。



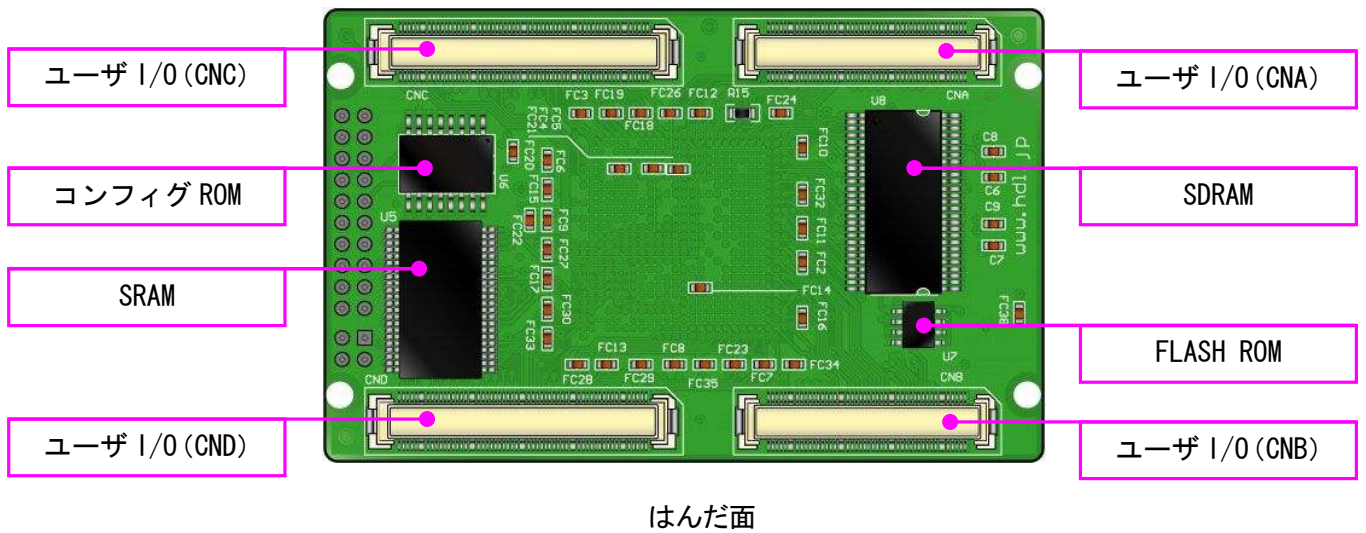
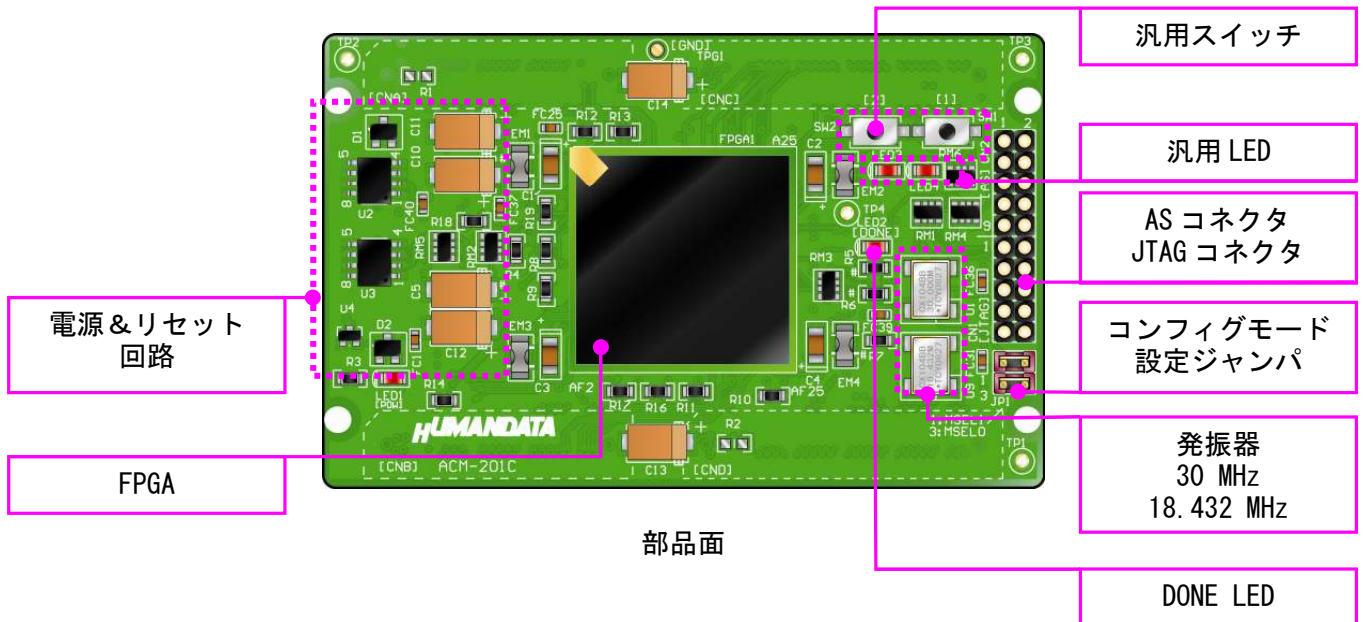
4. 仕様

製品型番	ACM-201-35C8	ACM-201-50C8	ACM-201-70C8
搭載 FPGA	EP2C35F672C8N	EP2C50F672C8N	EP2C70F672C8N
コンフィグ ROM	EPCS64S116N (ALTERA, 64Mbit)		
SRAM	IDT71V016SA10PHG (IDT, 1Mbit)		
SDRAM	MT48LC16M16A2P (MICRON, 256Mbit)		
シリアル FLASH-ROM	M25P40-VMN6P (Numonyx, 4Mbit)		
電源	DC 3.3 [V]		
ユーザ I/O	296 本		
オンボードクロック	30 [MHz]、18.432 [MHz] (外部供給可能)		
汎用スイッチ	押しボタンスイッチ 2 個		
汎用 LED	2 個		
ステータス LED	2 個 (POWER, DONE)		
リセット回路	内蔵 240 [ms] typ.		
JTAG コネクタ	DIL10 ピンソケット 2.54 [mm] ピッチ		
AS コネクタ	DIL10 ピンソケット 2.54 [mm] ピッチ		
プリント基板	ガラスエポキシ 10 層基板 1.6t		
基板寸法	86 x 54 [mm]		
質量	約 32 [g]		
I/O コネクタ	FX10A-80P/8-SV1 (71) x2 (ヒロセ電機) FX10A-100P/10-SV1 (71) x2 (ヒロセ電機)		
付属品	DIL10 ロングピンヘッダ FX10A-80S/8-SV (71) (ヒロセ電機) 2 個 FX10A-100S/10-SV (71) (ヒロセ電機) 2 個 ジャンパソケット 2 個		

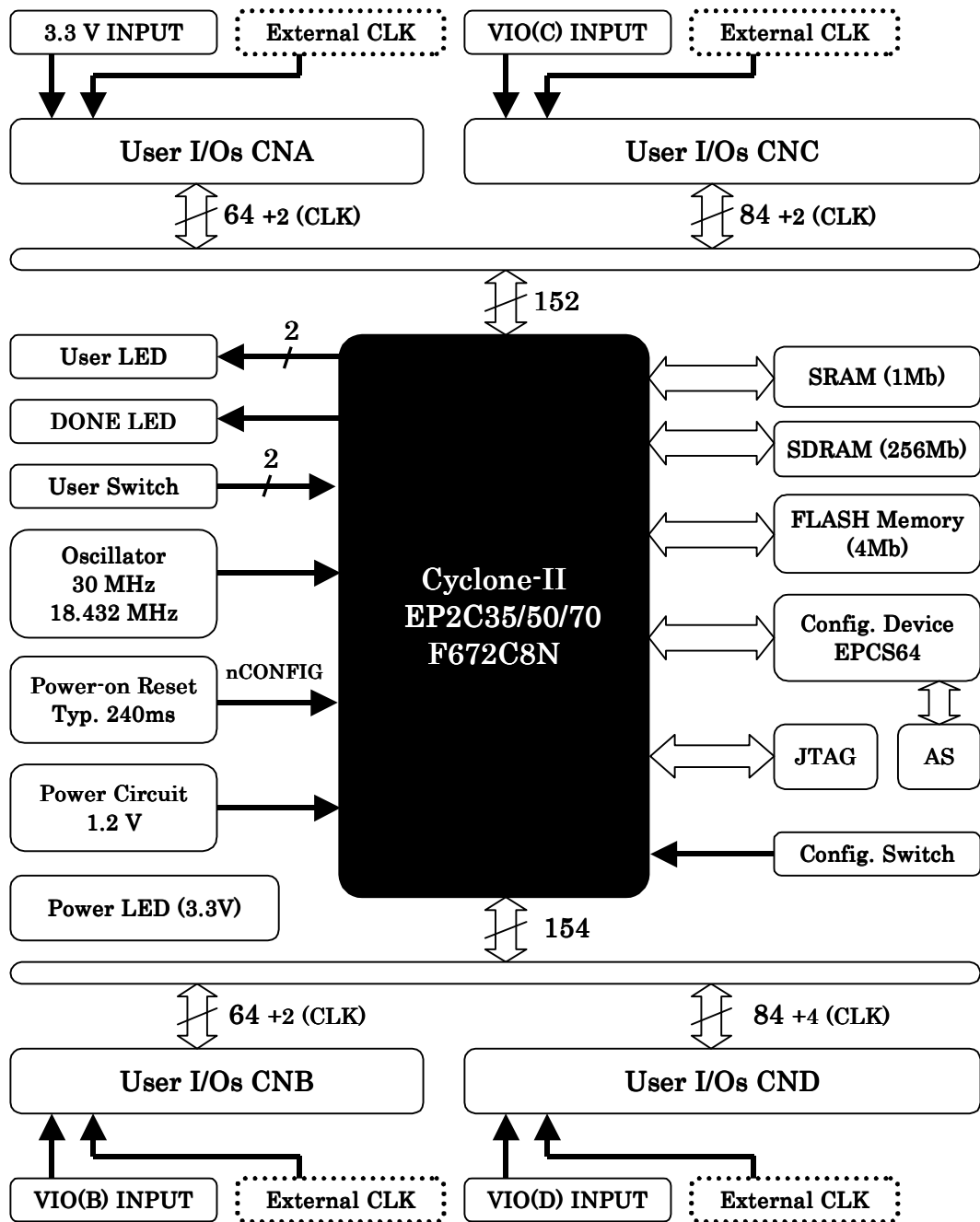
*これらの部品や仕様は変更となる場合がございます

5. 製品説明

5.1. 各部名称



5.2. ブロック図



5.3. 電源 V33A

電源は CNA より 3.3V を供給して下さい。CNB、CNC、CND には設計に合った電圧を供給することが出来ます。

3.3V 電源は充分安定して余裕のあるものをご用意頂き、なるべく太い配線にて供給してください。すべての電源、GND ピンを接続することをお勧めします。

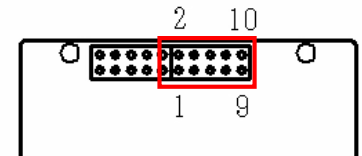
5.4. 電源 V10(B)、V10(C)

V33A、V10(B)、V10(C) は分離されており、CNB からは V10(B) を、CNC と CND からは V10(C) を供給する事が出来ます。また、R1 を取り付けることで V10(B) に V33A、R2 を取り付けることで V10(C) に V33A を使用することも可能です。詳しくは回路図を参照ください。

5.5. JTAG コネクタ

FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP (In System Programming) に使用します。

ピン配置は次表のとおりです。

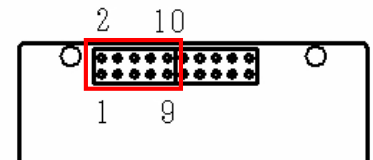


CN1

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

5.6. AS コネクタ

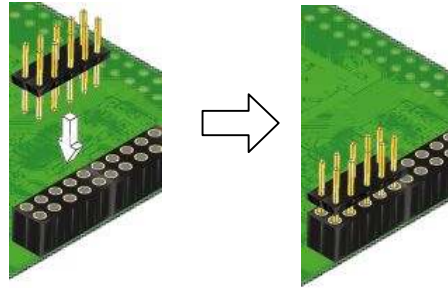
コンフィギュレーション ROM (EPCS) への ISP 時に使用します。ピン配置は次表のとおりです。



CN2

信号	JTAG ピン		信号
DCLK	1	2	GND
CONF_DONE	3	4	VCC
nCONFIG	5	6	nCE
DATAOUT	7	8	nCS
ASDI	9	10	GND

ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



ご注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください

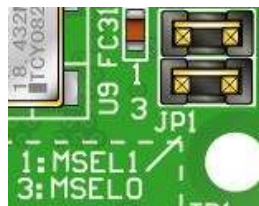
5.7. コンフィギュレーション用ジャンパ (JP1)

JP1 は FPGA の MSEL ピンに接続されており、FPGA のコンフィギュレーションモードを変更することが出来ます。OPEN で High (1)、SHORT で Low (0) となります。

JP1	MSEL
1-2	MSEL1
3-4	MSEL0

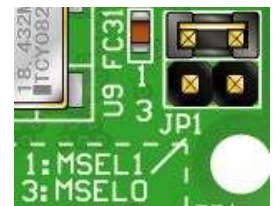
AS モード

MSEL1: SHORT (0)
MSEL0: SHORT (0)



JTAG モード

MSEL1: SHORT (0)
MSEL0: OPEN (1)



メモ

本来 JTAG 経由のコンフィギュレーションにモードは問いませんが、ROM の内容が不定 (BLANK 含む) の時には、AS モードを避けることにより安定したコンフィギュレーションが可能です

6. FPGA ピン割付け表

6.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA ピン	CNA ピン#		FPGA ピン	NET LABEL	BANK Group
	V33A	–	1	2	–	V33A	
	V33A	–	3	4	–	V33A	
		N. C	5	6	N. C		
		N. C	7	8	N. C		
		N. C	9	10	N. C		
		GND	–	–	GND		
C	CLK0	N25	11	12	N26	CLK1	C
		N. C	13	14	N. C		
		N. C	15	16	N. C		
A	IOA0	G6	17	18	M4	IOA32	A
A	IOA1	H6	19	20	M5	IOA33	A
A	IOA2	J8	21	22	L7	IOA34	A
A	IOA3	F7	23	24	K7	IOA35	A
A	IOA4	E8	25	26	K8	IOA36	A
A	IOA5	E10	27	28	J6	IOA37	A
A	IOA6	F10	29	30	J7	IOA38	A
		GND	–	–	GND		
A	IOA7	E12	31	32	C4	IOA39	A
A	IOA8	F11	33	34	B4	IOA40	A
A	IOA9	D5	35	36	B5	IOA41	A
A	IOA10	D6	37	38	B6	IOA42	A
A	IOA11	D7	39	40	B7	IOA43	A
A	IOA12	D8	41	42	B8	IOA44	A
A	IOA13	D9	43	44	B9	IOA45	A
A	IOA14	D10	45	46	B10	IOA46	A
A	IOA15	D11	47	48	B11	IOA47	A
A	IOA16	D12	49	50	B12	IOA48	A
		GND	–	–	GND		
A	IOA17	W21	51	52	C5	IOA49	A
A	IOA18	V21	53	54	C6	IOA50	A
A	IOA19	V20	55	56	C7	IOA51	A
A	IOA20	U20	57	58	C8	IOA52	A
A	IOA21	U21	59	60	C9	IOA53	A
A	IOA22	V22	61	62	C10	IOA54	A
A	IOA23	R20	63	64	C11	IOA55	A
A	IOA24	T20	65	66	C12	IOA56	A
A	IOA25	U22	67	68	A4	IOA57	A
A	IOA26	U23	69	70	A5	IOA58	A
		GND	–	–	GND		
A	IOA27	V23	71	72	A6	IOA59	A
A	IOA28	T21	73	74	A7	IOA60	A
A	IOA29	T22	75	76	A8	IOA61	A
A	IOA30	T23	77	78	A9	IOA62	A
A	IOA31	P23	79	80	A10	IOA63	A

6.2. ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA ピン	CNB ピン#		FPGA ピン	NET LABEL	BANK Group
	VIO(B)	–	1	2	–	VIO(B)	
	VIO(B)	–	3	4	–	VIO(B)	
		N. C	5	6	N. C		
		N. C	7	8	N. C		
		N. C	9	10	N. C		
		GND	–	–	GND		
C	CLK2	A13	11	12	B13	CLK3	C
		N. C	13	14	N. C		
		N. C	15	16	N. C		
B	IOB0	U1	17	18	R2	IOB32	B
B	IOB1	V1	19	20	T2	IOB33	B
B	IOB2	W1	21	22	U2	IOB34	B
B	IOB3	Y1	23	24	V2	IOB35	B
B	IOB4	AA1	25	26	W2	IOB36	B
B	IOB5	AB1	27	28	AB21	IOB37	B
B	IOB6	AC1	29	30	AA2	IOB38	B
		GND	–	–	GND		
B	IOB7	P3	31	32	AB2	IOB39	B
B	IOB8	R3	33	34	AC2	IOB40	B
B	IOB9	T3	35	36	AD2	IOB41	B
B	IOB10	U3	37	38	AE2	IOB42	B
B	IOB11	V3	39	40	P4	IOB43	B
B	IOB12	W3	41	42	R4	IOB44	B
B	IOB13	Y3	43	44	T4	IOB45	B
B	IOB14	AA3	45	46	U4	IOB46	B
B	IOB15	AB3	47	48	V4	IOB47	B
B	IOB16	AC3	49	50	W4	IOB48	B
		GND	–	–	GND		
B	IOB17	AD3	51	52	Y4	IOB49	B
B	IOB18	AE3	53	54	AA4	IOB50	B
B	IOB19	P6	55	56	AA5	IOB51	B
B	IOB20	R5	57	58	AB4	IOB52	B
B	IOB21	T6	59	60	AA6	IOB53	B
B	IOB22	U5	61	62	AA7	IOB54	B
B	IOB23	V5	63	64	Y5	IOB55	B
B	IOB24	P7	65	66	W6	IOB56	B
B	IOB25	R6	67	68	AF17	IOB57	B
B	IOB26	T7	69	70	AF18	IOB58	B
		GND	–	–	GND		
B	IOB27	U6	71	72	AF19	IOB59	B
B	IOB28	V6	73	74	AF20	IOB60	B
B	IOB29	V7	75	76	AF21	IOB61	B
B	IOB30	U7	77	78	AF22	IOB62	B
B	IOB31	R7	79	80	AF23	IOB63	B

6.3. ユーザ I/O (CNC)

BANK Group	NET LABEL	FPGA ピン	CNC ピン#		FPGA ピン	NET LABEL	BANK Group
	VIO (C)	–	1	2	–	VIO (C)	
	VIO (C)	–	3	4	–	VIO (C)	
		N. C	5	6	N. C		
		N. C	7	8	N. C		
		N. C	9	10	N. C		
		N. C	11	12	P1	CLK8	B
		N. C	13	14	P2	CLK9	B
		N. C	15	16	N. C		
C	IOC0	A14	17	18	B14	IOC32	C
C	IOC1	A17	19	20	B15	IOC33	C
C	IOC2	A18	21	22	B16	IOC34	C
C	IOC3	A19	23	24	B17	IOC35	C
C	IOC4	A20	25	26	B18	IOC36	C
C	IOC5	A21	27	28	B19	IOC37	C
C	IOC6	A22	29	30	B20	IOC38	C
		GND	–	–	GND		
C	IOC7	A23	31	32	B21	IOC39	C
C	IOC8	C15	33	34	B22	IOC40	C
C	IOC9	C16	35	36	B23	IOC41	C
C	IOC10	C17	37	38	B24	IOC42	C
C	IOC11	C19	39	40	B25	IOC43	C
C	IOC12	C21	41	42	C24	IOC44	C
C	IOC13	C22	43	44	D14	IOC45	C
C	IOC14	C23	45	46	D15	IOC46	C
C	IOC15	C25	47	48	D16	IOC47	C
C	IOC16	D23	49	50	D17	IOC48	C
		GND	–	–	GND		
C	IOC17	J20	51	52	D18	IOC49	C
C	IOC18	J21	53	54	D19	IOC50	C
C	IOC19	G21	55	56	D20	IOC51	C
C	IOC20	H21	57	58	D21	IOC52	C
C	IOC21	J23	59	60	D25	IOC53	C
C	IOC22	J25	61	62	D26	IOC54	C
C	IOC23	J24	63	64	E22	IOC55	C
C	IOC24	F23	65	66	E26	IOC56	C
C	IOC25	E25	67	68	F26	IOC57	C
C	IOC26	G23	69	70	G26	IOC58	C
		GND	–	–	GND		
C	IOC27	G25	71	72	H26	IOC59	C
C	IOC28	F25	73	74	J26	IOC60	C
C	IOC29	H24	75	76	E23	IOC61	C
C	IOC30	H25	77	78	E24	IOC62	C
C	IOC31	K26	79	80	F24	IOC63	C
B	IOE0	Y13	81	82	AA18	IOE10	B
B	IOE1	AC15	83	84	AA17	IOE11	B
B	IOE2	AC16	85	86	AA16	IOE12	B
B	IOE3	AB15	87	88	AA15	IOE13	B
B	IOE4	AC17	89	90	AA14	IOE14	B
		GND	–	–	GND		
B	IOE5	AC18	91	92	AA13	IOE15	B

B	IOE6	Y14	93	94	AA20	IOE16	B
B	IOE7	Y15	95	96	AB18	IOE17	B
B	IOE8	Y16	97	98	AB20	IOE18	B
B	IOE9	Y18	99	100	AC14	IOE19	B

6.4. ユーザ I/O (CND)

BANK Group	NET LABEL	FPGA ピン	CND ピン#		FPGA ピン	NET LABEL	BANK Group
	VIO(C)	-	1	2	-	VIO(C)	
	VIO(C)	-	3	4	-	VIO(C)	
		N. C	5	6	N. C		
		N. C	7	8	N. C		
		N. C	9	10	N. C		
C	CLK4	AC13	11	12	AE14	CLK10	B
C	CLK5	AD13	13	14	AF14	CLK11	B
		N. C	15	16	N. C		
C	IOD0	AE4	17	18	AF4	IOD32	C
C	IOD1	AE5	19	20	AF5	IOD33	C
C	IOD2	AE6	21	22	AF6	IOD34	C
C	IOD3	AE7	23	24	AF7	IOD35	C
C	IOD4	AE8	25	26	AF8	IOD36	C
C	IOD5	AE9	27	28	AF9	IOD37	C
C	IOD6	AE10	29	30	AF10	IOD38	C
		GND	-	-	GND		
C	IOD7	AE11	31	32	AF13	IOD39	C
C	IOD8	AE12	33	34	AD4	IOD40	C
C	IOD9	AE13	35	36	AD5	IOD41	C
C	IOD10	AC5	37	38	AD6	IOD42	C
C	IOD11	AC6	39	40	AD7	IOD43	C
C	IOD12	AC7	41	42	AD8	IOD44	C
C	IOD13	AC8	43	44	AB8	IOD45	C
C	IOD14	AC9	45	46	AD10	IOD46	C
C	IOD15	AC10	47	48	AD11	IOD47	C
C	IOD16	AC11	49	50	AD12	IOD48	C
		GND	-	-	GND		
C	IOD17	AC12	51	52	AB10	IOD49	C
C	IOD18	N20	53	54	AB12	IOD50	C
C	IOD19	J22	55	56	AA9	IOD51	C
C	IOD20	N23	57	58	AA12	IOD52	C
C	IOD21	N24	59	60	AA11	IOD53	C
C	IOD22	L19	61	62	AA10	IOD54	C
C	IOD23	L20	63	64	M19	IOD55	C
C	IOD24	L21	65	66	M20	IOD56	C
C	IOD25	L23	67	68	M21	IOD57	C
C	IOD26	L24	69	70	M22	IOD58	C
		GND	-	-	GND		
C	IOD27	L25	71	72	M23	IOD59	C
C	IOD28	K23	73	74	M24	IOD60	C
C	IOD29	K25	75	76	M25	IOD61	C
C	IOD30	K24	77	78	K19	IOD62	C
C	IOD31	K22	79	80	K21	IOD63	C
B	IOE20	AD15	81	82	AE15	IOE30	B
B	IOE21	AD16	83	84	AE16	IOE31	B
B	IOE22	AD17	85	86	AE17	IOE32	B

B	IOE23	AC19	87	88	AE18	IOE33	B
B	IOE24	AC20	89	90	AE19	IOE34	B
		GND	-	-	GND		
B	IOE25	AD19	91	92	AE20	IOE35	B
B	IOE26	AC21	93	94	AE21	IOE36	B
B	IOE27	AD21	95	96	AE22	IOE37	B
B	IOE28	AD22	97	98	AE23	IOE38	B
B	IOE29	AD23	99	100	AC22	IOE39	B

6.5. オンボードクロック

周波数	NET LABEL	FPGA ピン
30 MHz	GCLKA	P25
		P26
		N1
		N2
50 MHz	GCLKB	C13
		D13

6.6. 外部入力クロック

周波数	NET LABEL	FPGA ピン	BANK Group
任意	CLK0	N25	C
	CLK1	N26	C
	CLK2	A13	C
	CLK3	B13	C
	CLK4	AC13	C
	CLK5	AD13	C
	CLK8	P1	B
	CLK9	P2	B
	CLK10	AE14	B
	CLK11	AF14	B

6.7. 汎用 LED

LED	NET LABEL	FPGA ピン
LED3	U102	G17
LED4	U103	G18

6.8. 汎用スイッチ

スイッチ	NET LABEL	FPGA ピン
SW1	U100	G15
SW2	U101	G16

6. 9. FLASH ROM (U7)

FLASH-ROM ピン#	NET LABEL	FPGA ピン
6	FMCK	F9
1	FMCSO	G10
5	FMD	F12
7	FMHOLD	G9
2	FMQ	G11

6. 10. SRAM (U5)

SRAM		NET LABEL	FPGA ピン	SRAM		NET LABEL	FPGA ピン
Pin#	Name			Pin#	Name		
5	A0	RAM_A0	T24	7	D0	RAM_D0	U25
4	A1	RAM_A1	T25	8	D1	RAM_D1	V26
3	A2	RAM_A2	R24	9	D2	RAM_D2	V25
2	A3	RAM_A3	R25	10	D3	RAM_D3	W26
1	A4	RAM_A4	P24	13	D4	RAM_D4	W25
44	A5	RAM_A5	Y21	14	D5	RAM_D5	Y26
43	A6	RAM_A6	W23	15	D6	RAM_D6	Y25
42	A7	RAM_A7	Y22	16	D7	RAM_D7	AA26
27	A8	RAM_A8	AD24	29	D8	RAM_D8	G12
26	A9	RAM_A9	AD25	30	D9	RAM_D9	AC23
25	A10	RAM_A10	AE25	31	D10	RAM_D10	AB24
24	A11	RAM_A11	AE24	32	D11	RAM_D11	AB23
21	A12	RAM_A12	AC25	35	D12	RAM_D12	AA24
20	A13	RAM_A13	AC26	36	D13	RAM_D13	AA23
19	A14	RAM_A14	AB25	37	D14	RAM_D14	Y24
18	A15	RAM_A15	AB26	38	D15	RAM_D15	Y23
40	BHE#	RAM_BHE	V24	41	OE#	RAM_OE	U24
39	BLE#	RAM_BLE	W24	17	WE#	RAM_WE	AA25
6	CS#	RAM_CS	U26				

6.11. SDRAM (U8)

SDRAM		NET LABEL	FPGA ピン	SDRAM		NET LABEL	FPGA ピン
Pin#	Name			Pin#	Name		
23	A0	SDADD0	K1	5	DQ2	DRAMD2	C3
24	A1	SDADD1	K2	7	DQ3	DRAMD3	C2
25	A2	SDADD2	L2	8	DQ4	DRAMD4	D2
26	A3	SDADD3	L3	10	DQ5	DRAMD5	D1
29	A4	SDADD4	K6	11	DQ6	DRAMD6	E1
30	A5	SDADD5	L6	13	DQ7	DRAMD7	E2
31	A6	SDADD6	K5	42	DQ8	DRAMD8	J3
32	A7	SDADD7	K4	44	DQ9	DRAMD9	H3
33	A8	SDADD8	M2	45	DQ10	DRAMD10	H4
34	A9	SDADD9	M3	47	DQ11	DRAMD11	G3
22	A10	SDADD10	J2	48	DQ12	DRAMD12	G4
35	A11	SDADD11	L4	50	DQ13	DRAMD13	G5
36	A12	SDADD12	K3	51	DQ14	DRAMD14	F3
20	BA0	SDBS0	H2	53	DQ15	DRAMD15	F4
21	BA1	SDBS1	J1	17	CAS#	nSDCAS	G1
38	CLK	SDDCLK	E5	37	CKE	nSDCLKE	J5
15	DQML	SDLQML	F1	19	CS#	nSDCS	H1
39	DQMH	SDUDQM	J4	18	RAS#	nSDRAS	G2
2	DQ0	DRAMD0	B3	16	WE#	nSDWE	F2
4	DQ1	DRAMD1	B2				

7. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-201/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図 ...等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/index.php>

8. 付属資料

1. 基板外形図
2. 回路図（別紙）

9. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

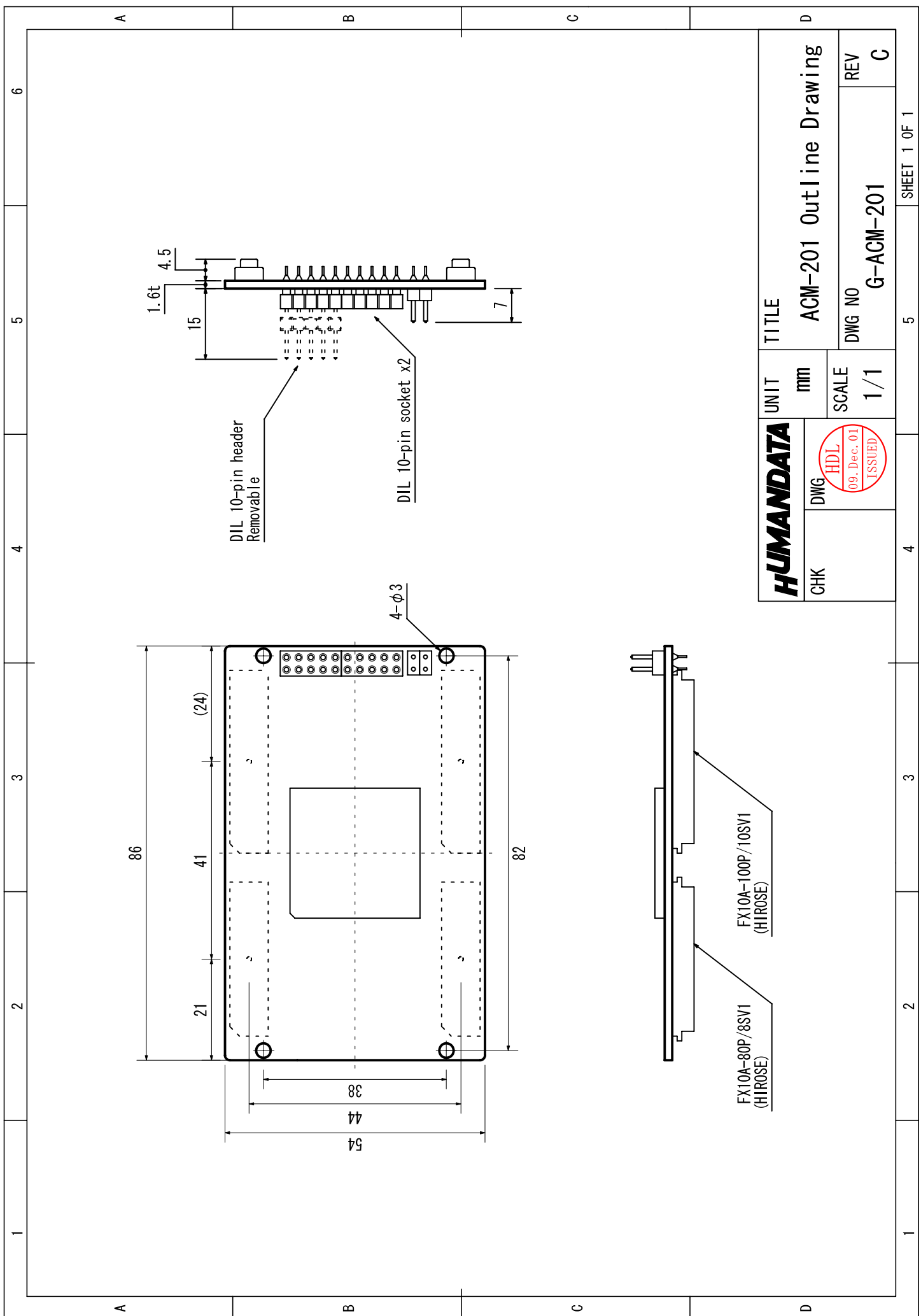
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA		UNIT	TITLE	
CHK	DWG	mm	ACM-201 Outline Drawing	
		SCALE	DWG NO	REV
		1/1	G-ACM-201	C

Cyclone II ブレッドボード
ACM-201 シリーズ
ユーザーズマニュアル

2007/08/08 第3版 (Rev. 2)
2009/12/14 第4版 (Rev. 2)
2011/11/11 Ver. 2.2 (Rev. 2)

2014/04/22 Ver. 2.3 (Rev. 2)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
