



Cyclone ブレッドボード  
ACM-201 シリーズ  
ユーザーズマニュアル  
第3版 (Rev2)



ヒューマンデータ

## 目次

はじめに .....	1
<b>ご注意</b> .....	1
1. 製品の内容について .....	2
2. 仕様 .....	2
3. 各部の名称 .....	3
3.1. 電源入力 .....	3
3.1. 電源入力 .....	4
3.2. JTAG コネクタ .....	4
3.3. AS コネクタ .....	5
3.4. ジャンプスイッチの説明 .....	6
4. ピン割付表 .....	7
4.1. ユーザ I/O .....	7
4.2. FLASH-ROM .....	11
4.3. SRAM .....	12
4.4. 汎用 LED .....	12
4.5. 汎用スイッチ .....	12
4.6. SDRAM .....	13
5. 固定ピンについて .....	13
6. Dual-Purpose Pin の設定 .....	14
7. ACM-201 シリーズ 参考資料について .....	15
8. 付属資料 .....	15

---

## はじめに

この度は、Cyclone ブレッドボード / ACM-201 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-201 シリーズは、アルテラ社の高性能 FPGA である Cyclone を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROM などを装備した使いやすいボードになっています。

どうぞご活用ください。

## ご注意

1. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
2. 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
3. 本製品の運用の結果につきましては、2.項にかかわらず当社は責任を負いかねますので、ご了承願います。
4. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
5. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

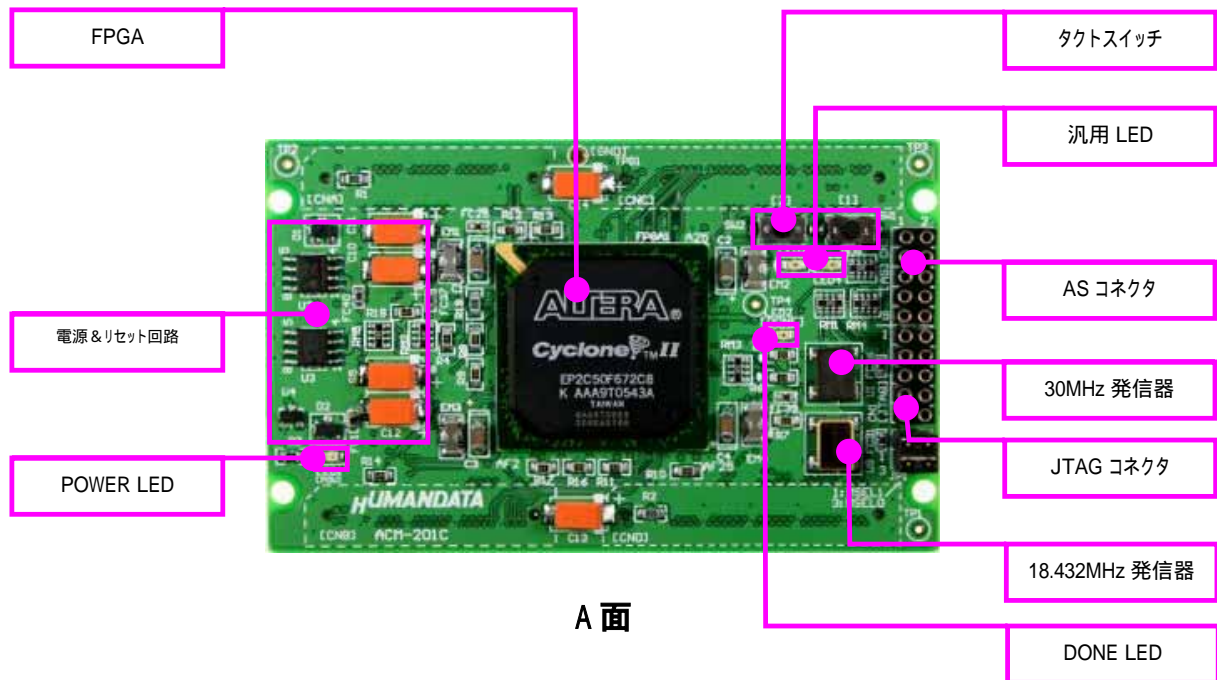
FPGA ブレッドボード	ACM-201 シリーズ	1
付属品		1
マニュアル (本書)		1
ユーザー登録はがき		1

## 2. 仕様

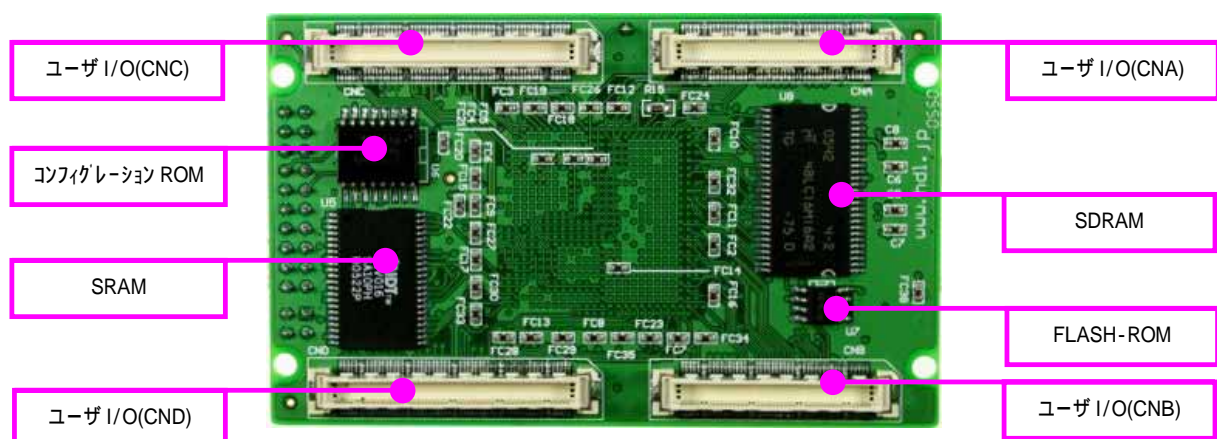
製品型番	ACM-201-35C8	ACM-201-50C8	ACM-201-70C8
搭載 FPGA	EP2C35F672C8N	EP2C50F672C8N	EP2C70F672C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)		
消費電流	N/A (詳細は FPGA データシートご参照)		
外形寸法	86 × 54 [mm]		
重量	約 32 [g]		
ユーザ I/O	306 本		
I/O コネクタ	メーカー型番: FX10A-80P/8-SV1(71) (ヒロセ電機)		
プリント基板	ガラスエポキシ 10 層基板 1.6t		
コンフィグレーション ROM	EPCS64SI16N (ALTERA)		
SRAM	IDT71V016SA10PHG (IDT) *1		
SDRAM	MT48LC16M16A2TG-75-D (MICRON) *1		
シリアル FLASH-ROM	M25P40-VMN6P (STM) *1		
クロック	オンボード 30MHz, 18.432MHz 外部供給可能		
リセット回路	内蔵 (240ms TYP)		
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ		
AS コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER-LED, DONE-LED)		
汎用 LED	2 個		
汎用タクトスイッチ	2 個		
付属品	DIP10 ピンヘッダ (本体に取付け済み) 1 個 コネクタ: FX10A-80S/8-SV(71) (ヒロセ電機) 2 個 コネクタ: FX10A-100S/10-SV(71) (ヒロセ電機) 2 個 ジャンパソケット 2 個		

\*1 互換品に変更されることがあります

### 3. 各部の名称



A面



B面

### 3.1. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。

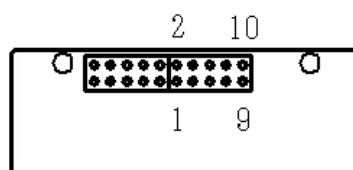
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は CNA、CNB、CNC、CND から供給してください。

### 3.2. JTAG コネクタ

FPGA へのコンフィグレーション時に使用します。

ピン配置は次表のとおりです。



CN1

回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC(3.3V)	VCC(3.3V)
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル B L 3、B L K I T の 10 ピンコネクタと 1 : 1 で対応しています。

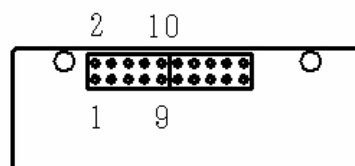
ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッドをご利用できます



### 3.3. AS コネクタ

コンフィグレーション ROM(EPCS)への ISP  
( In System Programming )時に使用します。  
ピン配置は次表のとおりです。



CN2

回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路頭上信号名
XDCLK	DCLK	1	2	GND	GND
XCONFDONE	CONF_DONE	3	4	VCC(3.3V)	VCC(3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATAO	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

弊社製ダウンロードケーブル B L 3、B L K I T の 1 0 ピンコネクタと 1 : 1 で対応しています。  
ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッダをご利用できます



### 3.4. ジャンプスイッチの説明

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V<sub>CCIO</sub> or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

(ALTERA 社データシートより)

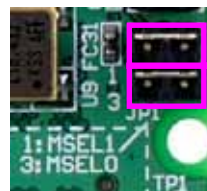
JP1 MSEL0, MSEL1 信号 設定用

JP1	MSEL
1-2	MSEL1
3-4	MSEL0

ROM 使用時 : JP1 (1-2 間: ショート 3-4 間: ショート)

MSEL0 = 0

MSEL1 = 0



JTAG 使用時(出荷時) : JP1 (1-2 間: ショート 3-4 間: オープン)

MSEL0 = 1

MSEL1 = 0



**注** : 本来はどのモードでも JTAG 経由のコンフィグレーションは可能ですが、ROM の内容が不定 (BLANK 含む) の時には、AS モードでのコンフィグレーションが動作中のため、PS モードにすることで安定したコンフィグレーションが可能です。



## 4. ピン割付表

### 4.1. ユーザ I/O

CNA

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		3.3V	3	4	3.3V		
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
A	CLK0	N25	11	12	N26	CLK1	A
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	G6	17	18	M4	IOA32	A
A	IOA1	H6	19	20	M5	IOA33	A
A	IOA2	J8	21	22	L7	IOA34	A
A	IOA3	F7	23	24	K7	IOA35	A
A	IOA4	E8	25	26	K8	IOA36	A
A	IOA5	E10	27	28	J6	IOA37	A
A	IOA6	F10	29	30	J7	IOA38	A
A	IOA7	E12	31	32	C4	IOA39	A
A	IOA8	F11	33	34	B4	IOA40	A
A	IOA9	D5	35	36	B5	IOA41	A
A	IOA10	D6	37	38	B6	IOA42	A
A	IOA11	D7	39	40	B7	IOA43	A
A	IOA12	D8	41	42	B8	IOA44	A
A	IOA13	D9	43	44	B9	IOA45	A
A	IOA14	D10	45	46	B10	IOA46	A
A	IOA15	D11	47	48	B11	IOA47	A
A	IOA16	D12	49	50	B12	IOA48	A
A	IOA17	W21	51	52	C5	IOA49	A
A	IOA18	V21	53	54	C6	IOA50	A
A	IOA19	V20	55	56	C7	IOA51	A
A	IOA20	U20	57	58	C8	IOA52	A
A	IOA21	U21	59	60	C9	IOA53	A
A	IOA22	V22	61	62	C10	IOA54	A
A	IOA23	R20	63	64	C11	IOA55	A
A	IOA24	T20	65	66	C12	IOA56	A
A	IOA25	U22	67	68	A4	IOA57	A
A	IOA26	U23	69	70	A5	IOA58	A
A	IOA27	V23	71	72	A6	IOA59	A
A	IOA28	T21	73	74	A7	IOA60	A
A	IOA29	T22	75	76	A8	IOA61	A
A	IOA30	T23	77	78	A9	IOA62	A
A	IOA31	P23	79	80	A10	IOA63	A

CNB

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		3.3V	3	4	3.3V		
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
B	CLK2	A13	11	12	B13	CLK3	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	U1	17	18	R2	IOB32	B
B	IOB1	V1	19	20	T2	IOB33	B
B	IOB2	W1	21	22	U2	IOB34	B
B	IOB3	Y1	23	24	V2	IOB35	B
B	IOB4	AA1	25	26	W2	IOB36	B
B	IOB5	AB1	27	28	AB21	IOB37	B
B	IOB6	AC1	29	30	AA2	IOB38	B
B	IOB7	P3	31	32	AB2	IOB39	B
B	IOB8	R3	33	34	AC2	IOB40	B
B	IOB9	T3	35	36	AD2	IOB41	B
B	IOB10	U3	37	38	AE2	IOB42	B
B	IOB11	V3	39	40	P4	IOB43	B
B	IOB12	W3	41	42	R4	IOB44	B
B	IOB13	Y3	43	44	T4	IOB45	B
B	IOB14	AA3	45	46	U4	IOB46	B
B	IOB15	AB3	47	48	V4	IOB47	B
B	IOB16	AC3	49	50	W4	IOB48	B
B	IOB17	AD3	51	52	Y4	IOB49	B
B	IOB18	AE3	53	54	AA4	IOB50	B
B	IOB19	P6	55	56	AA5	IOB51	B
B	IOB20	R5	57	58	AB4	IOB52	B
B	IOB21	T6	59	60	AA6	IOB53	B
B	IOB22	U5	61	62	AA7	IOB54	B
B	IOB23	V5	63	64	Y5	IOB55	B
B	IOB24	P7	65	66	W6	IOB56	B
B	IOB25	R6	67	68	AF17	IOB57	B
B	IOB26	T7	69	70	AF18	IOB58	B
B	IOB27	U6	71	72	AF19	IOB59	B
B	IOB28	V6	73	74	AF20	IOB60	B
B	IOB29	V7	75	76	AF21	IOB61	B
B	IOB30	U7	77	78	AF22	IOB62	B
B	IOB31	R7	79	80	AF23	IOB63	B

CNC

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		3.3V	3	4	3.3V		
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
		N.C	11	12	P1	CLK8	C
		N.C	13	14	P2	CLK9	C
		N.C	15	16	N.C		
C	IOC0	A14	17	18	B14	IOC32	C
C	IOC1	A17	19	20	B15	IOC33	C
C	IOC2	A18	21	22	B16	IOC34	C
C	IOC3	A19	23	24	B17	IOC35	C
C	IOC4	A20	25	26	B18	IOC36	C
C	IOC5	A21	27	28	B19	IOC37	C
C	IOC6	A22	29	30	B20	IOC38	C
C	IOC7	A23	31	32	B21	IOC39	C
C	IOC8	C15	33	34	B22	IOC40	C
C	IOC9	C16	35	36	B23	IOC41	C
C	IOC10	C17	37	38	B24	IOC42	C
C	IOC11	C19	39	40	B25	IOC43	C
C	IOC12	C21	41	42	C24	IOC44	C
C	IOC13	C22	43	44	D14	IOC45	C
C	IOC14	C23	45	46	D15	IOC46	C
C	IOC15	C25	47	48	D16	IOC47	C
C	IOC16	D23	49	50	D17	IOC48	C
C	IOC17	J20	51	52	D18	IOC49	C
C	IOC18	J21	53	54	D19	IOC50	C
C	IOC19	G21	55	56	D20	IOC51	C
C	IOC20	H21	57	58	D21	IOC52	C
C	IOC21	J23	59	60	D25	IOC53	C
C	IOC22	J25	61	62	D26	IOC54	C
C	IOC23	J24	63	64	E22	IOC55	C
C	IOC24	F23	65	66	E26	IOC56	C
C	IOC25	E25	67	68	F26	IOC57	C
C	IOC26	G23	69	70	G26	IOC58	C
C	IOC27	G25	71	72	H26	IOC59	C
C	IOC28	F25	73	74	J26	IOC60	C
C	IOC29	H24	75	76	E23	IOC61	C
C	IOC30	H25	77	78	E24	IOC62	C
C	IOC31	K26	79	80	F24	IOC63	C

CNC

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
C	IOE0	Y13	81	82	AA18	IOE10	C
C	IOE1	AC15	83	84	AA17	IOE11	C
C	IOE2	AC16	85	86	AA16	IOE12	C
C	IOE3	AB15	87	88	AA15	IOE13	C
C	IOE4	AC17	89	90	AA14	IOE14	C
C	IOE5	AC18	91	92	AA13	IOE15	C
C	IOE6	Y14	93	94	AA20	IOE16	C
C	IOE7	Y15	95	96	AB18	IOE17	C
C	IOE8	Y16	97	98	AB20	IOE18	C
C	IOE9	Y18	99	100	AC14	IOE19	C

CND

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
		3.3V	1	2	3.3V		
		3.3V	3	4	3.3V		
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
C	CLK4	AC13	11	12	AE14	CLK10	C
C	CLK5	AD13	13	14	AF14	CLK11	C
		N.C	15	16	N.C		
C	IOD0	AE4	17	18	AF4	IOD32	C
C	IOD1	AE5	19	20	AF5	IOD33	C
C	IOD2	AE6	21	22	AF6	IOD34	C
C	IOD3	AE7	23	24	AF7	IOD35	C
C	IOD4	AE8	25	26	AF8	IOD36	C
C	IOD5	AE9	27	28	AF9	IOD37	C
C	IOD6	AE10	29	30	AF10	IOD38	C
C	IOD7	AE11	31	32	AF13	IOD39	C
C	IOD8	AE12	33	34	AD4	IOD40	C
C	IOD9	AE13	35	36	AD5	IOD41	C
C	IOD10	AC5	37	38	AD6	IOD42	C
C	IOD11	AC6	39	40	AD7	IOD43	C
C	IOD12	AC7	41	42	AD8	IOD44	C
C	IOD13	AC8	43	44	AB8	IOD45	C
C	IOD14	AC9	45	46	AD10	IOD46	C
C	IOD15	AC10	47	48	AD11	IOD47	C
C	IOD16	AC11	49	50	AD12	IOD48	C

CND

BANK	NET LABEL	FPGA ピン#	コネクタピン#		FPGA ピン#	NET LABEL	BANK
C	IOD17	AC12	51	52	AB10	IOD49	C
C	IOD18	N20	53	54	AB12	IOD50	C
C	IOD19	J22	55	56	AA9	IOD51	C
C	IOD20	N23	57	58	AA12	IOD52	C
C	IOD21	N24	59	60	AA11	IOD53	C
C	IOD22	L19	61	62	AA10	IOD54	C
C	IOD23	L20	63	64	M19	IOD55	C
C	IOD24	L21	65	66	M20	IOD56	C
C	IOD25	L23	67	68	M21	IOD57	C
C	IOD26	L24	69	70	M22	IOD58	C
C	IOD27	L25	71	72	M23	IOD59	C
C	IOD28	K23	73	74	M24	IOD60	C
C	IOD29	K25	75	76	M25	IOD61	C
C	IOD30	K24	77	78	K19	IOD62	C
C	IOD31	K22	79	80	K21	IOD63	C
C	IOE20	AD15	81	82	AE15	IOE30	C
C	IOE21	AD16	83	84	AE16	IOE31	C
C	IOE22	AD17	85	86	AE17	IOE32	C
C	IOE23	AC19	87	88	AE18	IOE33	C
C	IOE24	AC20	89	90	AE19	IOE34	C
C	IOE25	AD19	91	92	AE20	IOE35	C
C	IOE26	AC21	93	94	AE21	IOE36	C
C	IOE27	AD21	95	96	AE22	IOE37	C
C	IOE28	AD22	97	98	AE23	IOE38	C
C	IOE29	AD23	99	100	AC22	IOE39	C

4.2. FLASH-ROM

FLASH-ROM (M25P40-VMN6P)

FLASH-ROM ピン #	NET LABEL	FPGA ピン #
U7-6	FMCK	F9
U7-1	FMCS0	G10
U7-5	FMD	F12
U7-7	FMHOLD	G9
U7-2	FMQ	G11

### 4.3. SRAM

SRAM (IDT71V016SA10PH)

SRAM ピン#	NET LABEL	FPGA ピン#
U5-5	RAM_A0	T24
U5-4	RAM_A1	T25
U5-3	RAM_A2	R24
U5-2	RAM_A3	R25
U5-1	RAM_A4	P24
U5-44	RAM_A5	Y21
U5-43	RAM_A6	W23
U5-42	RAM_A7	Y22
U5-27	RAM_A8	AD24
U5-26	RAM_A9	AD25
U5-25	RAM_A10	AE25
U5-24	RAM_A11	AE24
U5-21	RAM_A12	AC25
U5-20	RAM_A13	AC26
U5-19	RAM_A14	AB25
U5-18	RAM_A15	AB26
U5-40	RAM_BHE	V24
U5-39	RAM_BLE	W24
U5-6	RAM_CS	U26

SRAM ピン#	NET LABEL	FPGA ピン#
U5-7	RAM_D0	U25
U5-8	RAM_D1	V26
U5-9	RAM_D2	V25
U5-10	RAM_D3	W26
U5-13	RAM_D4	W25
U5-14	RAM_D5	Y26
U5-15	RAM_D6	Y25
U5-16	RAM_D7	AA26
U5-29	RAM_D8	G12
U5-30	RAM_D9	AC23
U5-31	RAM_D10	AB24
U5-32	RAM_D11	AB23
U5-35	RAM_D12	AA24
U5-36	RAM_D13	AA23
U5-37	RAM_D14	Y24
U5-38	RAM_D15	Y23
U5-41	RAM_OE	U24
U5-17	RAM_WE	AA25

### 4.4. 汎用 LED

LED	NET LABEL	FPGA ピン #
LED3	UIO2	G17
LED4	UIO3	G18

### 4.5. 汎用スイッチ

スイッチ	NET LABEL	FPGA ピン #
SW1	UIO0	G15
SW2	UIO1	G16

## 4.6. SDRAM

SDRAM (MT48LC16M16A2TG-75)

SDRAM ピン#	NET LABEL	FPGA ピン#
U8-23	SDADD0	K1
U8-24	SDADD1	K2
U8-25	SDADD2	L2
U8-26	SDADD3	L3
U8-29	SDADD4	K6
U8-30	SDADD5	L6
U8-31	SDADD6	K5
U8-32	SDADD7	K4
U8-33	SDADD8	M2
U8-34	SDADD9	M3
U8-22	SDADD10	J2
U8-35	SDADD11	L4
U8-36	SDADD12	K3
U8-20	SDBS0	H2
U8-21	SDBS1	J1
U8-38	SDDCLK	E5
U8-15	SDLQDM	F1
U8-39	SDUDQM	J4
U8-2	DRAMD0	B3
U8-4	DRAMD1	B2

SDRAM ピン#	NET LABEL	FPGA ピン#
U8-5	DRAMD2	C3
U8-7	DRAMD3	C2
U8-8	DRAMD4	D2
U8-10	DRAMD5	D1
U8-11	DRAMD6	E1
U8-13	DRAMD7	E2
U8-42	DRAMD8	J3
U8-44	DRAMD9	H3
U8-45	DRAMD10	H4
U8-47	DRAMD11	G3
U8-48	DRAMD12	G4
U8-50	DRAMD13	G5
U8-51	DRAMD14	F3
U8-53	DRAMD15	F4
U8-17	NSDCAS	G1
U8-37	NSDCLKE	J5
U8-19	NSDCS	H1
U8-18	NSDRAS	G2
U8-16	NSDWE	F2

## 5. 固定ピンについて

本ボードでは、下記のピンが GND または VCCINT(1.2V) に固定されています。

デバイスによっては、ダミー入力として他に使わないようにする必要があります。

EP2C70 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

### 固定ピン一覧

#### GND

J10 J11 J13 J14 J16 J17 H8 K16 K17 L10 N9  
 N18 P9 P18 R17 T10 T17 V11 V13 V14 V17 U10  
 U12 U17 W8 W12 W19

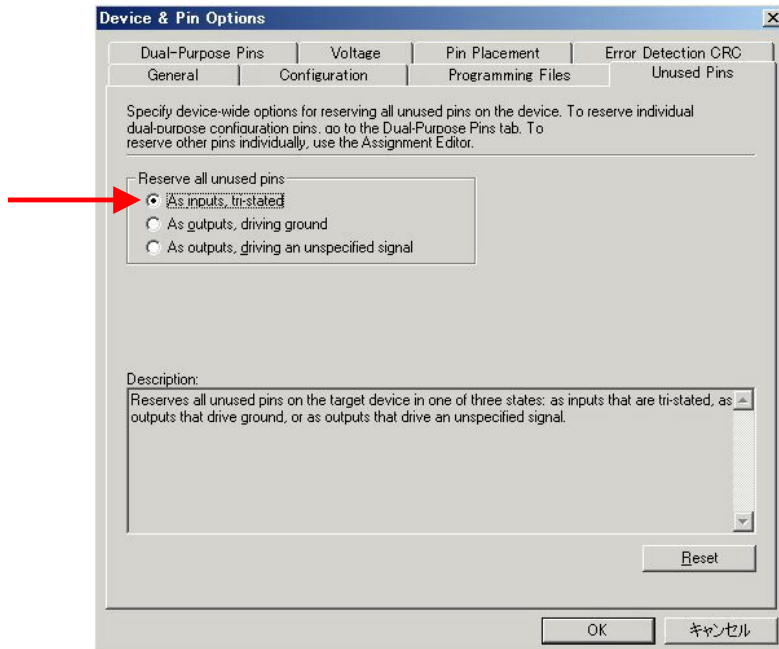
#### VCCINT

H10 H11 H15 H16 H17 H19 J18 J9 K18 K9 L9 P17  
 R8 R19 T8 T9 T18 T19 U9 U18 V9 V10 V18 W10  
 W11 W15 W16 W17

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。

Quartus の Device Option により設定できます。

[Assignments] [Device] [Device & Pin Options] [Unused Pins] [As inputs, tri-stated]にチェック。

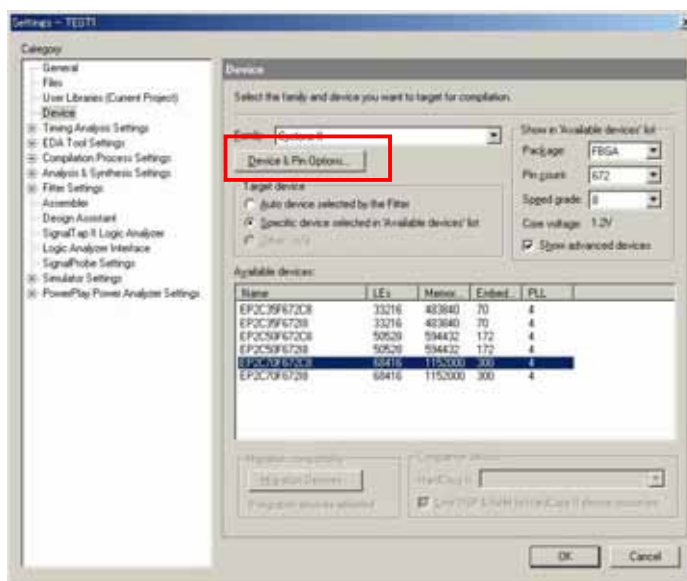


## 6. Dual-Purpose Pin の設定

NET LABEL [RAM A11]、FPGA ピン# [AE24]は nCEO に割り付けられています。  
このピンを I/O に設定しないと使用することが出来ません。  
以下に I/O に設定する方法を示します。

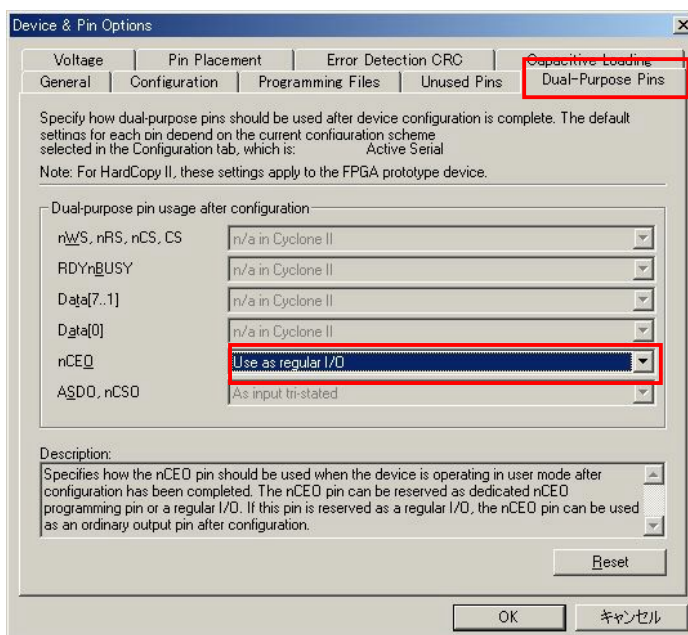
Quartus の [Assignments] のタブにある [Device...] を開きます。

[Device & Pin Options...] をクリックしてください。





次に【Dual-Purpose Pins】のタブを開き nCEO の設定を  
【Use as regular I/O】に設定してください



これで nCEO を I/O として使用することが可能になりました。

## 7. ACM-201 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は

製品サポートページ

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

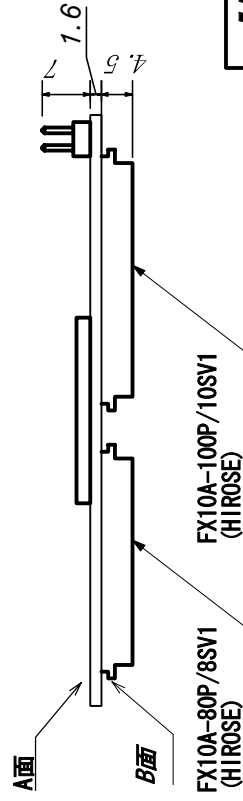
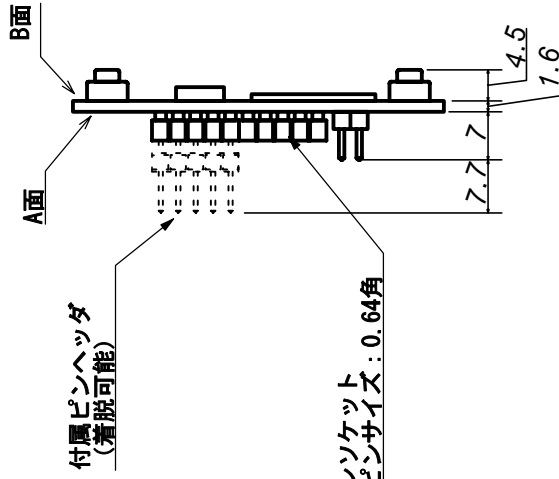
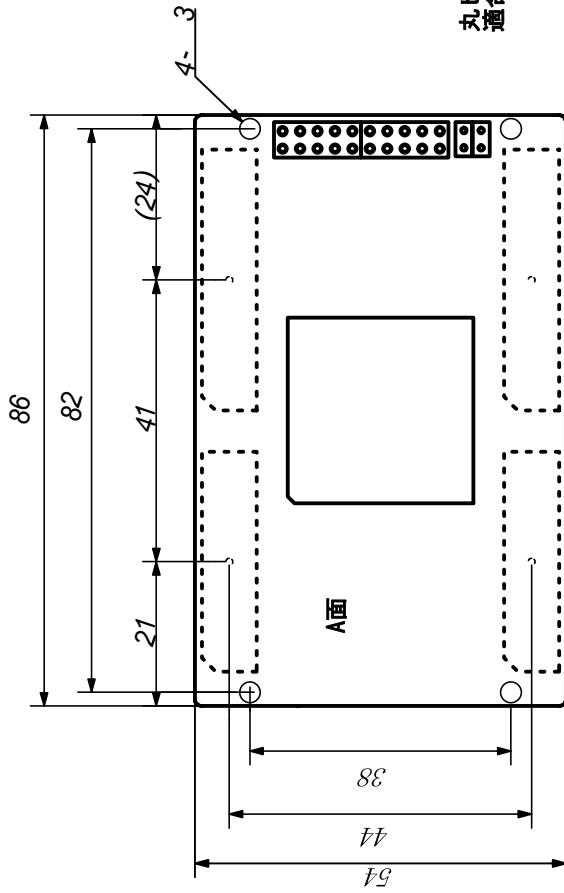
にデータをアップロードすることにいたします。

拡張子 “.exe ” のときは、自己解凍ファイルといたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

## 8. 付属資料

- 1 . 基板回路図
- 2 . 外形寸法図



<b>HUMANDATA</b>		UNIT	TITLE
CHK	DWG	SIZE	ACM-201シリーズ 外形寸法図
		DWG NO	REV
		G-ACM-201	A

---

Cyclone ブレッドボード

ACM-201 シリーズ

---

ユーザーズマニュアル

---

2005/10/04 初版

2005/11/24 第2版

2006/05/25 第2版(A)

2007/08/08 第3版(Rev2)

**有限会社ヒューマンデータ**

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>

---