

Cyclone 10 LP F484 FPGA ボード



ACM-114 シリーズ Rev2

ユーザーズマニュアル

Ver. 2.0



ヒューマンデータ

## 目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について .....	2
2. 開発環境 .....	2
3. 仕様 .....	3
4. 製品説明 .....	4
4.1. 各部の名称 .....	4
4.2. ブロック図 .....	5
4.3. ボード電源 .....	6
4.4. I/O用電源 .....	6
4.5. クロック .....	6
4.6. 汎用スイッチ .....	6
4.7. 汎用LED .....	6
4.8. SPI-FLASH .....	7
4.9. デバッグI/F .....	7
4.10. 設定スイッチ .....	7
5. FPGA コンフィギュレーション.....	8
5.1. JTAG/バウンダリスキャン.....	8
5.2. コンフィグROMアクセスファイル（jicファイル）の作成.....	9
5.3. コンフィグROMアクセス.....	10
6. 製品サポートページ .....	11
7. お問い合わせについて .....	11



## ● はじめに

この度は Cyclone 10 LP 搭載 FPGA ボード ACM-114 をお買い上げ頂きありがとうございます。

ACM-114 シリーズは、Intel 社の高性能 FPGA である、Cyclone 10 LP を搭載した、FPGA ブレッドボードです。ハーフカードサイズに、シンプルな機能を搭載しています。

Cyclone 10 LP の評価や試作にご活用いただけます。どうぞご活用ください。

## ● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電圧を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

## ● 改訂記録

日付	バージョン	改訂内容
2023/09/26	2.0	・製品リビジョンの更新

## 1. 製品の内容について

製品パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード ACM-114	1
付属品	1
ユーザ登録はがき	1

## 2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成していません。

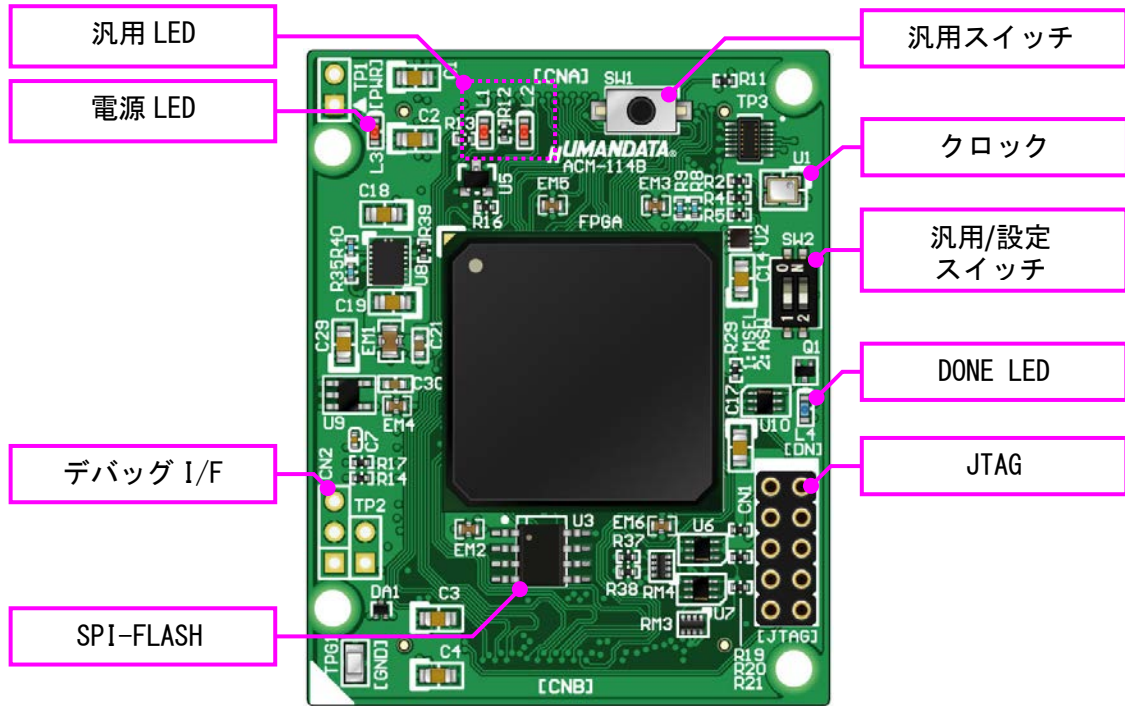
### 3. 仕様

製品型番	ACM-114-16	ACM-114-40	ACM-114-55	ACM-114-80	ACM-114-120
搭載 FPGA	10CL016Y F484C8G	10CL040Y F484C8G	10CL055Y F484C8G	10CL080Y F484C8G	10CL120Y F484C8G
コンフィグ ROM	EPCQ16A (Intel, 16Mbit)			EPCQ32A (Intel, 32Mbit)	
電源入力	DC 3.3V				
ユーザ I/O	128 本 (CNA:64, CNB:64)				
オンボードクロック	50MHz (外部供給可能)				
SPI-FLASH	MT25QL128ABA1ESE-0SIT (Micron, 128Mbit)				
汎用 LED	2				
汎用スイッチ	2 (押しボタン x1, DIP x1bit)				
ステータス LED	2 (POWER, DONE)				
リセット信号	コンフィグ用リセット信号 (typ. 240ms)				
I/O コネクタ	FX10A-80P/8-SV1 (ヒロセ電機)				
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ				
プリント基板	ガラスエポキシ 8 層基板 1.6t				
基板寸法	54 x 43 [mm]				
質量	約 18 [g]				
付属品	DIL10 ロングピンヘッダ x1				
	FX10A-80S/8-SV (ヒロセ電機) x2				

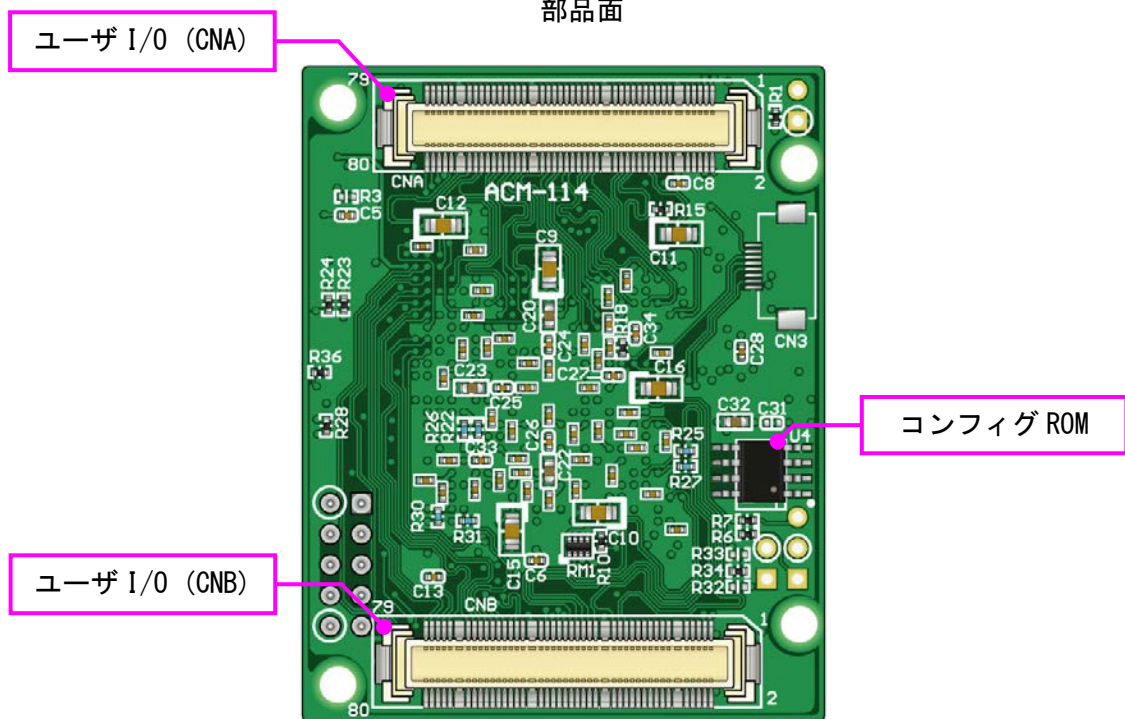
\* これらの部品や仕様は変更となる場合がございます

## 4. 製品説明

### 4.1. 各部の名称

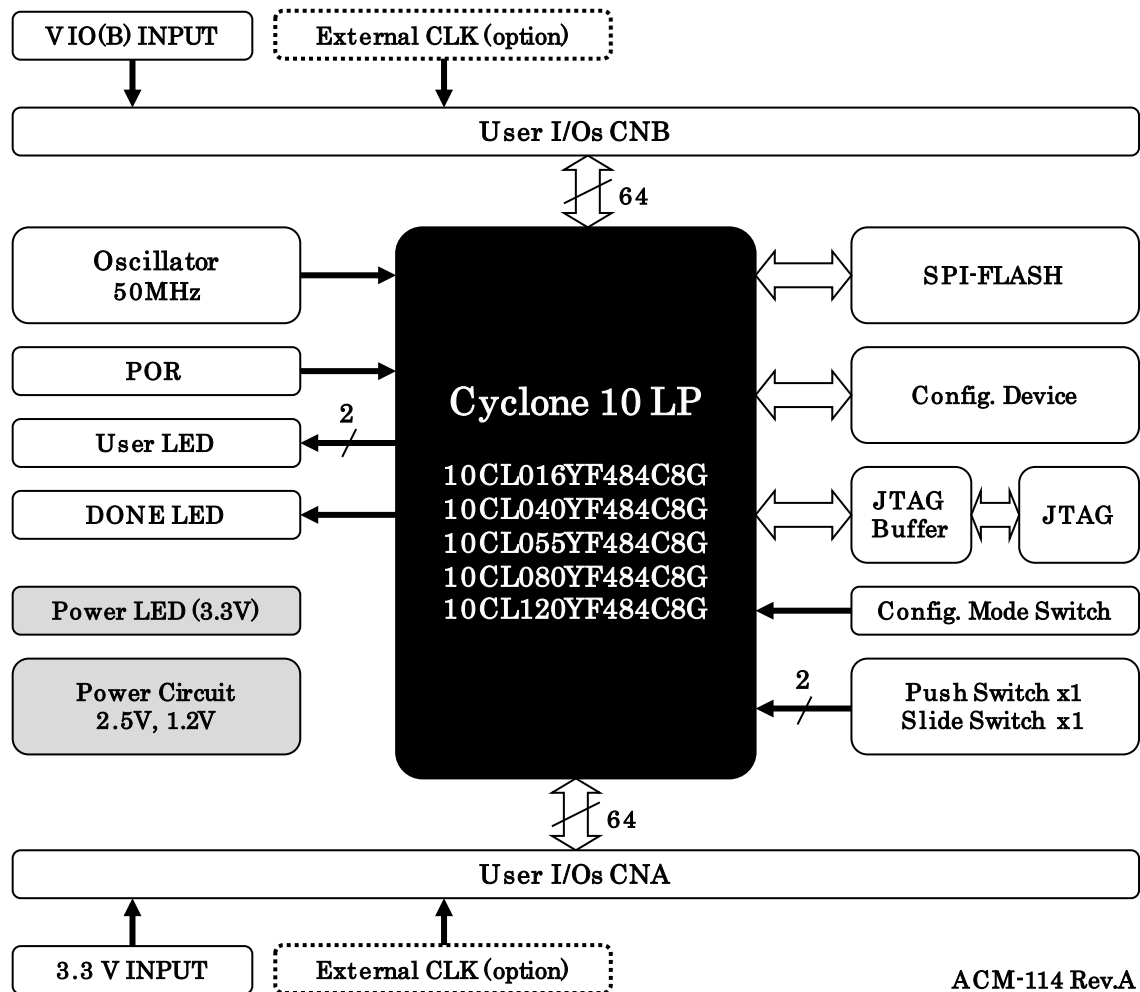


部品面



はんだ面

4.2. ブロック図



ACM-114 Rev.A

### 4.3. ボード電源

電源はコネクタ CNA から 3.3V を供給してください。内部で必要になる電源はオンボードで生成されます。供給する電源は充分安定して、充分な余裕のあるものをご用意ください。3.3V を超えることはできません。

### 4.4. I/O 用電源

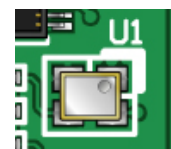
FPGA のバンクはボードでの用途によって、下表のようにグループ化されています。

FPGA Bank	Vccio 接続	Bank Group
1	V33A	A
2	VIO (B)	B
3	V33A	A
4	VIO (B)	B
5	VIO (B)	B
6	VIO (B)	B
7	V33A	A
8	V33A	A

CNA の I/O (IOA) 電源にはオンボードで生成された 3.3V (V33A) が供給されています。  
 CNB の I/O (IOB) 電源には外部より FPGA の設計にあった電圧 VIO (B) が供給可能です。未入力とすることはできません。

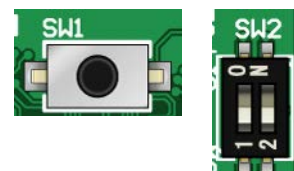
### 4.5. クロック

50MHz の発振器 (U1) を搭載しています。また、一部汎用 I/O をクロック入力ピンとして使用可能です。詳しくは回路図を確認してください。



### 4.6. 汎用スイッチ

プッシュスイッチ (SW1) と DIP スイッチ (SW2) を搭載しています。プルアップされていますので押し込みまたは ON 状態で FPGA に Low が入力されます。



### 4.7. 汎用 LED

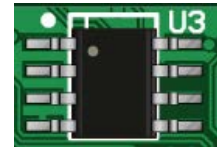
汎用用途に使用できます。Low 出力で点灯します。





#### 4. 8. SPI-FLASH

汎用用途に使用できる不揮発性メモリです。制御方法などはデバイスのデータシートを確認してください。



#### 4. 9. デバッグ I/F

抵抗を介して FPGA に接続されています。汎用用途に使用できます。2 番ピンは GND です。



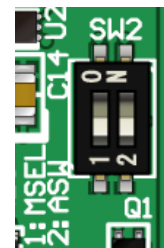
#### 4. 10. 設定スイッチ

FPGA のコンフィギュレーションモードを変更できます。2 番ピンは汎用用途です。

SW2

コンギュレーションモード	1	2
	MSEL	ASW
PS (Passive Serial)	ON	X
AS (Active Serial)	OFF	X

※ON=Low, X=Don't Care



- ・ PS (Passive Serial) モード : JTAG アクセスの際に設定してください
- ・ AS (Active Serial) モード : 下記の場合に設定してください
  - コンフィグ ROM にアクセスする (データ書込み、消去など)
  - コンフィグ ROM から FPGA をコンフィギュレーションする (電源投入時)

## 5. FPGA コンフィギュレーション

JTAG コネクタよりバウンダリスキャンを行い、FPGA のコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

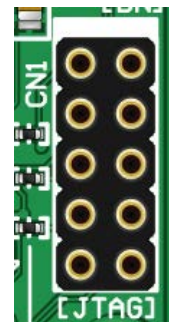
コンフィギュレーション完了後に DONE LED が点灯します。VIO (B) 電圧が低い場合点灯しないことがあります。動作に支障はありません。



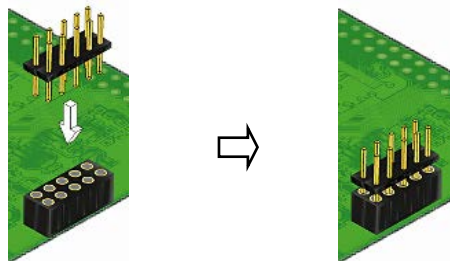
ケーブル接続時は誤接続に注意してください。ピン配置は次表のとおりです。

CN1

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



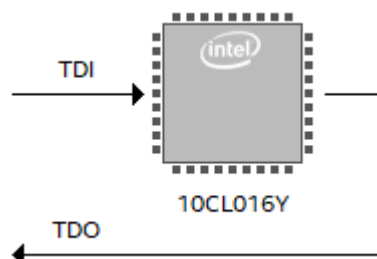
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



使用例

### 5.1. JTAG/バウンダリスキャン

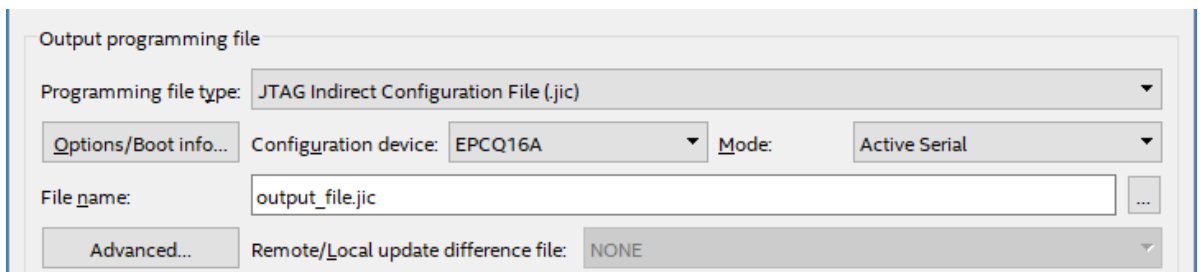
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラマを実行します。FPGA 内蔵コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



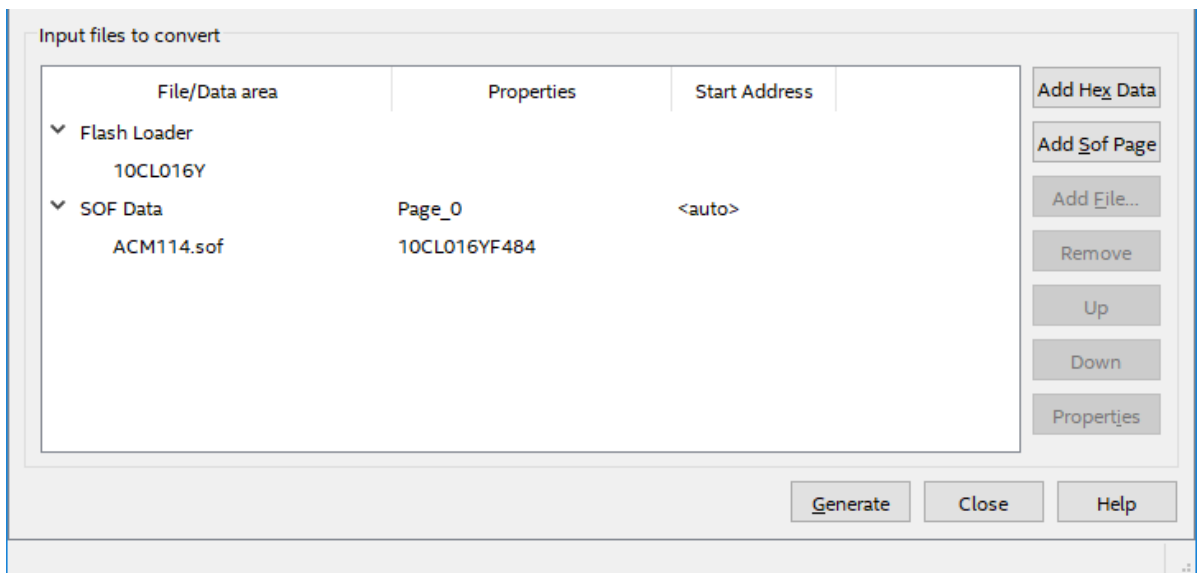
## 5.2. コンフィグROM アクセスファイル（jic ファイル）の作成

コンフィギュレーションROMへ書き込むためには jic (JTAG Indirect Configuration) ファイルが必要となります。Quartus Prime 17.1 を使用した作成手順を以下に示します。

- (1) 【File】 から、【 Convert Programming Files..】 をクリックします
- (2) 設定画面にて必要な項目を設定します
  - 【Programming File type】 : JTAG Indirect Configuration File (.jic)
  - 【Configuration device】 : EPCQ16A または EPCQ32A
  - 【Mode】 : Active Serial (x4 には対応していません)



- (3) 【Flash Loader】 を選択し 【Add Device..】 をクリックします
- (4) 搭載デバイスを選択し 【OK】 をクリックします
- (5) 【SOF Data】 を選択し 【Add File...】 をクリックします
- (6) 変換する sof データを選択し 【OK】 をクリックします



File/Data area	Properties	Start Address
Flash Loader		
10CL016Y		
SOF Data	Page_0	<auto>
ACM114.sof	10CL016YF484	

- (7) 【Generate】 をクリックします

### 5.3. コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは設定スイッチ（SW2）により AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし jic ファイルを選択します
- (2) 実行したい項目にチェックを入れ、【Start】をクリックします

The screenshot shows the software interface for programming. On the left is a control panel with buttons: Start, Stop, Auto Detect, Delete, Add File..., Change File..., Save File, Add Device..., Up, and Down. The 'Add Device...' button is highlighted. The main area contains a table with the following data:

File	Device	Checksum	Usercode	Program/Configure	Verify
Factory default enhanced S...	10CL016Y	0010F9E6	0010F9E6	<input checked="" type="checkbox"/>	<input type="checkbox"/>
output_files/ACM114_...	EPCQ16A	1852B555		<input checked="" type="checkbox"/>	<input type="checkbox"/>

Below the table is a diagram showing the hardware connection. An Intel 10CL016Y device is connected to an EPCQ16A flash. The Intel device has a TDI (Test Data In) input and a TDO (Test Data Out) output. The EPCQ16A is connected to the Intel device via a bidirectional connection.

## 6. 製品サポートページ

改訂資料やその他参考資料は、必要に応じて各製品のサポートページに公開致します。

<https://www.hdl.co.jp/ftpdata/acm-114/index.html>  
[https://www.hdl.co.jp/support\\_c.html](https://www.hdl.co.jp/support_c.html)

- 回路図
  - ネットリスト
  - ピン割付表
  - 外形図
- ...等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

## 7. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

### おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

---

Cyclone 10 LP F484 FPGA ボード

ACM-114 シリーズ Rev2  
ユーザーズマニュアル

---

2023/09/26 Ver. 2.0

---

有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積 1-2-10  
茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <https://www.hdl.co.jp> (Japan)  
<https://www2.hdl.co.jp/en/> (Global)

---