

目次

| | |
|---|----|
| ● はじめに..... | 1 |
| ● ご注意..... | 1 |
| ● 改訂記録..... | 1 |
| 1. 共通ピンについて 【重要】 | 2 |
| 2. 開発環境..... | 3 |
| 3. 製品の内容について..... | 3 |
| 4. 仕様..... | 4 |
| 5. 製品説明..... | 5 |
| 5.1. 各部名称..... | 5 |
| 5.2. ブロック図..... | 6 |
| 5.3. 電源..... | 6 |
| 5.4. クロック..... | 7 |
| 5.5. 設定スイッチ (SW1)..... | 7 |
| 6. FPGA コンフィギュレーション..... | 8 |
| 6.1. JTAG/バウンダリスキャン..... | 9 |
| 6.2. コンフィグ ROM アクセスファイル (jic ファイル) の作成..... | 9 |
| 6.3. コンフィグ ROM アクセス..... | 10 |
| 7. FPGA ピン割付表..... | 10 |
| 7.1. ユーザ I/O (CNA)..... | 11 |
| 7.2. ユーザ I/O (CNB)..... | 12 |
| 7.3. DDR2 SDRAM (U10)..... | 13 |
| 7.4. オンボードクロック..... | 13 |
| 7.5. 外部クロック入力..... | 14 |
| 7.6. 汎用 LED..... | 14 |
| 7.7. 汎用スイッチ..... | 14 |
| 7.8. 共通ピン 【重要】 | 14 |
| 8. サポートページ..... | 15 |
| 9. お問い合わせについて..... | 15 |


● はじめに


この度は Cyclone IV GX FPGA ボード ACM-108 シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-108 は、Intel 社の高性能 FPGA Cyclone IV GX シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション ROMなどを装備した、使いやすいボードになっています。高速シリアルトランシーバをコネクタに引き出していますので、高速シリアルトランシーバの評価にもご使用頂けます。

どうぞご活用ください。

● ご注意

| | |
|--|---|
|  禁止 | 1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。 |
| | 2 水中、高湿度の場所での使用はご遠慮ください。 |
| | 3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。 |
| | 4 基板表面に他の金属が接触した状態で電源を入れしないでください。 |
| | 5 定格を越える電圧を加えないでください。 |

| | |
|--|--|
|  注意 | 6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。 |
| | 7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。 |
| | 8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。 |
| | 9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。 |
| | 10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。 |
| | 11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。 |
| | 12 ノイズの多い環境での動作は保障しかねますのでご了承願います。 |
| | 13 静電気にご注意ください。 |

● 改訂記録

| 日付 | バージョン | 改訂内容 |
|------------|-------|--|
| 2020/03/23 | 4.0 | <ul style="list-style-type: none"> ・製品リビジョンアップに伴う更新 ・4章「仕様」コンフィグ ROM の変更 |

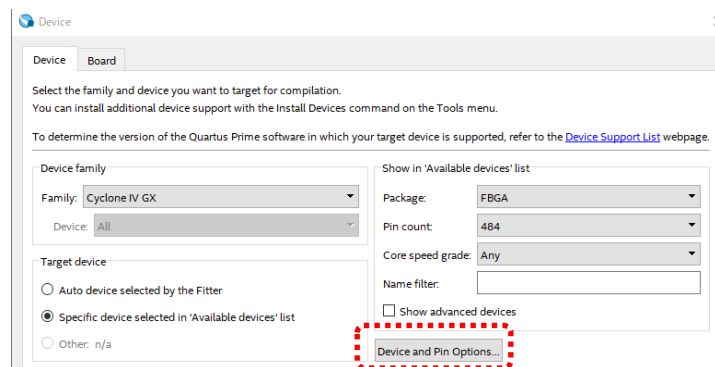
1. 共通ピンについて【重要】

本ボードでは、デバイス規模間でのボード共有のため、一部の I/O ピンが GND や VCCINT (1.2V) に固定されています。VREFB ピンには互いに導通しているものがあります。これらは汎用 I/O 用途に使用しないようにする必要があります。詳細は回路図をご参照ください。下表に該当ピンを示します。

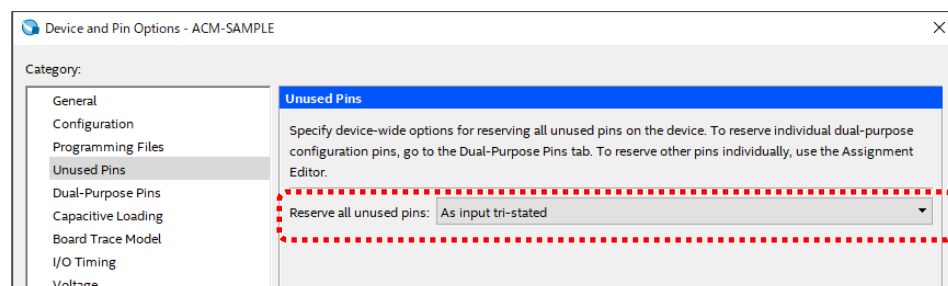
| GND | V12 | VREFB | V09REF |
|-----|-----|-------|--------|
| R10 | P10 | P20 | V9 |
| R15 | T15 | W19 | U12 |
| N13 | N14 | N19 | W10 |
| M14 | M15 | M5 | - |
| N15 | P15 | T3 | - |
| M16 | K14 | R5 | - |
| L16 | H16 | | |
| K17 | K12 | | |
| J16 | P10 | | |
| K13 | T15 | | |
| H15 | | | |
| J12 | | | |

QuartusII にて、未使用ピンを全て入力とするように設定出来ます。以下に設定方法を示します。

1. 【Assignments → Device】 → 【Device and Pin Options..】 をクリックします



2. 【Reserve all unused pins】 を 【As input tri-stated】 に設定します



2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。

開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

3. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

| | |
|------------------|-----|
| FPGA ボード ACM-108 | 1 |
| 付属品 | 1 |
| ユーザ登録はがき | 1 * |

* オーダー毎に各 1 部の場合があります。

4. 仕様

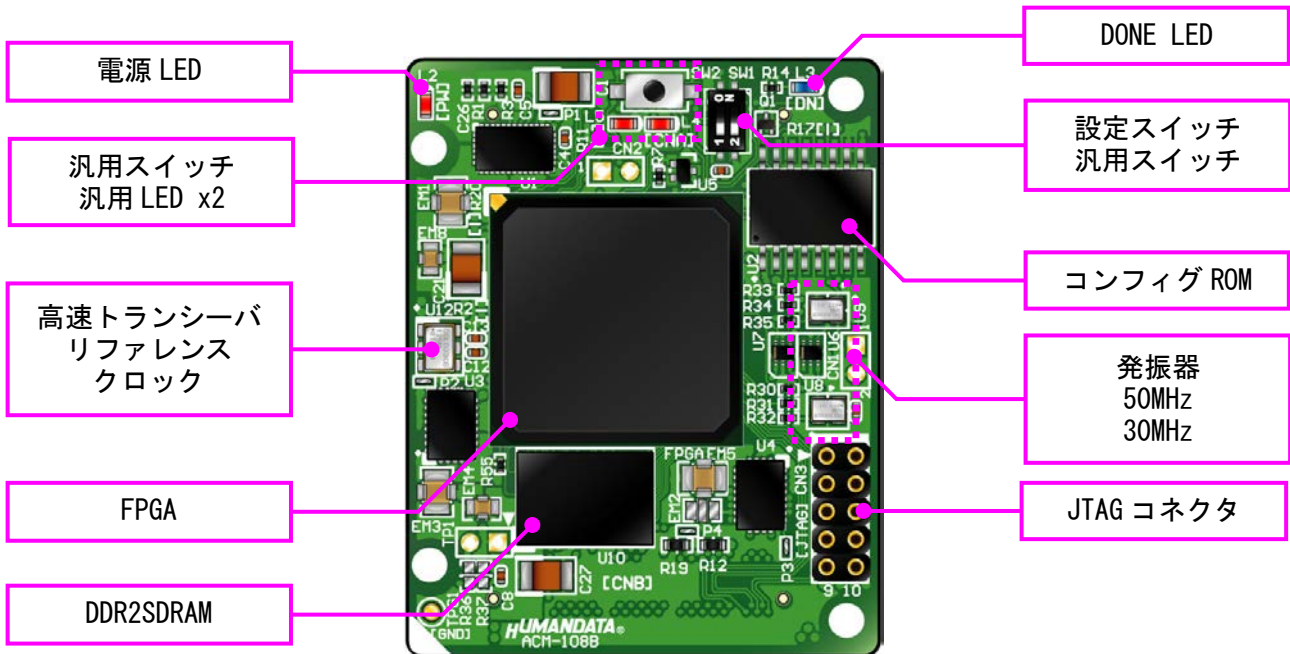
| | | | |
|-------------------------|-------------------------------------|------------------|---------------------|
| 製品型番 | ACM-108-GX50 | ACM-108-GX110 | ACM-108-GX150 |
| 搭載 FPGA | EP4CGX50CF23C8N | EP4CGX110CF23C8N | EP4CGX150CF23C7N(*) |
| コンフィグ ROM | EPCQ64ASI16N (Intel, 64Mbit) | | |
| DDR2 SDRAM | MT47H64M16NF-25E:M (Micron, 1Gbit) | | |
| オンボードクロック | 30MHz, 50MHz | | |
| 高速トランシーバ用 リファレンスクロック | 125MHz (FOX Electronics) | | |
| 外部クロック入力 | ユーザ I/O コネクタ (CNA-11/12, CNB-11/12) | | |
| 電源 | DC 3.3[V] | | |
| ユーザ I/O | 128 本 | | |
| 高速シリアル I/F | Tx : 2 チャンネル Rx : 2 チャンネル | | |
| 汎用スイッチ | 2 (押しボタン x1, スライド x1) | | |
| 汎用 LED | 2 | | |
| I/O コネクタ | FX10A-80P/8-SV1 (ヒロセ電機) | | |
| プリント基板 | ガラスエポキシ 8 層基板 1.6t | | |
| リセット信号 | コンフィグ用リセット信号 (typ. 240ms) | | |
| JTAG コネクタ | DIL10 ピンソケット 2.54mm ピッチ | | |
| ステータス LED | POWER (赤), DONE (青) | | |
| 基板寸法 | 43 x 54 [mm] | | |
| 質量 | 約 20 [g] | | |
| 消費電流 | FPGA 内部のデザインに依存します | | |
| 付属品 | DIL10 ロングピンヘッダ x1 | | |
| | FX10A-80S/8-SV (ヒロセ電機) x2 | | |

* これらの部品や仕様は変更となる場合がございます

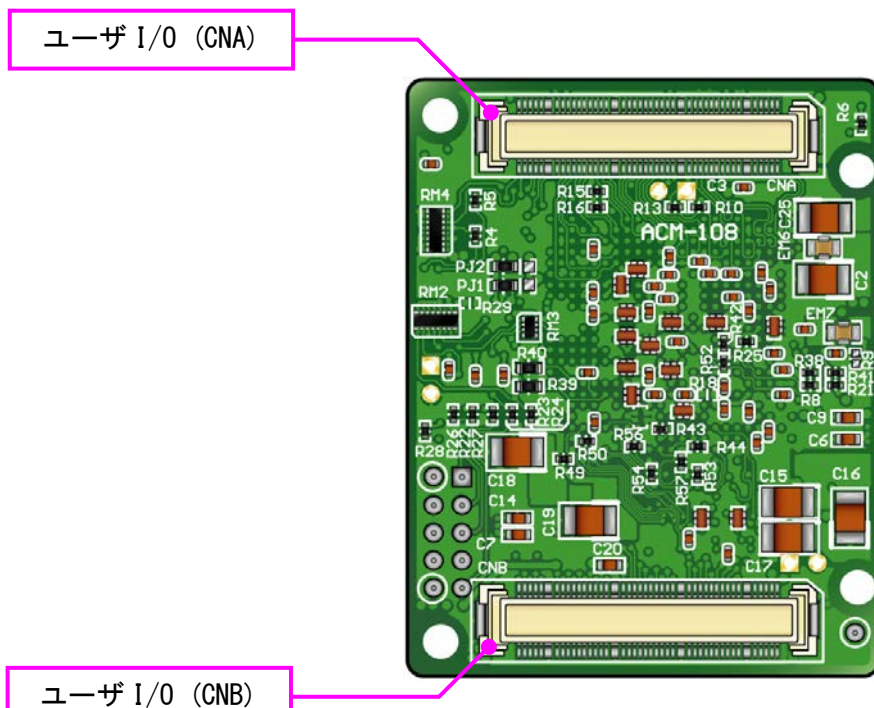
(*) ACM-108-GX150 のみ、Speed Grade が「7」となります

5. 製品説明

5.1. 各部名称

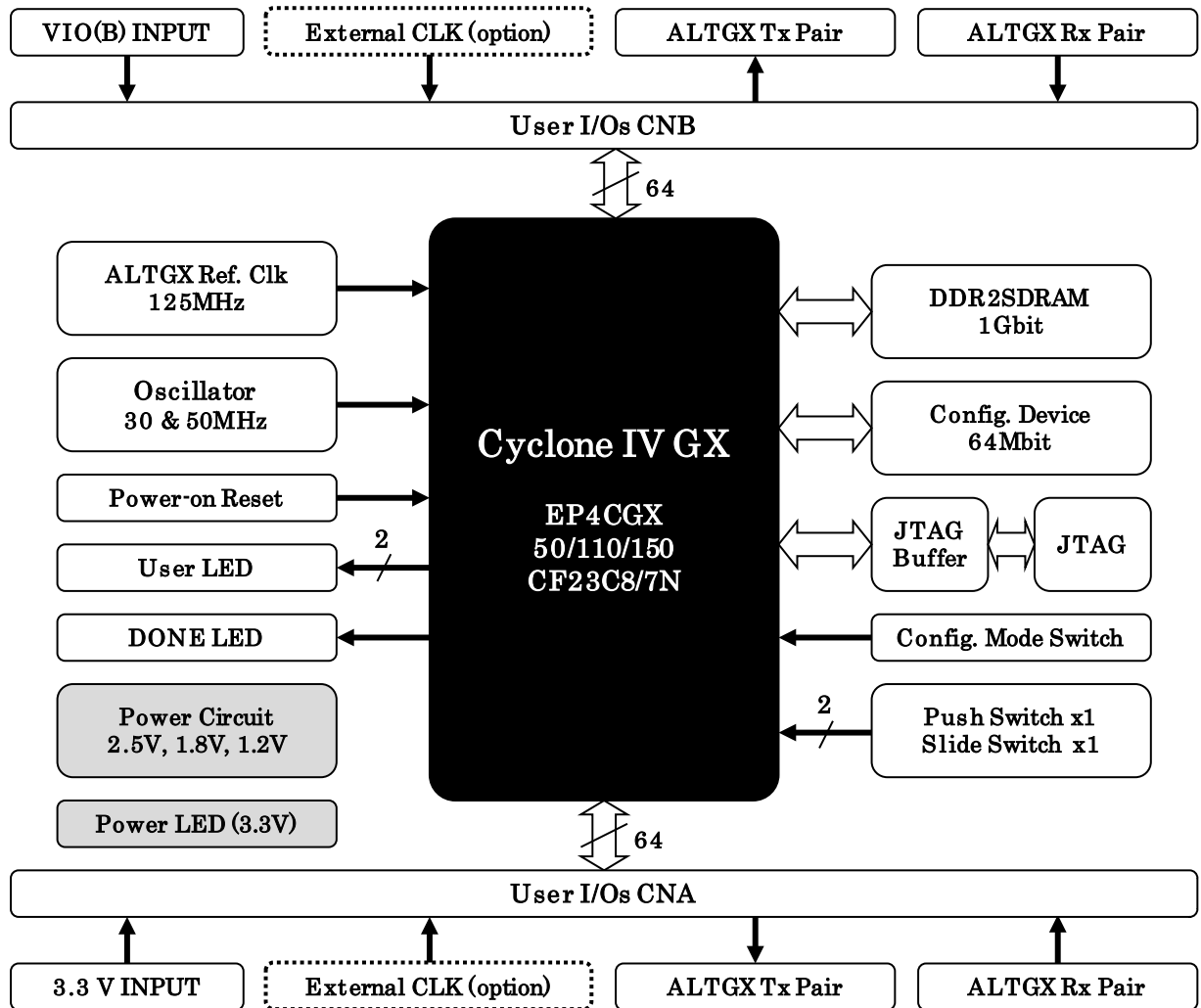


部品面



はんだ面

5.2. ブロック図



ACM-108 Rev.C

5.3. 電源

電源はCNAより3.3Vを供給してください。外部から供給する3.3V電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも3.3Vを超えることはできません。内部で必要になる2.5V、1.8V、1.2Vはオンボードレギュレータにより生成されます。

VIO(B)にはCNBより設計に合った値を供給してください。CNAから供給するV33Aとは接続されていません。PJ1(BANK5)、PJ2(BANK6)を切り替えることによりオンボードの2.5Vを供給することが可能です。

詳しくはFPGAのデータシートや回路図などを参照してください。

5.4. クロック

オンボードクロックとして 30MHz (U8) と 50MHz (U9) を搭載しています。CNA、CNB より外部クロックを入力することも可能です。
高速トランシーバ用リファレンスクロックには 125MHz を搭載しています。

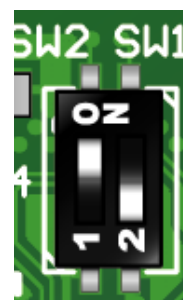
5.5. 設定スイッチ (SW1)

設定スイッチによりコンフィギュレーションモードなどを変更することが可能です。各ピンの詳細については Cyclone IV コンフィギュレーションユーザガイドをご参照ください。

SW1

| 番号 | 1 | 2 |
|----|------------|------|
| 記号 | MSELO | ASW1 |
| 説明 | コンフィグモード設定 | 汎用 |

| コンフィギュレーションモード | MSELO の設定 |
|---------------------|-----------|
| Active Serial (AS) | OFF |
| Passive Serial (PS) | ON |



- **MSELO**

FPGA のコンフィギュレーションモードを設定します

◆ Active Serial (AS) モード : 下記の場合に設定してください

- コンフィグ ROM にアクセスする (データ書込み、消去など)
- コンフィグ ROM から FPGA をコンフィギュレーションする (電源投入時)

◆ Passive Serial (PS) モード : JTAG アクセスの際に設定してください

- **ASW1**

汎用スイッチとしてご使用頂けます。

6. FPGA コンフィギュレーション

JTAG コネクタ (CN3) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。JTAG コネクタのピン配置は次表のとおりです。

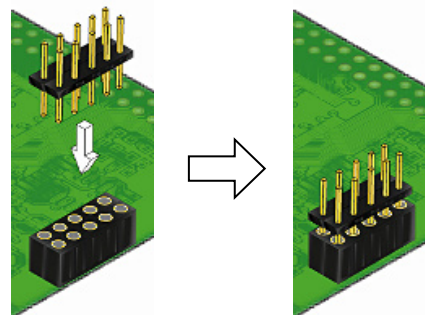
ケーブル接続時は誤接続に注意してください。

CN3

| 信号 | ピン番号 | | 信号 |
|-----|------|----|-----|
| TCK | 1 | 2 | GND |
| TDO | 3 | 4 | VCC |
| TMS | 5 | 6 | - |
| - | 7 | 8 | - |
| TDI | 9 | 10 | GND |



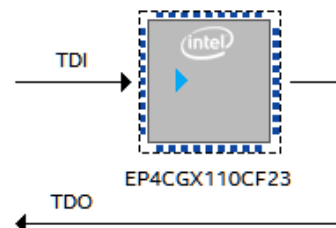
ダウンロードケーブルの接続には、付属のロングピンヘッダをご利用ください。



使用例

6.1. JTAG/バウンダリスキャン

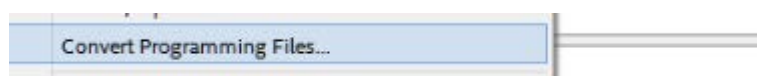
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



6.2. コンフィグ ROM アクセスファイル (jic ファイル) の作成

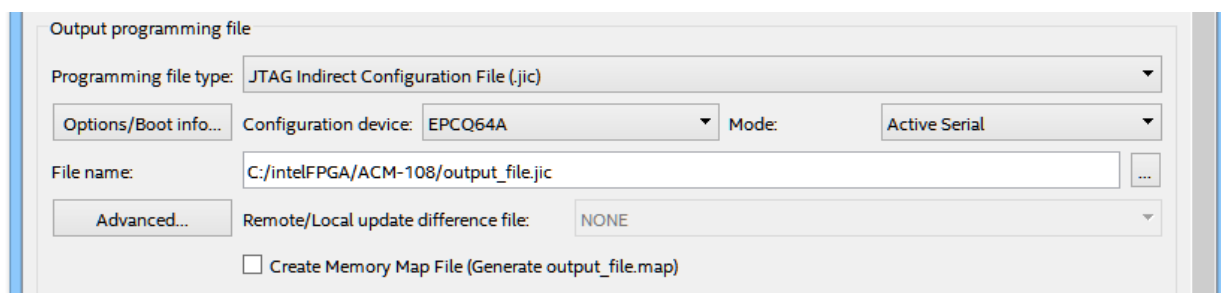
コンフィギュレーション ROM へ書き込むためには JTAG Indirect Configuration (JIC) ファイルが必要となります。作成手順を以下に示します。

- (1) QuartusII の【File】から、【Convert Programming Files..】をクリックします

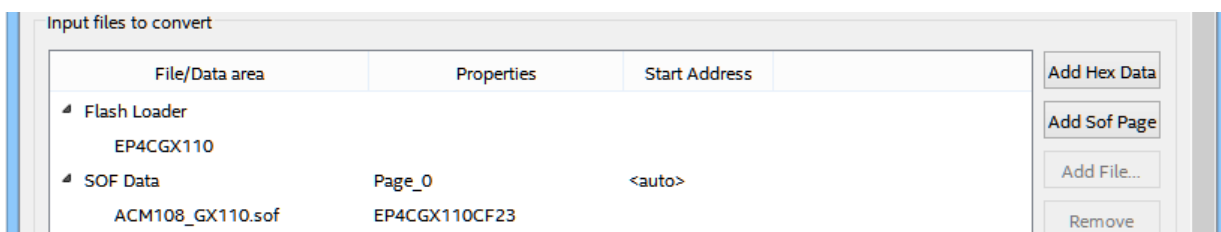


- (2) 設定画面にて必要な項目を設定します

- 【Programming File type】 : JTAG Indirect Configuration File (.jic)
- 【Configuration device】 : EPCQ64A
- 【File name】 : 任意
- 【Create Memory Map File】 : チェック無し



- (3) 【Flash Loader】を選択し【Add Device..】をクリックします
- (4) 搭載デバイスを選択し【OK】をクリックします
- (5) 【SOF Data】を選択し【Add File...】をクリックします
- (6) 変換する sof データを選択し【OK】をクリックします



- (7) 【Generate】をクリックします

6.3. コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし jic ファイルを選択します
- (2) 【Program/Configure】にチェックを入れ、【Start】をクリックします

| File | Device | Checksum | Usercode | Program/ Configure | Verify |
|--------------------------------------|-----------|----------|----------|-------------------------------------|-------------------------------------|
| Factory default enhanced SFL image | EP4CGX110 | 00763E90 | FFFFFFFF | <input checked="" type="checkbox"/> | <input type="checkbox"/> |
| C:/intelFPGA/ACM-108/output_file.jic | EPCQ64A | 35C49C8E | | <input checked="" type="checkbox"/> | <input checked="" type="checkbox"/> |

7. FPGA ピン割付表

FPGA の BANK は「BANK Group」として、まとめられています。下表をご参照下さい。Group A の Vccio は CNA より供給する V33A (3.3V) 固定です。Group B の Vccio には、CNB より設計に合った値を供給できます。

配線長は Web サポートページよりピン割付表をご参照ください。

| FPGA BANK | VCCIO | NET LABEL | BANK Group | メモ |
|-----------|--------|-----------|------------|--------------------|
| 3 | VCCI03 | V18 | - | DDR2SDRAM |
| 4 | VCCI04 | V18 | - | DDR2SDRAM |
| 5 | VCCI05 | V10 (B) | B | PJ1 にて V25 へ切り替え可能 |
| 6 | VCCI06 | V10 (B) | B | PJ2 にて V25 へ切り替え可能 |
| 7 | VCCI07 | V33A | A | |
| 8 | VCCI08 | V33A | A | |
| 9 | VCCI09 | V33A | A | 汎用ピン割付無し |

7.1. ユーザ I/O (CNA)

| BANK Group | NET LABEL | FPGA Pin | CNA Pin | | FPGA Pin | NET LABEL | BANK Group |
|------------|-----------|----------|---------|----|----------|-----------|------------|
| | | | | | | | |
| | V33_A | - | 1 | 2 | - | V33_A | |
| | V33_A | - | 3 | 4 | - | V33_A | |
| | | 電源予約 | 5 | 6 | 電源予約 | | |
| | | 電源予約 | 7 | 8 | 電源予約 | | |
| | | N.C | 9 | 10 | N.C | | |
| A | CLK_EXAP | K10 | 11 | 12 | J10 | CLK_EXAN | A |
| | GXB_TX3P | F2 | 13 | 14 | H2 | GXB_RX3P | |
| | GXB_TX3N | F1 | 15 | 16 | H1 | GXB_RX3N | |
| A | IOA0 | B1 | 17 | 18 | C1 | IOA32 | A |
| A | IOA1 | A1 | 19 | 20 | C2 | IOA33 | A |
| A | IOA2 | A2 | 21 | 22 | C3 | IOA34 | A |
| A | IOA3 | A3 | 23 | 24 | C4 | IOA35 | A |
| A | IOA4 | B3 | 25 | 26 | C5 | IOA36 | A |
| A | IOA5 | B4 | 27 | 28 | D4 | IOA37 | A |
| A | IOA6 | A6 | 29 | 30 | D5 | IOA38 | A |
| A | IOA7 | A7 | 31 | 32 | E5 | IOA39 | A |
| A | IOA8 | A4 | 33 | 34 | D6 | IOA40 | A |
| A | IOA9 | A5 | 35 | 36 | E6 | IOA41 | A |
| A | IOA10 | B6 | 37 | 38 | C7 | IOA42 | A |
| A | IOA11 | C6 | 39 | 40 | D7 | IOA43 | A |
| A | IOA12 | B7 | 41 | 42 | C10 | IOA44 | A |
| A | IOA13 | A8 | 43 | 44 | C11 | IOA45 | A |
| A | IOA14 | H9 | 45 | 46 | B12 | IOA46 | A |
| A | IOA15 | G10 | 47 | 48 | B13 | IOA47 | A |
| A | IOA16 | A11 | 49 | 50 | A14 | IOA48 | A |
| A | IOA17 | A12 | 51 | 52 | A13 | IOA49 | A |
| A | IOA18 | C8 | 53 | 54 | A15 | IOA50 | A |
| A | IOA19 | D8 | 55 | 56 | B15 | IOA51 | A |
| A | IOA20 | C9 | 57 | 58 | B16 | IOA52 | A |
| A | IOA21 | D9 | 59 | 60 | C16 | IOA53 | A |
| A | IOA22 | A10 | 61 | 62 | C18 | IOA54 | A |
| A | IOA23 | B10 | 63 | 64 | C17 | IOA55 | A |
| A | IOA24 | A16 | 65 | 66 | D17 | IOA56 | A |
| A | IOA25 | A17 | 67 | 68 | E17 | IOA57 | A |
| A | IOA26 | A18 | 69 | 70 | C15 | IOA58 | A |
| A | IOA27 | A19 | 71 | 72 | D15 | IOA59 | A |
| A | IOA28 | C12 | 73 | 74 | D12 | IOA60 | A |
| A | IOA29 | C13 | 75 | 76 | D11 | IOA61 | A |
| A | IOA30 | C14 | 77 | 78 | F16 | IOA62 | A |
| A | IOA31 | D14 | 79 | 80 | F17 | IOA63 | A |

7.2. ユーザ I/O (CNB)

| BANK Group | NET LABEL | FPGA Pin | CNB Pin | | FPGA Pin | NET LABEL | BANK Group |
|------------|-----------|----------|---------|----|----------|-----------|------------|
| | VIO(B) | - | 1 | 2 | - | VIO(B) | |
| | VIO(B) | - | 3 | 4 | - | VIO(B) | |
| | | 電源予約 | 5 | 6 | 電源予約 | | |
| | | 電源予約 | 7 | 8 | 電源予約 | | |
| | | N. C | 9 | 10 | N. C | | |
| B | CLK_EXBP | M21 | 11 | 12 | M22 | CLK_EXBN | B |
| | GXB_TXOP | V2 | 13 | 14 | Y2 | GXB_RXOP | |
| | GXB_TXON | V1 | 15 | 16 | Y1 | GXB_RXON | |
| B | IOB0 | K19 | 17 | 18 | R16 | IOB32 | B |
| B | IOB1 | K20 | 19 | 20 | R17 | IOB33 | B |
| B | IOB2 | L19 | 21 | 22 | R19 | IOB34 | B |
| B | IOB3 | L20 | 23 | 24 | T20 | IOB35 | B |
| B | IOB4 | M17 | 25 | 26 | W20 | IOB36 | B |
| B | IOB5 | N17 | 27 | 28 | W21 | IOB37 | B |
| B | IOB6 | M18 | 29 | 30 | V20 | IOB38 | B |
| B | IOB7 | M19 | 31 | 32 | V21 | IOB39 | B |
| B | IOB8 | N19 | 33 | 34 | U20 | IOB40 | B |
| B | IOB9 | N20 | 35 | 36 | T19 | IOB41 | B |
| B | IOB10 | N21 | 37 | 38 | R20 | IOB42 | B |
| B | IOB11 | N22 | 39 | 40 | R21 | IOB43 | B |
| B | IOB12 | R22 | 41 | 42 | J19 | IOB44 | B |
| B | IOB13 | P22 | 43 | 44 | J20 | IOB45 | B |
| B | IOB14 | D19 | 45 | 46 | H20 | IOB46 | B |
| B | IOB15 | D20 | 47 | 48 | H21 | IOB47 | B |
| B | IOB16 | E20 | 49 | 50 | K22 | IOB48 | B |
| B | IOB17 | F20 | 51 | 52 | J22 | IOB49 | B |
| B | IOB18 | E21 | 53 | 54 | J21 | IOB50 | B |
| B | IOB19 | E22 | 55 | 56 | H22 | IOB51 | B |
| B | IOB20 | G22 | 57 | 58 | G21 | IOB52 | B |
| B | IOB21 | F22 | 59 | 60 | G20 | IOB53 | B |
| B | IOB22 | D21 | 61 | 62 | G19 | IOB54 | B |
| B | IOB23 | D22 | 63 | 64 | F18 | IOB55 | B |
| B | IOB24 | B20 | 65 | 66 | C20 | IOB56 | B |
| B | IOB25 | B21 | 67 | 68 | C19 | IOB57 | B |
| B | IOB26 | B19 | 69 | 70 | Y22 | IOB58 | B |
| B | IOB27 | A20 | 71 | 72 | W22 | IOB59 | B |
| B | IOB28 | C22 | 73 | 74 | V22 | IOB60 | B |
| B | IOB29 | B22 | 75 | 76 | U22 | IOB61 | B |
| B | IOB30 | A22 | 77 | 78 | T21 | IOB62 | B |
| B | IOB31 | A21 | 79 | 80 | T22 | IOB63 | B |

7.3. DDR2 SDRAM (U10)

| Memory Pin Name | NET LABEL | FPGA Pin |
|-----------------|-----------|----------|
| A0 | DDR_A0 | AA15 |
| A1 | DDR_A1 | AB19 |
| A2 | DDR_A2 | AB15 |
| A3 | DDR_A3 | AA21 |
| A4 | DDR_A4 | AA16 |
| A5 | DDR_A5 | AB20 |
| A6 | DDR_A6 | Y17 |
| A7 | DDR_A7 | AA22 |
| A8 | DDR_A8 | AB16 |
| A9 | DDR_A9 | AB21 |
| A10 | DDR_A10 | AA20 |
| A11 | DDR_A11 | AB17 |
| A12 | DDR_A12 | AB22 |
| A13/RFU | DDR_A13 | W14 |
| A14/RFU | - | - |
| A15/RFU | - | - |
| BA0 | DDR_BA0 | AA19 |
| BA1 | DDR_BA1 | AB18 |
| BA2/RFU | DDR_BA2 | AA18 |
| DQ0 | DDR_DQ0 | AA9 |
| DQ1 | DDR_DQ1 | Y9 |
| DQ2 | DDR_DQ2 | W11 |
| DQ3 | DDR_DQ3 | Y11 |
| DQ4 | DDR_DQ4 | Y12 |
| DQ5 | DDR_DQ5 | AA10 |
| DQ6 | DDR_DQ6 | W9 |
| DQ7 | DDR_DQ7 | AB8 |
| DQ8 | DDR_DQ8 | Y5 |

| Memory Pin Name | NET LABEL | FPGA Pin |
|-----------------|-----------|----------|
| DQ9 | DDR_DQ9 | W7 |
| DQ10 | DDR_DQ10 | AB5 |
| DQ11 | DDR_DQ11 | Y7 |
| DQ12 | DDR_DQ12 | Y6 |
| DQ13 | DDR_DQ13 | AA6 |
| DQ14 | DDR_DQ14 | W6 |
| DQ15 | DDR_DQ15 | AB4 |
| LDQS | DDR_LDQS | Y10 |
| LDQS# | - | - |
| UDQS | DDR_UDQS | Y8 |
| UDQS# | - | - |
| LDM | DDR_LDM | AB6 |
| UDM | DDR_UDM | W5 |
| RAS# | DDR_RAS | AA13 |
| CAS# | DDR_CAS | AB14 |
| WE# | DDR_WE | Y16 |
| CK | DDR_CK_P | AA7 |
| CK# | DDR_CK_N | AB7 |
| CKE | DDR_CKE | Y15 |
| ODT | DDR_ODT | AB13 |
| CS# | DDR_CSN | W18 |

7.4. オンボードクロック

| 周波数 | NET LABEL | FPGA Pin |
|-------|-----------|----------|
| 30MHz | 30M_CLK1 | L22 |
| | 30M_CLK2 | B9 |
| | 30M_CLK3 | M11 |
| 50MHz | 50M_CLK1 | L21 |
| | 50M_CLK2 | A9 |
| | 50M_CLK3 | N11 |

7.5. 外部クロック入力

| コネクタ | NET LABEL | FPGA Pin | BANK Group |
|--------|-----------|----------|------------|
| CNA_11 | CLK_EXAP | K10 | A |
| CNA_12 | CLK_EXAN | J10 | A |
| CNB_11 | CLK_EXBP | M21 | B |
| CNB_12 | CLK_EXBN | M22 | B |

7.6. 汎用 LED

| LED | NET LABEL | FPGA Pin |
|-----|-----------|----------|
| L4 | ULED4 | G7 |
| L5 | ULED5 | H7 |

7.7. 汎用スイッチ

| SW | NET LABEL | FPGA Pin |
|---------|-----------|----------|
| SW2 | PSW1 | F6 |
| SW1 [2] | ASW1 | G14 |

7.8. 共通ピン **【重要】**

本ボードでは、デバイス規模間でのボード共有のため、一部の I/O ピンが GND や VCCINT (1.2V) に固定されています。VREFB ピンには互いに導通しているものがあります。これらは汎用 I/O 用途に使用しないようにする必要があります。下表に該当ピンを示します。詳しくは 1 章をご参照ください。

| GND | V12 | VREFB | V09REF |
|-----|-----|-------|--------|
| R10 | P10 | P20 | V9 |
| R15 | T15 | W19 | U12 |
| N13 | N14 | N19 | W10 |
| M14 | M15 | M5 | - |
| N15 | P15 | T3 | - |
| M16 | K14 | R5 | - |
| L16 | H16 | | |
| K17 | K12 | | |
| J16 | P10 | | |
| K13 | T15 | | |
| H15 | | | |
| J12 | | | |

Cyclone IV GX FPGA ボード
ACM-108 シリーズ (Rev4)
ユーザーズマニュアル

2020/03/23 Ver.4.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <https://www.hdl.co.jp/> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
