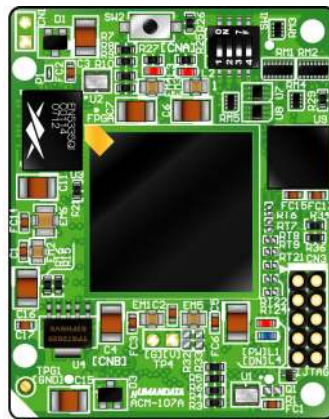


Cyclone IV E FPGA ボード



ACM-107 シリーズ
ユーザーズマニュアル

Ver. 1.0



ヒューマンデータ

目次

● はじめに	1
● ご注意	1
● 改訂記録	2
1. 製品の内容について	2
2. 仕様	2
3. 固定ピンについて 【重要】	3
4. 製品説明	4
4.1. 各部の名称	4
4.2. ブロック図	5
4.3. 電源入力	6
4.4. JTAGコネクタ (CN3)	6
4.5. 設定スイッチ (SW1)	6
5. FPGA のコンフィギュレーション	7
6. コンフィギュレーション ROM	8
6.1. JICファイルの作成	8
6.2. 書き込み	9
7. FPGA ピン割付表	10
7.1. ユーザI/O (CNA)	10
7.2. ユーザI/O (CNB)	11
7.3. MRAM (U9)	12
7.4. オンボードクロック	13
7.5. 外部クロック入力	13
7.6. 汎用LED	13
7.7. 汎用スイッチ	13
8. 参考資料について	14
9. 付属資料	14


● はじめに


この度は、Cyclone IV E FPGA ボード/ACM-107 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-107 シリーズは、アルテラ社の高性能 FPGA である Cyclone IV E を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した使いやすいボードになっています。どうぞご活用ください。

(*) 本マニュアルは Quartus II Version 10.0 を元に作成しています。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。

 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2010/11/29	1.0	初版発行

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード ACM-107 シリーズ	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

2. 仕様

製品型番	ACM-107-55C8	ACM-107-75C8	ACM-107-115C8
搭載 FPGA	EP4CE55F23C8N	EP4CE75F23C8N	EP4CE115F23C8N
コンフィグ ROM	EPCS16S18N (16Mbit)	EPCS64S116N (ALTERA, 64Mbit)	
電源入力	DC 3.3V (内部電源はオンボードレギュレータにより生成)		
コア電源	1.2V		
外形寸法	43 x 54 [mm]		
質量	約 20 [g]		
ユーザ I/O	128 本		
I/O コネクタ	FX10A-80P/8-SV1 (71) (ヒロセ電機)		
プリント基板	ガラスエポキシ 8 層基板 1.6t		
MRAM	MR2A16AYS35 (Everspin, 4Mbit)		
オンボードクロック	50MHz, 30MHz (外部供給可能)		
リセット回路	電源 IC 内蔵 (200ms typ.)		
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER, DONE)		
汎用 LED	2 個		
汎用スイッチ	1 個 (押しボタン)		
付属品	DIL10 ピンヘッダ 1 個 (本体に取付け済み) コネクタ : FX10A-80S/8-SV (71) (ヒロセ電機) 2 個		

* これらの部品や仕様は変更となる場合がございます

3. 固定ピンについて【重要】

本ボードでは、デバイス規模間でのボード共有のため、一部の I/O ピンが GND や VCCINT (1.2V) に固定されています。VREFB ピンには互いに導通しているものがあります。これらは汎用 I/O 用途に使用しないようにする必要があります。詳細は回路図をご参照ください。下表に該当ピンを示します。

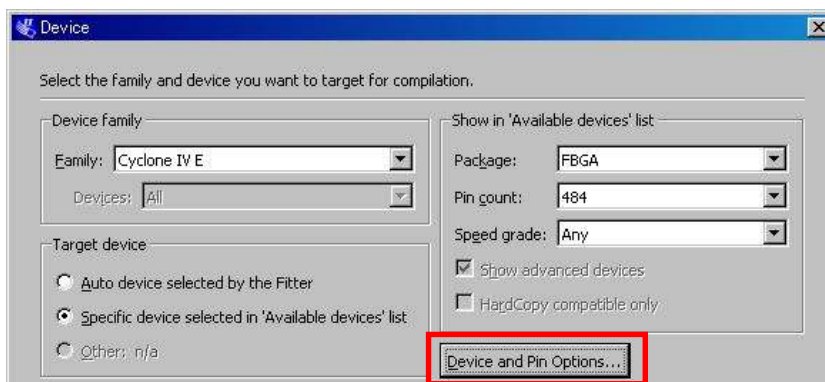
GND	
G7	G17
J19	G9
J5	H16
R18	K7
U19	N17
Y21	P6
E10	T10
F16	T14
G11	U13
G13	U7
G15	V6

VCCINT(1.2V)	
G10	R15
G14	R6
G16	T11
G8	U8
J17	V7
J7	G4
K17	H17
N16	R14
N7	U15
P17	U16
P7	U17

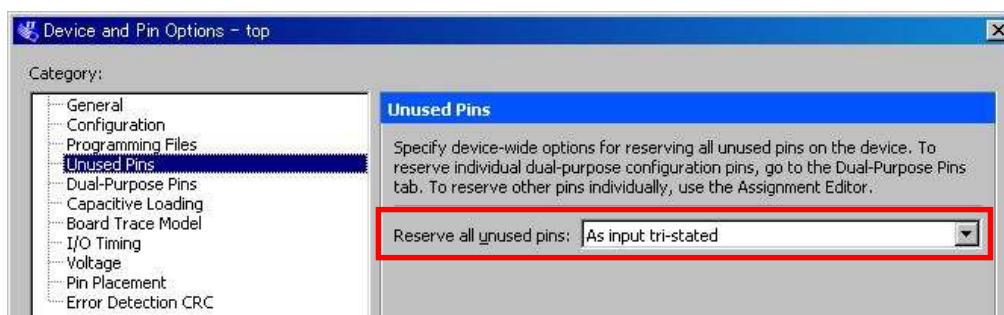
VREFB	
M5	AA18
T3	V12
R5	V16
P20	V9
W19	AB4
N19	U11

未使用ピンを全て入力とするように Quartus を設定出来ます。以下に設定方法を示します。

1. 【Assignments -> Device】 → 【Device and Pin Options..】 をクリックします

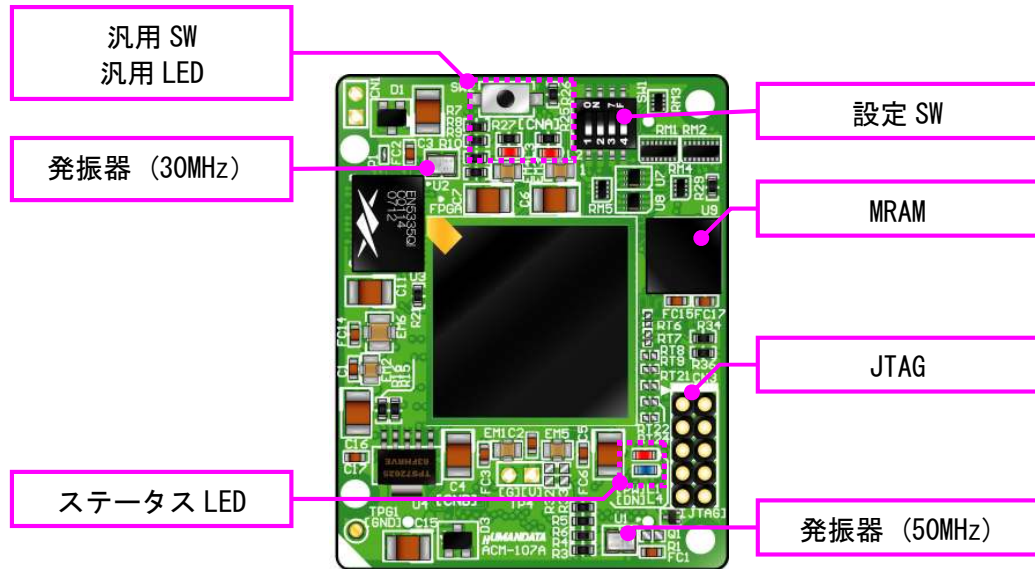


2. 【Reserve all unused pins】 を 【As input tri-stated】 に設定します

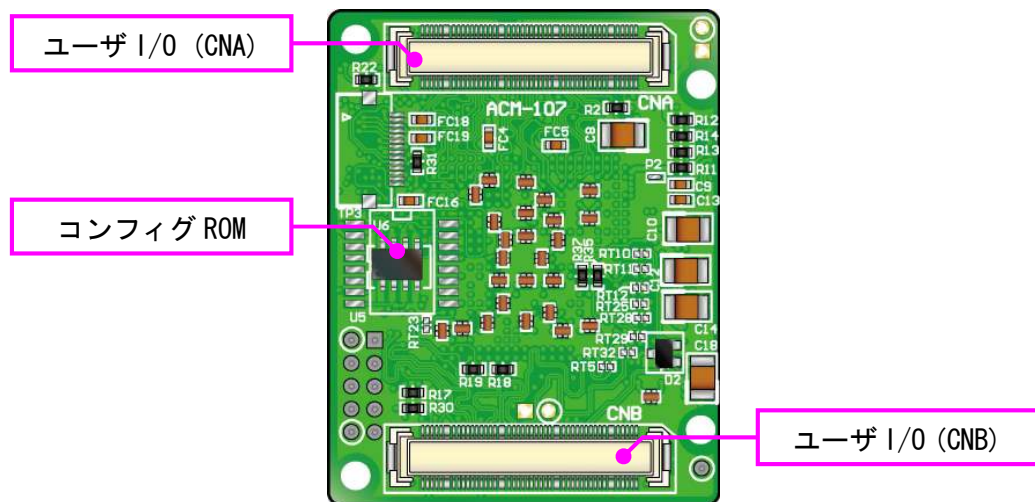


4. 製品説明

4.1. 各部の名称

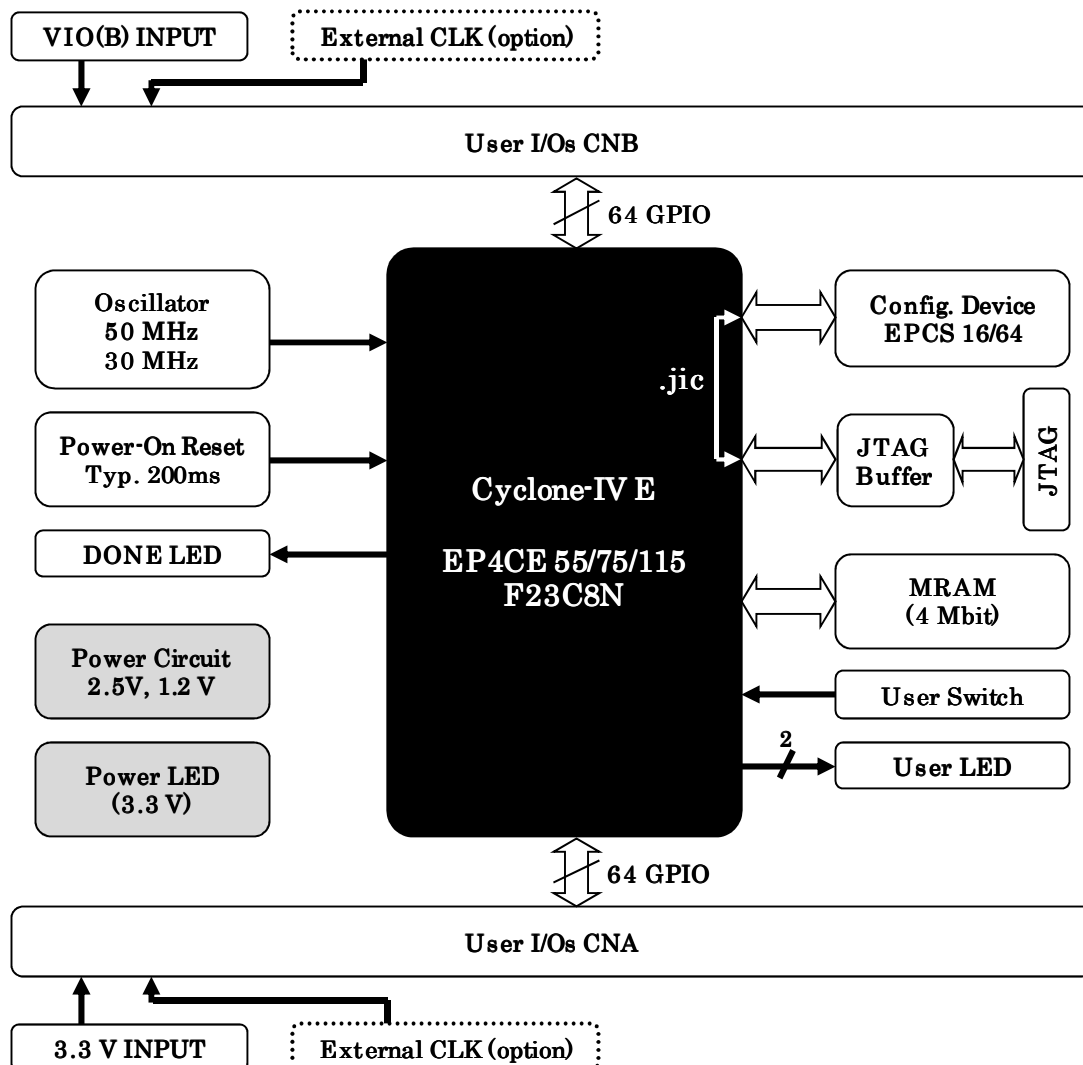


部品面



はんだ面

4.2. ブロック図



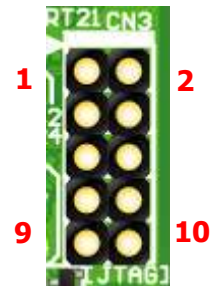
4.3. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。ユーザ I/O (CNA, CNB) より、十分な余裕のあるものを供給してください。

CNB 側から供給する電圧は I/O 電源として、任意の電圧を供給することができます。CNA 側から供給する電圧は 3.3V に限られます。詳しくは回路図をご参照ください。

4.4. JTAG コネクタ (CN3)

FPGA へのコンフィギュレーション及びコンフィグ ROM の ISP に使用します。ピン配置を下表に示します。



CN3

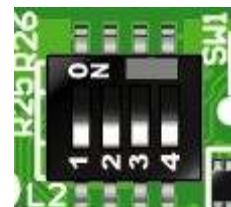
ネットラベル	ダウンロードケーブル信号名	ピン番号		ダウンロードケーブル信号名	ネットラベル
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

ダウンロードケーブルとの接続には付属品 DIL10 ピンヘッダをご利用できます。弊社製ダウンロードケーブル BL3 の 10 ピンコネクタと 1:1 で対応しています。ALTERA 社の純正ケーブルを用いることもできます。

4.5. 設定スイッチ (SW1)

設定スイッチ (SW1) により、コンフィギュレーションモードを設定できます。

ON によりゼロ設定となります。出荷時は全て OFF 設定です。



SW1	1	2	3	4	
モード	MSEL0	MSEL1	MSEL2	MSEL3	動作
AS	1	0	1	1	コンフィグ ROM アクセス
JTAG	X	X	X	X	FPGA アクセス

X : Don't Care

コンフィグ ROM への書込み、コンフィグ ROM からの FPGA へのコンフィギュレーション (リセット時) 共に AS モードに設定してください。書込みには JIC ファイルをご使用ください。その他の動作モードは通常使用しません。

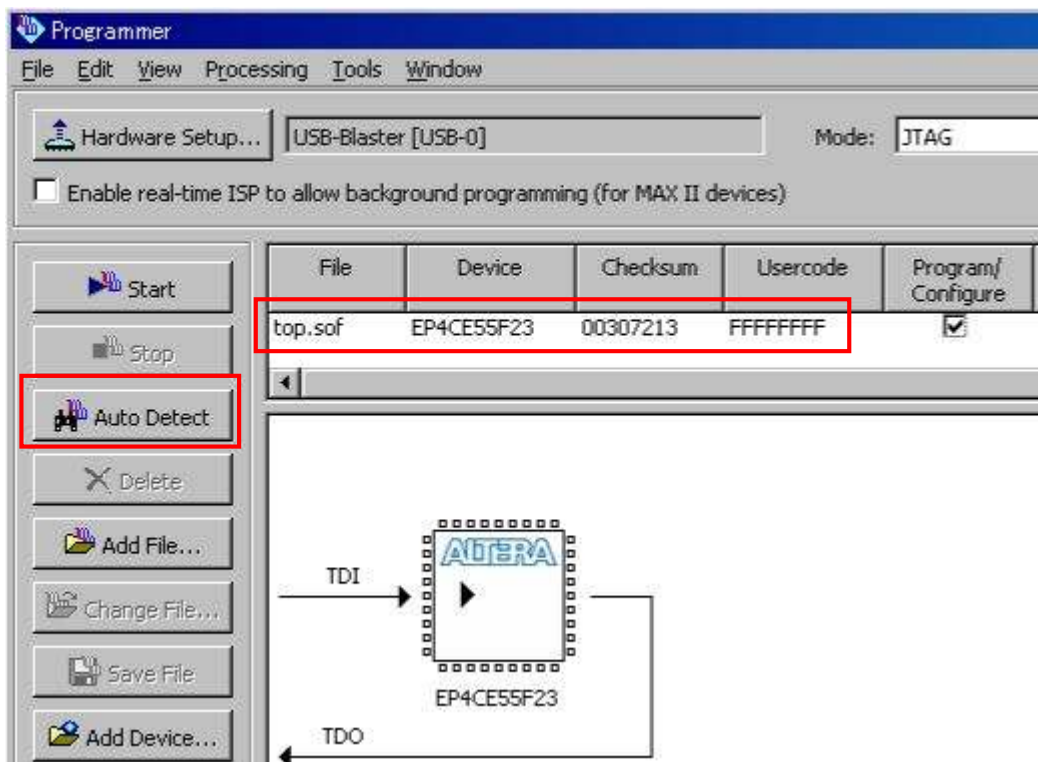
詳細については Cyclone IV のデータシートをご参照ください。

5. FPGA のコンフィギュレーション

1. Quartus II を起動し【Programmer】をクリックします。



2. 【Auto Detect】をクリックしデバイスを認識させます。
【none】部分をダブルクリックし、sof ファイルを選択します。



3. 【Program/Configure】にチェックを入れ【Start】をクリックします。
正常にコンフィギュレーションが完了すると DONE LED が点灯します。

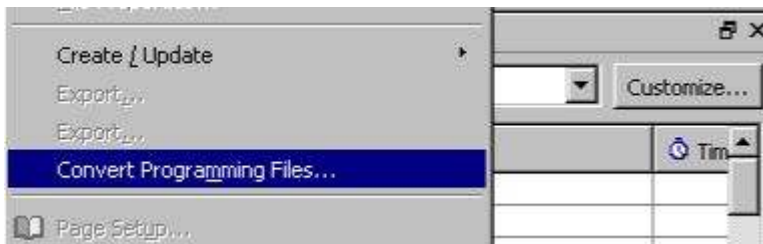
6. コンフィギュレーション ROM

ACM-107にはコンフィギュレーションROMが搭載されています。データの書き込みにはJICファイルを作成する必要があります。

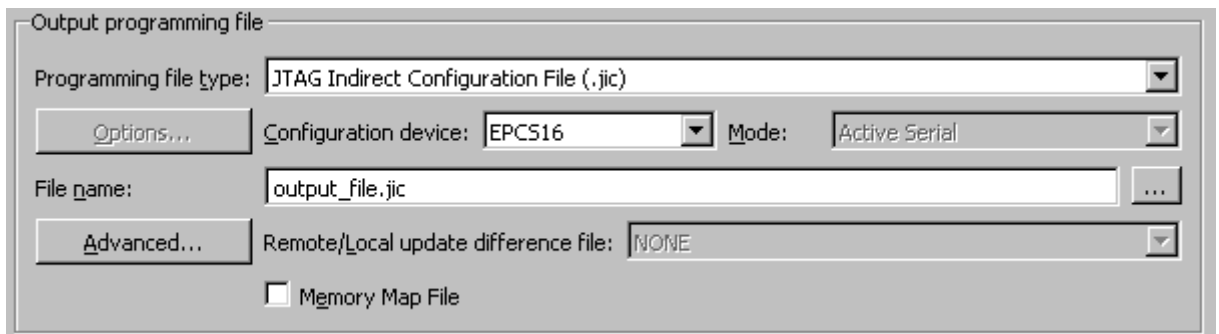
ROMからFPGAへのコンフィギュレーションは、電源投入時に自動的に行われます。書き込むデータは十分に検査され、安全性のあるものをご使用ください。

6.1. JICファイルの作成

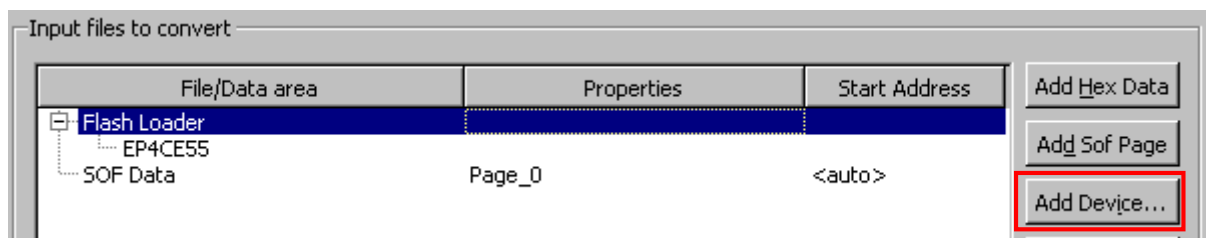
1. 【File -> Convert Programming Files..】をクリックします。



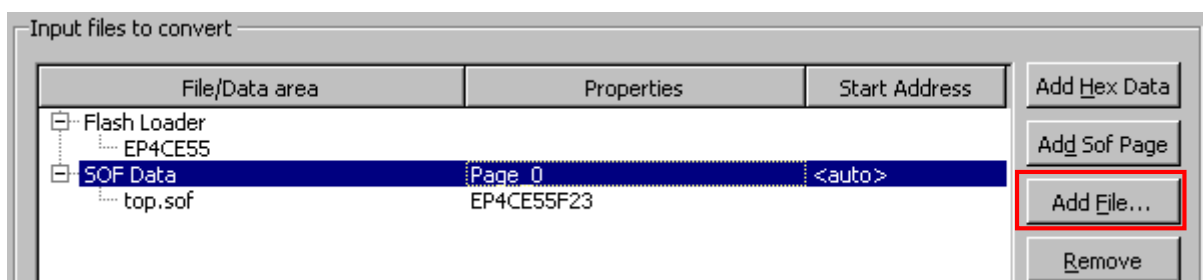
2. 【Programming File type】 : JTAG Indirect Configuration File (.jic)
 【Configuration device】 : EPCS16 or EPCS64
 【File name】 : 任意
 を指定し【Memory Map File】のチェックを外します。



3. 【Flash Loader】を選択し【Add Device..】をクリックします。
4. 搭載デバイスを選択し【OK】をクリックします。(EP4CE55, EP4CE75, EP4CE115)



5. 【SOF Data】を選択し【Add File...】をクリックします。
6. 変換する sof データを選択し【OK】をクリックします。



7. 【Generate】をクリックします。

6.2. 書き込み

書き込みには設定スイッチ(SW1)をASモードとする必要があります。詳しくは4.5章を参照してください。

1. 【Add File...】をクリックし JIC ファイルを選択します。
2. 【Program/Configure】にチェックをいれ【Start】をクリックします。

File	Device	Checksum	Usercode	Program/Configure	Verify	Blank-Check
Factory default enhanced... output_file.jic	EP4CE55 EPC516	002F4AFE 03D2921F	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

7. FPGA ピン割付表

7.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
	V33_A	3.3V	3	4	3.3V	V33_A	
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
A	CLK_EXAP	B11	11	12	A11	CLK_EXAN	A
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	B3	17	18	C3	IOA32	A
A	IOA1	A3	19	20	C4	IOA33	A
A	IOA2	B4	21	22	C6	IOA34	A
A	IOA3	A4	23	24	D7	IOA35	A
A	IOA4	B5	25	26	C7	IOA36	A
A	IOA5	A5	27	28	D8	IOA37	A
A	IOA6	A6	29	30	C8	IOA38	A
A	IOA7	B6	31	32	E8	IOA39	A
A	IOA8	A7	33	34	C10	IOA40	A
A	IOA9	B7	35	36	D10	IOA41	A
A	IOA10	A8	37	38	D13	IOA42	A
A	IOA11	B8	39	40	C13	IOA43	A
A	IOA12	A9	41	42	F13	IOA44	A
A	IOA13	B9	43	44	F15	IOA45	A
A	IOA14	B10	45	46	E14	IOA46	A
A	IOA15	A10	47	48	E16	IOA47	A
A	IOA16	B13	49	50	D15	IOA48	A
A	IOA17	A13	51	52	E15	IOA49	A
A	IOA18	B14	53	54	D17	IOA50	A
A	IOA19	A14	55	56	C17	IOA51	A
A	IOA20	A15	57	58	C18	IOA52	A
A	IOA21	B15	59	60	D18	IOA53	A
A	IOA22	B16	61	62	C19	IOA54	A
A	IOA23	A16	63	64	D19	IOA55	A
A	IOA24	B17	65	66	B21	IOA56	A
A	IOA25	A17	67	68	B22	IOA57	A
A	IOA26	B18	69	70	C21	IOA58	A
A	IOA27	A18	71	72	C22	IOA59	A
A	IOA28	B19	73	74	D21	IOA60	A
A	IOA29	A19	75	76	D22	IOA61	A
A	IOA30	B20	77	78	E21	IOA62	A
A	IOA31	A20	79	80	E22	IOA63	A

7.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK
	VIO(B)	VCCIO_x	1	2	VCCIO_x	VIO(B)	
	VIO(B)	VCCIO_x	3	4	VCCIO_x	VIO(B)	
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
B	CLK_EXBP	T21	11	12	T22	CLK_EXBN	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	M2	17	18	AA3	IOB32	B
B	IOB1	M1	19	20	AB3	IOB33	B
B	IOB2	N1	21	22	AB5	IOB34	B
B	IOB3	N2	23	24	AB6	IOB35	B
B	IOB4	P1	25	26	AB7	IOB36	B
B	IOB5	P2	27	28	AA7	IOB37	B
B	IOB6	R1	29	30	AB8	IOB38	B
B	IOB7	R2	31	32	AA8	IOB39	B
B	IOB8	U1	33	34	AB9	IOB40	B
B	IOB9	U2	35	36	AA9	IOB41	B
B	IOB10	V1	37	38	AB10	IOB42	B
B	IOB11	V2	39	40	AA10	IOB43	B
B	IOB12	W1	41	42	AA13	IOB44	B
B	IOB13	W2	43	44	AB13	IOB45	B
B	IOB14	Y1	45	46	AB14	IOB46	B
B	IOB15	Y2	47	48	AA14	IOB47	B
B	IOB16	T19	49	50	AB15	IOB48	B
B	IOB17	T20	51	52	AA15	IOB49	B
B	IOB18	V21	53	54	AB16	IOB50	B
B	IOB19	V22	55	56	AA16	IOB51	B
B	IOB20	U21	57	58	AB17	IOB52	B
B	IOB21	U22	59	60	AA17	IOB53	B
B	IOB22	W21	61	62	AB20	IOB54	B
B	IOB23	W22	63	64	AA20	IOB55	B
B	IOB24	R21	65	66	Y13	IOB56	B
B	IOB25	R22	67	68	W13	IOB57	B
B	IOB26	P21	69	70	Y14	IOB58	B
B	IOB27	P22	71	72	Y15	IOB59	B
B	IOB28	N21	73	74	W14	IOB60	B
B	IOB29	N22	75	76	V13	IOB61	B
B	IOB30	M21	77	78	Y17	IOB62	B
B	IOB31	M22	79	80	W17	IOB63	B

7.3. MRAM (U9)

MRAM		NET LABEL	FPGA Pin
Pin Name	Pin		
A0	1	MRAM_A1	J21
A1	2	MRAM_A2	F21
A2	3	MRAM_A3	F17
A3	4	MRAM_A4	H22
A4	5	MRAM_A5	J22
A5	18	MRAM_A6	K21
A6	19	MRAM_A7	G18
A7	20	MRAM_A8	H20
A8	21	MRAM_A9	H2
A9	22	MRAM_A10	H6
A10	23	MRAM_A11	J6
A11	24	MRAM_A12	H4
A12	25	MRAM_A13	J1
A13	26	MRAM_A14	H3
A14	27	MRAM_A15	C20
A15	42	MRAM_A16	H21
A16	43	MRAM_A17	H19
A17	44	MRAM_A18	K22
DQL0	7	MRAM_DQL0	J20
DQL1	8	MRAM_DQL1	J18
DQL2	9	MRAM_DQL2	K18
DQL3	10	MRAM_DQL3	K19
DQL4	13	MRAM_DQL4	H18
DQL5	14	MRAM_DQL5	J4
DQL6	15	MRAM_DQL6	L21
DQL7	16	MRAM_DQL7	L22
DQU8	29	MRAM_DQU8	E1
DQU9	30	MRAM_DQU9	D2
DQU10	31	MRAM_DQU10	F1
DQU11	32	MRAM_DQU11	E3
DQU12	35	MRAM_DQU12	F22
DQU13	36	MRAM_DQU13	E4
DQU14	37	MRAM_DQU14	F2
DQU15	38	MRAM_DQU15	H1
G#	41	MRAM_OE	C1
W#	17	MRAM_WE	J2
E#	6	MRAM_CE	B1
LB#	39	MRAM_BE0	B2
UB#	40	MRAM_BE1	C2

7.4. オンボードクロック

周波数	NET LABEL	FPGA Pin
30MHz	30M_CLK1	T2
	30M_CLK2	AA11
		AA12
	30M_CLK3	G21
30M_CLK4	A12	
50MHz	50M_CLK1	T1
	50M_CLK2	AB11
		AB12
	50M_CLK3	G22
50M_CLK4	B12	

7.5. 外部クロック入力

コネクタ	NET LABEL	FPGA Pin
CNA_11	CLK_EXAP	B11
CNA_12	CLK_EXAN	A11
CNB_11	CLK_EXBP	T21
CNB_12	CLK_EXBN	T22

7.6. 汎用LED

LED	NET LABEL	FPGA Pin
L2	ULED2	F11
L3	ULED3	E11

7.7. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSW2	F8

8. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-107/index.html>

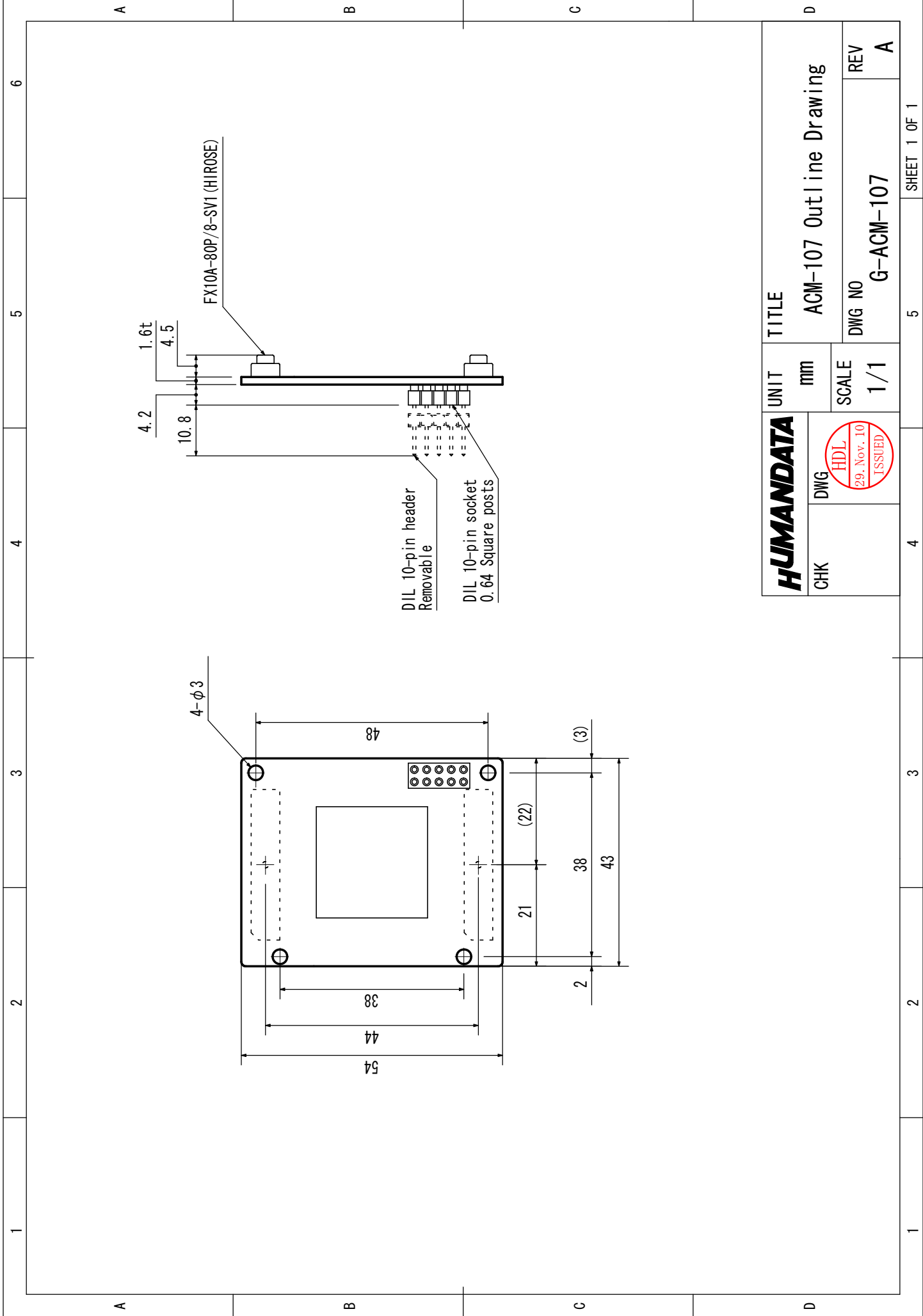
- 回路図
- ピンリスト
- 外形図
- パターン図
- ネットリスト ... 等

また下記サポートページも合わせてご活用ください。

http://www.hdl.co.jp/support_c.html

9. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



HUMANDATA	UNIT	TITLE	
	mm	ACM-107 Outline Drawing	
DWG	SCALE	DWG NO	REV
	1/1	G-ACM-107	A

Cyclone IV E FPGA ボード

ACM-107 シリーズ
ユーザーズマニュアル

2010/11/29 Ver. 1.0 (初版)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
