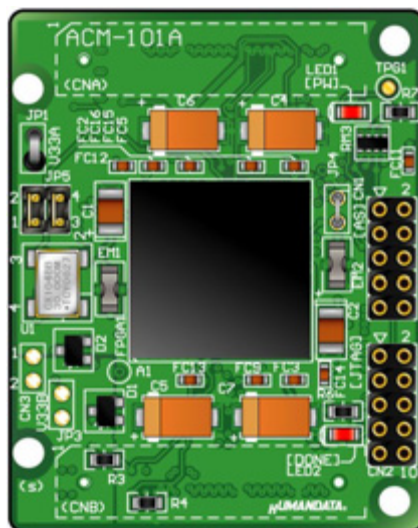




Cyclone FPGA ボード
ACM-101
ユーザーズマニュアル
Ver. 1.6



ヒューマンデータ

目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 固定ピンについて【重要】.....	3
3. 仕様.....	4
4. 製品概要.....	5
4.1 各部の名称.....	5
4.2 電源入力.....	5
4.3 JTAG コネクタ.....	6
4.4 AS コネクタ.....	6
4.5 コンフィギュレーションモード.....	7
5. コネクタピン割付表.....	8
5.1 ユーザ I/O (CNA).....	8
5.2 ユーザ I/O (CNB).....	9
5.3 オンボードクロック.....	10
5.4 外部入力クロック.....	10
6. 参考資料について.....	10
7. 付属資料.....	10
8. お問い合わせについて.....	11


● はじめに


この度は、Cyclone FPGA ボード／ACM-101 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-101 は、ALTERA 社の高性能 FPGA である Cyclone を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5. 定格を越える電源を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
13. 静電気にご注意ください。	

● 改訂記録

日付	バージョン	改訂内容
2012/07/03	1.5	・ダウンロードケーブル接続参考図の更新など
2012/08/16	1.6	・JP3 不実装に変更、ピン割付表更新

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-101 シリーズ	1
付属品		1
マニュアル（本書）		1*
ユーザー登録はがき		1*

* オーダー毎に各 1 部場合があります。（ご要望により追加請求できます。）

2. 固定ピンについて【重要】

本ボードでは、下記のピンが電源ピンに固定されています。
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。
 EP1C20 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

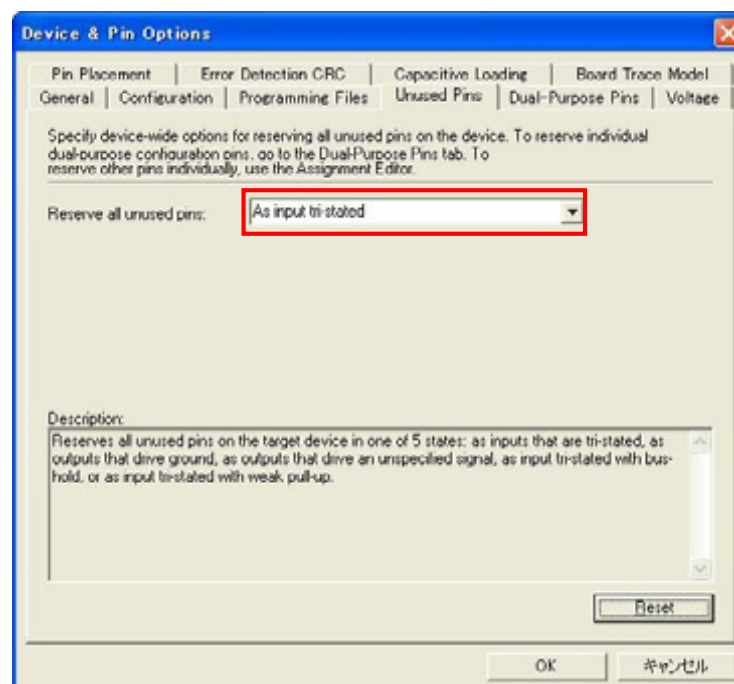
固定ピン一覧

NET LABEL	FPGA ピン
GND	G8
GND	G10
GND	F11
GND	F9
GND	M11
GND	N10
GND	M9
GND	N8

NET LABEL	FPGA ピン
V15	F8
V15	F10
V15	G11
V15	G9
V15	N11
V15	M10
V15	N9
V15	M8

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます
 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます
 Reserve all unused pins の設定を【As inputs tri-stated】にします



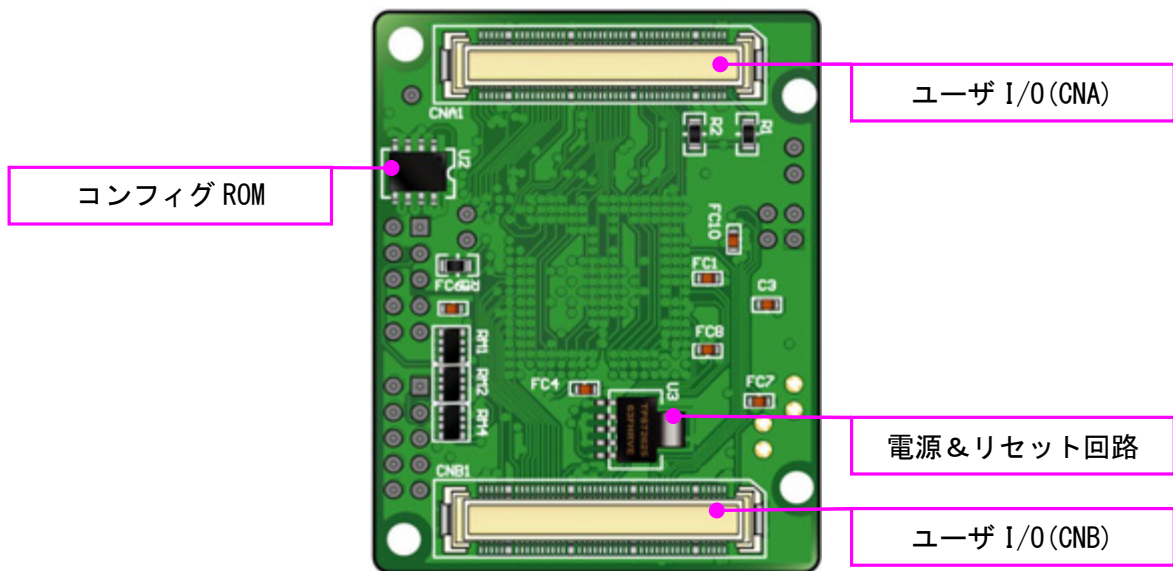
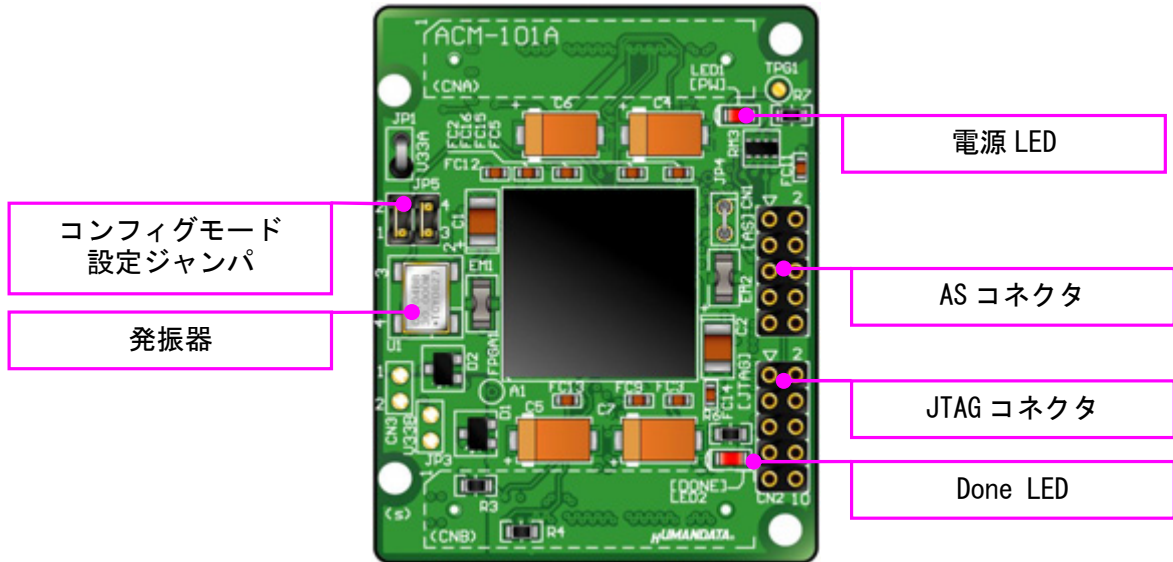
3. 仕様

製品型番	ACM-101-4C8	ACM-101-12C8	ACM-101-20C8
搭載 FPGA	EP1C4F324C8N	EP1C12F324C8N	EP1C20F324C8N
コンフィグ ROM	EPCS4SI8 (ALTERA, 4Mbit)		
電源	DC 3.3V (詳細は FPGA データシートご参照)		
消費電流	N/A (詳細は FPGA データシートご参照)		
基板寸法	43 × 55 [mm]		
質量	約 15 [g]		
ユーザ I/O	128 本 (64 本 × 2)		
I/O コネクタ	メーカー型番 : FX10A-80P/8-SV1 (ヒロセ電機)		
プリント基板	ガラスエポキシ 8 層基板 1.6t		
オンボードクロック	30MHz (外部供給可能)		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIL10 ピン 丸ピンソケット		
LED	電源表示用、コンフィグレーション完了表示用		
付属品	DIL10 ロングピンヘッダ (本体に取付け済み) 1 個 コネクタ : FX10A-80S/8-SV (ヒロセ電機) 2 個 ジャンパソケット (本体に取付け済み) 2 個		

*これらの部品や仕様は変更となる場合がございます

4. 製品概要

4.1 各部の名称



4.2 電源入力

本ボードは、DC 3.3V 単一電源で動作します。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

電源は、CNA、CNB から供給してください。

4.3 JTAG コネクタ

FPGA への ISP (In System Programming) 時に使用します。ピン配置は次表のとおりです。

CN2

信号	ピン番号		方向
TCK	1	2	GND
TDO	3	4	VCC (3.3V)
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

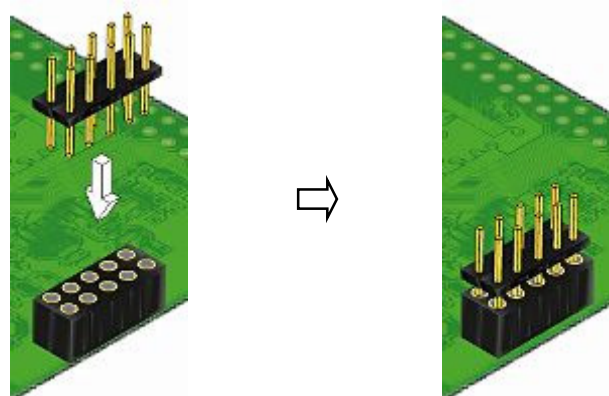
4.4 AS コネクタ

コンフィギュレーション ROM (EPCS) への ISP (In System Programming) 時に使用します。ピン配置は次表のとおりです。

CN1

ダウンロードケーブル信号	ピン番号		ダウンロードケーブル信号
DCLK	1	2	GND
CONF_DONE	3	4	VCC
nCONFIG	5	6	nCE
DATAOUT	7	8	nCS
ASDI	9	10	GND

ダウンロードケーブル (USB Blaster 等) との接続には、付属品のロングピンヘッダをご利用頂けます。



使用例

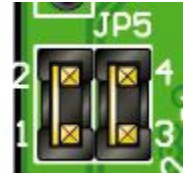
注意

ダウンロードケーブルを接続する場合は、逆差しにご注意ください

4.5 コンフィギュレーションモード

設定ジャンパ (JP5) により、コンフィギュレーションモードを設定出来ます。各モードの詳細については ALTERA 社のデータシートをご参照下さい。

MSEL1 (1-2 ピン)	MSEL0 (3-4 ピン)	コンフィギュレーションモード
ショート (0)	ショート (0)	AS
ショート (0)	オープン (1)	JTAG



- AS (Active Serial) モード
電源投入の際に FPGA をコンフィグ ROM からコンフィギュレーションします。
- JTAG モード
コンフィグ ROM を使用しない場合などには、こちらの設定でお使い下さい。

5. コネクタピン割付表

5.1 ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA Pin	CNA ピン#		FPGA Pin	NET LABEL	BANK Group
	V33A	-	1	2	-	V33A	
	V33A	-	3	4	-	V33A	
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
		GND	-	-	GND		
A	CLK-A	CLK	11	12	CLK	CLK-B	A
		N.C	13	14	N.C		
		N.C	15	16	N.C		
A	IOA0	C2	17	18	D3	IOA1	A
A	IOA2	D2	19	20	D1	IOA3	A
A	IOA4	E3	21	22	E2	IOA5	A
A	IOA6	F1	23	24	F2	IOA7	A
A	IOA8	F3	25	26	G1	IOA9	A
A	IOA10	G2	27	28	G3	IOA11	A
A	IOA12	H1	29	30	H2	IOA13	A
		GND	-	-	GND		
A	IOA14	H3	31	32	L2	IOA15	A
A	IOA16	L3	33	34	M1	IOA17	A
A	IOA18	M3	35	36	M2	IOA19	A
A	IOA20	N1	37	38	N2	IOA21	A
A	IOA22	N3	39	40	P2	IOA23	A
A	IOA24	P3	41	42	R1	IOA25	A
A	IOA26	P4	43	44	R2	IOA27	A
A	IOA28	R3	45	46	T2	IOA29	A
A	IOA30	T3	47	48	T16	IOA31	A
A	IOA32	T17	49	50	R17	IOA33	A
		GND	-	-	GND		
A	IOA34	R18	51	52	R16	IOA35	A
A	IOA36	P16	53	54	P17	IOA37	A
A	IOA38	N18	55	56	N17	IOA39	A
A	IOA40	N16	57	58	M18	IOA41	A
A	IOA42	M17	59	60	M16	IOA43	A
A	IOA44	L18	61	62	L17	IOA45	A
A	IOA46	L16	63	64	K16	IOA47	A
A	IOA48	H16	65	66	H17	IOA49	A
A	IOA50	H18	67	68	G18	IOA51	A
A	IOA52	G17	69	70	G16	IOA53	A
		GND	-	-	GND		
A	IOA54	F18	71	72	F17	IOA55	A
A	IOA56	F16	73	74	E17	IOA57	A
A	IOA58	E16	75	76	D18	IOA59	A
A	IOA60	D16	77	78	C17	IOA61	A
A	IOA62	D17	79	80	H13	IOA63	A

5.2 ユーザ I/O (CNB)

BANK Group	NET LABEL	FPGA Pin	CNB ピン#		FPGA Pin	NET LABEL	BANK Group
	VIO(B)	-	1	2	-	VIO(B)	
	VIO(B)	-	3	4	-	VIO(B)	
		N.C	5	6	N.C		
		N.C	7	8	N.C		
		N.C	9	10	N.C		
		GND	-	-	GND		
B	CLK-C	CLK	11	12	CLK	CLK-D	B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
B	IOB0	C16	17	18	B16	IOB1	B
B	IOB2	B15	19	20	A15	IOB3	B
B	IOB4	C15	21	22	B14	IOB5	B
B	IOB6	C14	23	24	B13	IOB7	B
B	IOB8	A13	25	26	C13	IOB9	B
B	IOB10	C12	27	28	B12	IOB11	B
B	IOB12	A12	29	30	C11	IOB13	B
		GND	-	-	GND		
B	IOB14	B11	31	32	A11	IOB15	B
B	IOB16	C10	33	34	B10	IOB17	B
B	IOB18	A10	35	36	C9	IOB19	B
B	IOB20	A9	37	38	B9	IOB21	B
B	IOB22	A8	39	40	B8	IOB23	B
B	IOB24	A7	41	42	B7	IOB25	B
B	IOB26	B6	43	44	C6	IOB27	B
B	IOB28	A6	45	46	B5	IOB29	B
B	IOB30	C5	47	48	A4	IOB31	B
B	IOB32	B4	49	50	B3	IOB33	B
		GND	-	-	GND		
B	IOB34	C4	51	52	U3	IOB35	B
B	IOB36	V4	53	54	T4	IOB37	B
B	IOB38	U4	55	56	T5	IOB39	B
B	IOB40	U5	57	58	V6	IOB41	B
B	IOB42	U6	59	60	T6	IOB43	B
B	IOB44	U7	61	62	V7	IOB45	B
B	IOB46	T7	63	64	U8	IOB47	B
B	IOB48	V8	65	66	T8	IOB49	B
B	IOB50	U9	67	68	V9	IOB51	B
B	IOB52	T9	69	70	U10	IOB53	B
		GND	-	-	GND		
B	IOB54	V10	71	72	T10	IOB55	B
B	IOB56	T11	73	74	U11	IOB57	B
B	IOB58	V11	75	76	V12	IOB59	B
B	IOB60	U12	77	78	T12	IOB61	B
B	IOB62	V13	79	80	U13	IOB63	B

5.3 オンボードクロック

周波数	NET LABEL	FPGA ピン
30MHz	CLK-A	J16
	CLK-B	J15

5.4 外部入力クロック

周波数	NET LABEL	FPGA ピン
任意	CLK-C	J3
	CLK-D	J4

6. 参考資料について

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-101/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図 ... 等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

7. 付属資料

1. 基板外形図
2. 回路図（別紙）

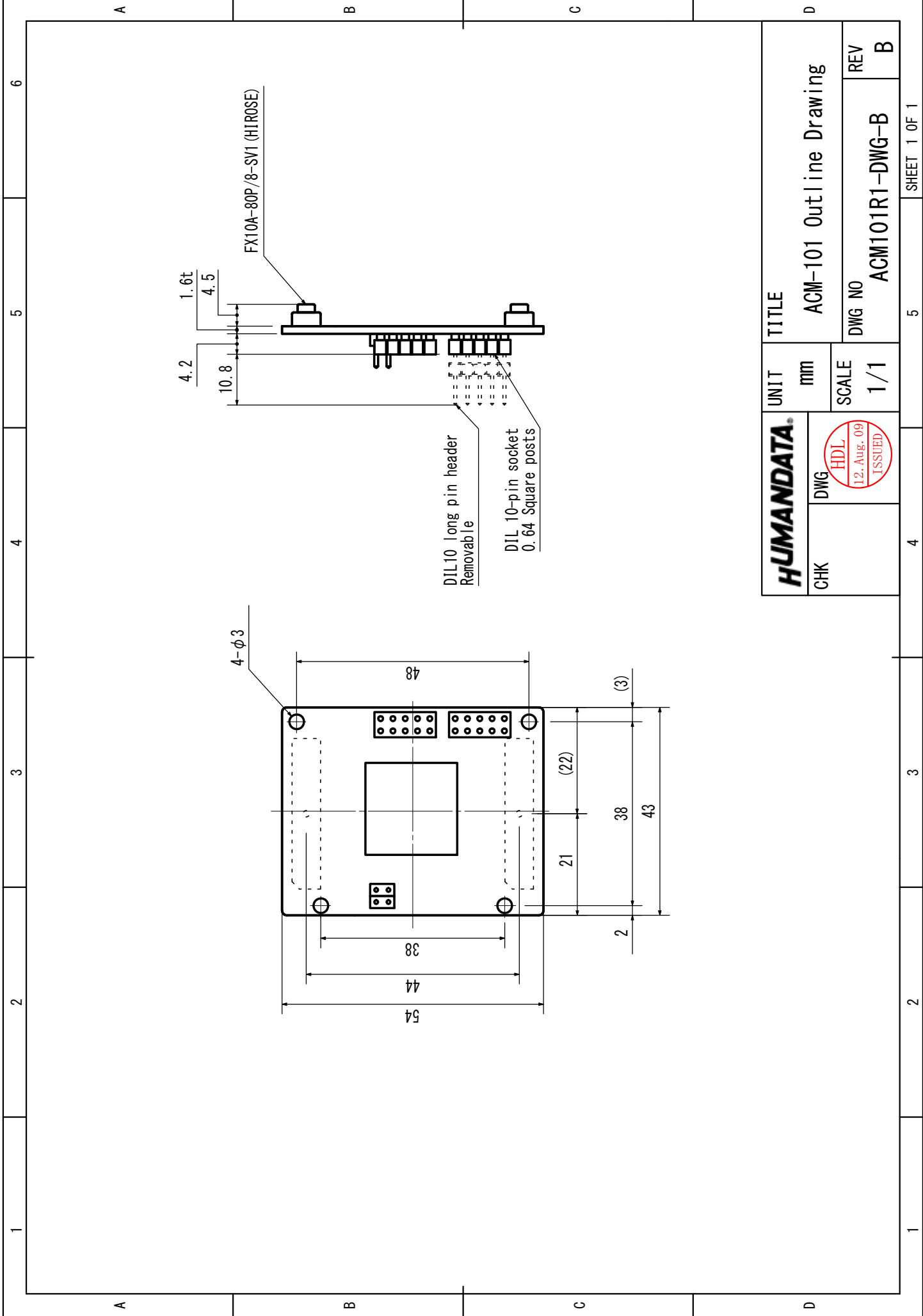
8. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。
または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。
技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法やFPGAなどのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA

CHK

DWG

HDL
12. Aug. 09
ISSUED

UNIT

mm

SCALE

1/1

TITLE

ACM-101 Outline Drawing

DWG NO

ACM101R1-DWG-B

REV

B

Cyclone FPGA ボード

ACM-101 シリーズ ユーザーズマニュアル

2005/06/06 初版
2005/08/02 第 2 版
2006/05/30 第 2 版(A)
2008/06/10 第 3 版
2009/05/11 第 4 版
2012/07/03 Ver.1.5

2012/08/16 Ver.1.6

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
