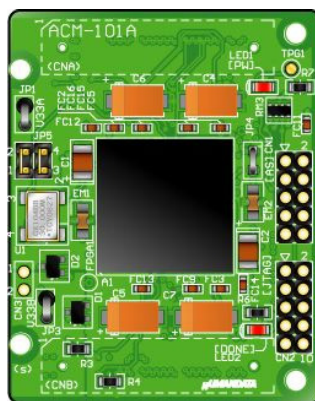




Cyclone ブレッドボード  
ACM-101 シリーズ  
ユーザーズマニュアル  
第4版



ヒューマンデータ



## 目次

はじめに .....	1
ご注意 .....	1
1. 製品の内容について.....	2
2. 仕様 .....	2
3. 各部の名称 .....	3
3.1. 電源入力 .....	4
3.2. JTAG コネクタ .....	4
3.3. AS コネクタ .....	5
4. コネクタピン割付表.....	6
4.1 CNA .....	6
4.2 CNB .....	7
4.3 内部 CLK.....	9
4.4 外部入力 CLK.....	9
5. 固定ピンについて <b>【重要】</b> .....	9
6. ACM-101 シリーズ 参考資料について .....	10
7. 付属資料 .....	10

---



## はじめに

この度は、Cyclone ブレッドボード／ACM-101 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-101 シリーズは、アルテラ社の高性能 FPGA である Cyclone を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィグレーション回路、ISP 可能なコンフィグレーション ROMなどを装備した使いやすいボードになっています。

どうぞご活用ください。

## ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電源を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7	本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード ACM-101 シリーズ	1
付属品（ターゲット用コネクタ等）	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

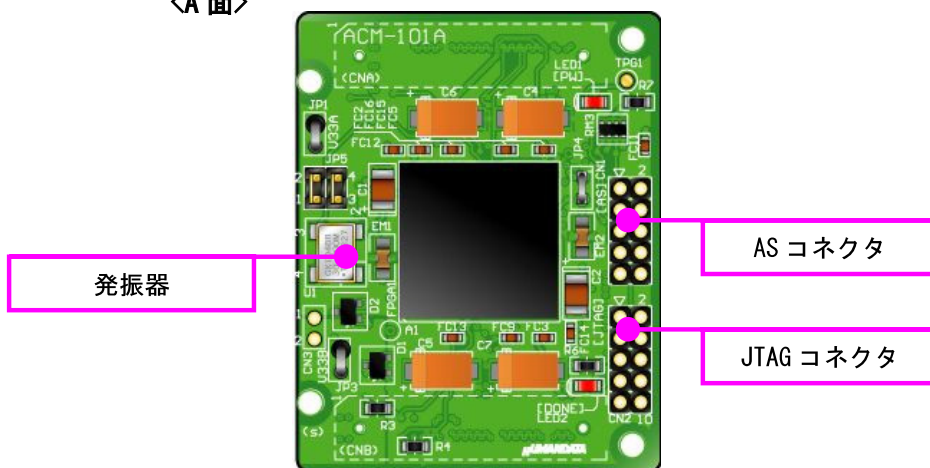
\*オーダー毎に1部場合があります。（ご要望により追加請求できます）

## 2. 仕様

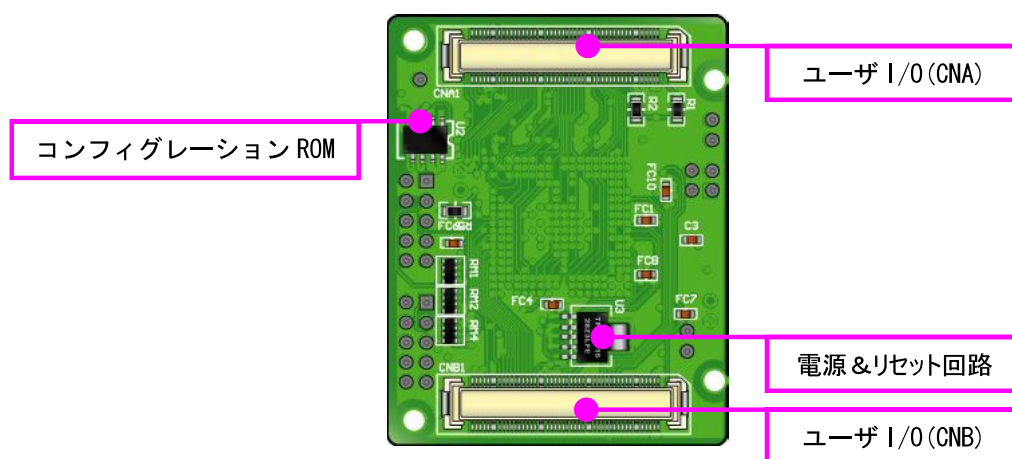
製品型番	ACM-101-4C8	ACM-101-12C8	ACM-101-20C8
搭載 FPGA	EP1C4F324C8N	EP1C12F324C8N	EP1C20F324C8N
コンフィグレーション ROM	EPCS4S18 (ALTERA)		
電源	DC 3.3V（詳細は FPGA データシートご参照）		
消費電流	N/A（詳細は FPGA データシートご参照）		
外形寸法	43×55 [mm]		
質量	約 15 [g]		
ユーザ I/O	128 本(64 本×2)		
I/O コネクタ	メーカー型番:FX10A-80P/8-SV1 (ヒロセ電機)		
プリント基板	ガラスエポキシ 8 層基板 1.6t		
クロック	オンボード 30MHz、外部供給可能		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIP10 ピン 丸ピンソケット		
LED	電源表示用、コンフィグレーション完了表示用		
付属品	DIP10 ピンヘッダ(本体に取付け済み) 1 個 コネクタ:FX10A-80S/8-SV (ヒロセ電機) 2 個 ジャンパソケット(本体に取付け済み) 2 個		

## 3. 各部の名称

<A面>



<B面>



### 3.1. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。  
 外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。  
 電源は CNA、CNB から供給してください。

### 3.2. JTAG コネクタ

FPGA への ISP (In System Programming) 時に使用します。  
 ピン配置は次表のとおりです。

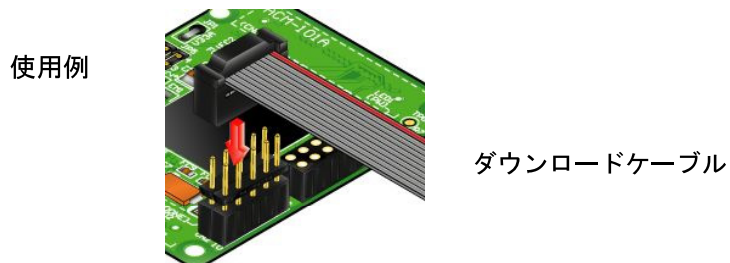
CN2

信号名	ピン番号	ピン番号	信号名
TCK	1	2	GND
TDO	3	4	VCC (3.3V)
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

弊社製ダウンロードケーブル BL3、BLKIT の 10 ピンコネクタと 1 : 1 で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッドをご利用できます。



## 3.3. AS コネクタ

コンフィグレーション ROM (EPCS) への ISP (In System Programming) 時に使用します。  
ピン配置は次表のとおりです。

CN1

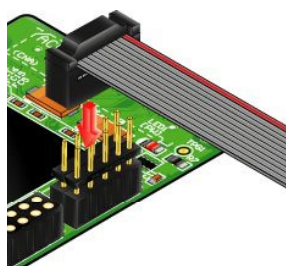
回路図上信号名	ダウンロードケーブル 信号名	ピン番号	ピン番号	ダウンロードケーブル 信号名	回路図上信号名
XDCLK	DCLK	1	2	GND	GND
XCONFDONE	CONF_DONE	3	4	VCC (3.3V)	VCC (3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATA0	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3、BLKIT の 10 ピンコネクタと 1 : 1 で対応していま  
す。

ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッドをご利用できま  
す。

使用例



ダウンロードケーブル



## 4. コネクタピン割付表

### 4.1 CNA

	BANK	FPGA ピン番号	コネクタピン番号		FPGA ピン番号	BANK	備考
電源(BANK-A)		3.3V	1	2	3.3V		電源(BANK-A)
電源(BANK-A)		3.3V	3	4	3.3V		電源(BANK-A)
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
CLK-A	A	J16	11	12	J15	A	CLK-B
		N.C	13	14	N.C		
		N.C	15	16	N.C		
	A	C2	17	18	D3	A	
	A	D2	19	20	D1	A	
	A	E3	21	22	E2	A	
	A	F1	23	24	F2	A	
	A	F3	25	26	G1	A	
	A	G2	27	28	G3	A	
	A	H1	29	30	H2	A	
	A	H3	31	32	L2	A	
	A	L3	33	34	M1	A	
	A	M3	35	36	M2	A	
	A	N1	37	38	N2	A	
	A	N3	39	40	P2	A	
	A	P3	41	42	R1	A	
	A	P4	43	44	R2	A	
	A	R3	45	46	T2	A	
	A	T3	47	48	T16	A	
	A	T17	49	50	R17	A	
	A	R18	51	52	R16	A	
	A	P16	53	54	P17	A	
	A	N18	55	56	N17	A	

備考	BANK	FPGA ピン番号	コネクタピン番号		FPGA ピン番号	BANK	備考
	A	N16	57	58	M18	A	
	A	M17	59	60	M16	A	
	A	L18	61	62	L17	A	
	A	L16	63	64	K16	A	
	A	H16	65	66	H17	A	
	A	H18	67	68	G18	A	
	A	G17	69	70	G16	A	
	A	F18	71	72	F17	A	
	A	F16	73	74	E17	A	
	A	E16	75	76	D18	A	
	A	D16	77	78	C17	A	
	A	D17	79	80	H13	A	

#### 4.2 CNB

備考	BANK	FPGA ピン番号	コネクタピン番号		FPGA ピン番号	BANK	備考
電源(BANK-B)		3.3V	1	2	3.3V		電源(BANK-B)
電源(BANK-B)		3.3V	3	4	3.3V		電源(BANK-B)
		電源予約	5	6	電源予約		
		電源予約	7	8	電源予約		
		N.C	9	10	N.C		
CLK-C	A	J3	11	12	J4	A	CLK-D
		N.C	13	14	N.C		
		N.C	15	16	N.C		
	B	C16	17	18	B16	B	
	B	B15	19	20	A15	B	
	B	C15	21	22	B14	B	
	B	C14	23	24	B13	B	
	B	A13	25	26	C13	B	
	B	C12	27	28	B12	B	
	B	A12	29	30	C11	B	

備考	BANK	FPGA ピン番号	コネクタピン番号		FPGA ピン番号	BANK	備考
	B	B11	31	32	A11	B	
	B	C10	33	34	B10	B	
	B	A10	35	36	C9	B	
	B	A9	37	38	B9	B	
	B	A8	39	40	B8	B	
	B	A7	41	42	B7	B	
	B	B6	43	44	C6	B	
	B	A6	45	46	B5	B	
	B	C5	47	48	A4	B	
	B	B4	49	50	B3	B	
	B	C4	51	52	U3	B	
	B	V4	53	54	T4	B	
	B	U4	55	56	T5	B	
	B	U5	57	58	V6	B	
	B	U6	59	60	T6	B	
	B	U7	61	62	V7	B	
	B	T7	63	64	U8	B	
	B	V8	65	66	T8	B	
	B	U9	67	68	V9	B	
	B	T9	69	70	U10	B	
	B	V10	71	72	T10	B	
	B	T11	73	74	U11	B	
	B	V11	75	76	V12	B	
	B	U12	77	78	T12	B	
	B	V13	79	80	U13	B	

## 4.3 内部 CLK

クロック	NET LABEL	FPGA ピン#
オンボード 30M	CLKA	J16
オンボード 30M	CLKB	J15

## 4.4 外部入力 CLK

クロック	NET LABEL	FPGA ピン#
	CLK-C	J3
	CLK-D	J4

## 5. 固定ピンについて **【重要】**

本ボードでは、下記のピンが GND または VCCINT (1.2V) に固定されています。  
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。  
 EP1C20 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

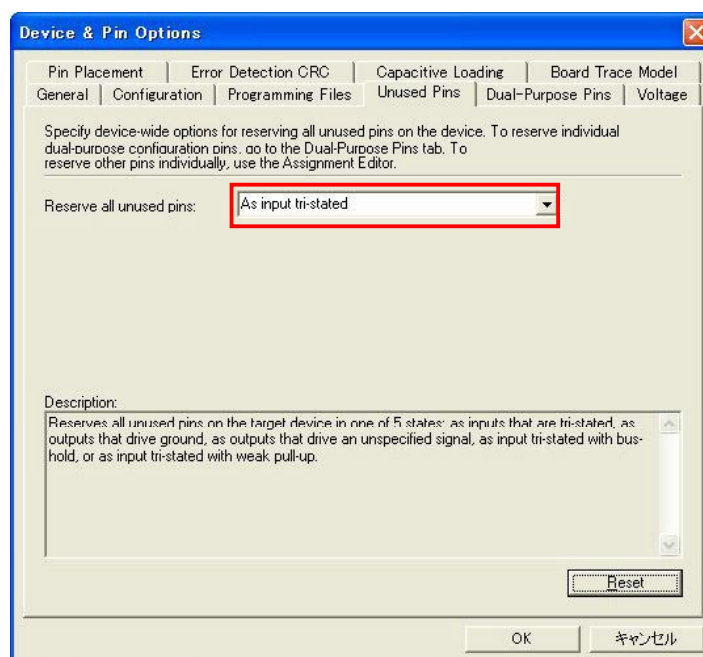
### 固定ピン一覧

NET LABEL	FPGA ピン#
GND	G8
GND	G10
GND	F11
GND	F9
GND	M11
GND	N10
GND	M9
GND	N8

NET LABEL	FPGA ピン#
V15	F8
V15	F10
V15	G11
V15	G9
V15	N11
V15	M10
V15	N9
V15	M8

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。
- 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます。
- Reserve all unused pins の設定を【As inputs tri-stated】にします。



## 6. ACM-101 シリーズ 参考資料について

追加資料や参考資料がつくられた場合は  
製品サポートページ

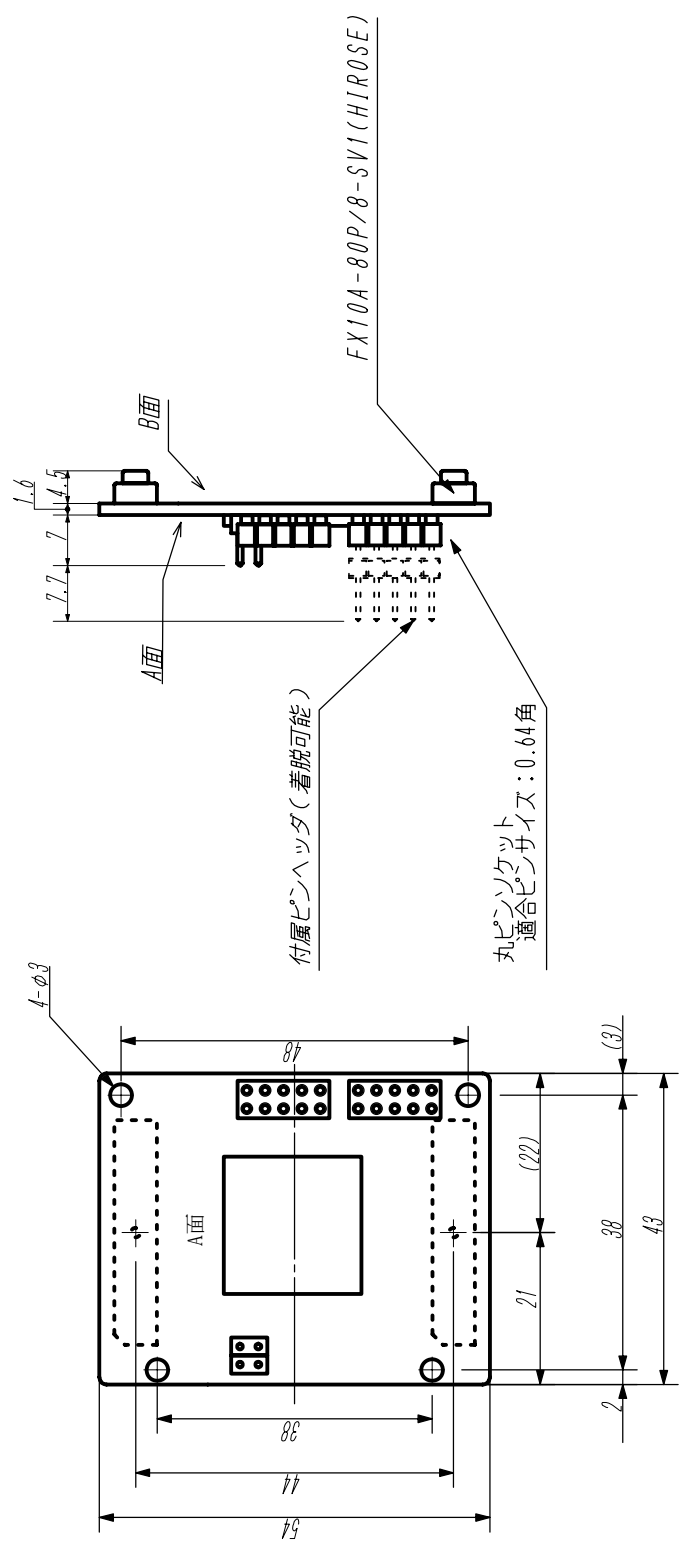
[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

にデータをアップロードすることにいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

## 7. 付属資料

1. 外形寸法図
2. 基板回路図（別紙）



材質		個数	
仕上			

<b>HUMANDATA</b>		UNIT	TITLE
CHK	DWG	SIZE	ACM-101シリーズ 外形寸法
		DWG NO	REV
		G-ACM-101	A

---

Cyclone ブレッドボード  
ACM-101 シリーズ  
ユーザーズマニュアル

---

2005/06/06 初版  
2005/08/02 第 2 版  
2006/05/30 第 2 版 (A)  
2008/06/10 第 3 版  
2009/05/11 第 4 版

---

**有限会社ヒューマンデータ**

〒567-0034

大阪府茨木市中穂積1-2-10

ジブラルタ生命茨木ビル

TEL 072-620-2002

FAX 072-620-2003

URL <http://www.hdl.co.jp/>

---