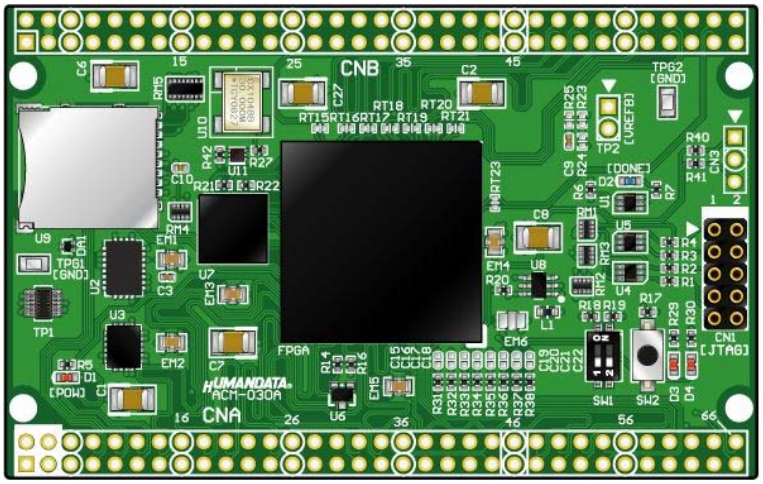
MAX10 FPGA ボード
ACM-030
ユーザーズマニュアル

Ver.1.0



ヒューマンデータ

目 次

- はじめに 1
- ご注意 1
- 改訂記録 2

1. 製品の内容について 2
2. 開発環境 2
3. 仕様 3
4. 製品概要 4
   - 4.1 各部の名称 4
   - 4.2 ブロック図 5
   - 4.3 電源入力 5
   - 4.4 クロック 5
   - 4.5 設定スイッチ 6
   - 4.6 汎用スイッチ 6
   - 4.7 汎用 LED 6
   - 4.8 デバッグ用 I/F 6
   - 4.9 microSD カードスロット 6
5. A/D 変換入力 7
6. FPGA コンフィギュレーション 8
   - 6.1 JTAG/バウンダリスキャン 8
   - 6.2 FPGA 内蔵コンフィグ ROM 用ファイル（pof ファイル）の作成 9
   - 6.3 FPGA 内蔵コンフィグ ROM アクセス 10
7. FPGA ピン割付 10
8. サポートページ 11
9. 付属資料 11
10. お問い合せについて 11

● はじめに

この度は MAX10 FPGA ボード ACM-030 シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-030 は、ALTERA 社の高性能 FPGA MAX10 シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電源を加えないでください。

注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、 ご了承願います。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、 お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、 7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2015/06/08	1.0	・初版

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード　ACM-030	1
付属品	1
マニュアル（本書）	1*
ユーザー登録はがき	1*

＊ オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

3. 仕様

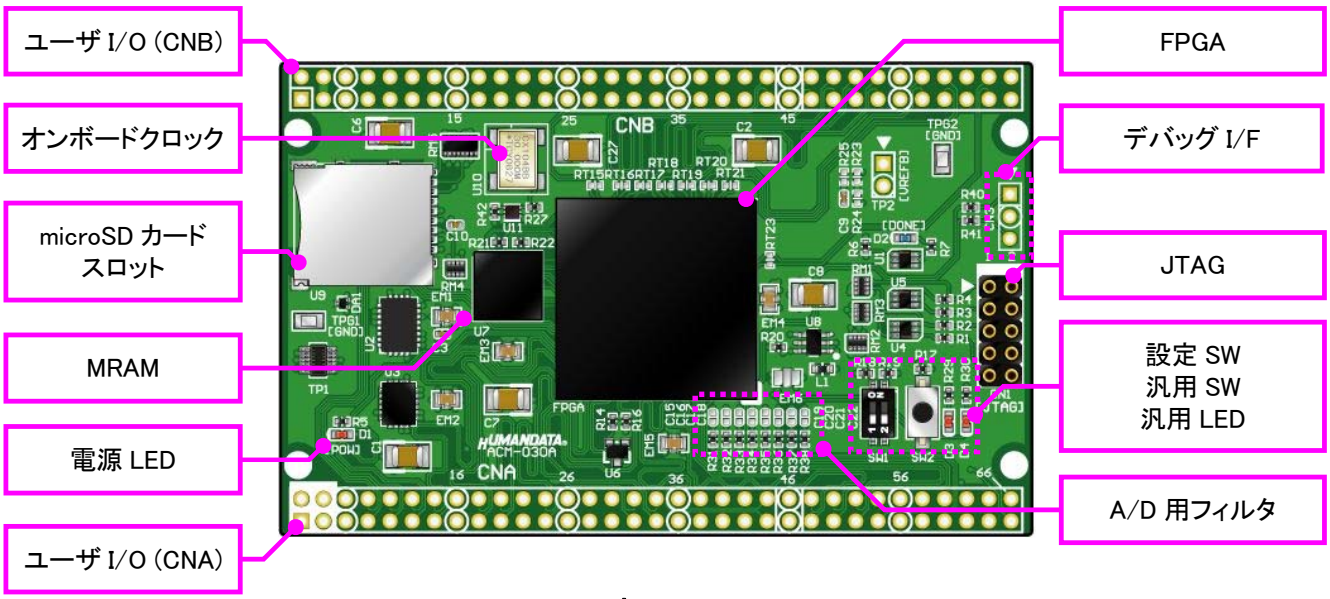
製品型番	ACM-030-08	ACM-030-16	ACM-030-25	ACM-030-40	ACM-030-50
搭載 FPGA	10M08DAF 484C8GES(*1)	10M16DAF 484C8G	10M25DAF 484C8G	10M40DAF 484C8G	10M50DAF 484C8G
電源	DC 3.3[V]				
ユーザ I/O	100 本				
コンフィグ ROM	内蔵				
MRAM	MR2A16AMA35 (Everspin, 4Mbit)				
オンボードクロック	30MHz (外部供給可能)				
A/D 入力チャンネル	8 (汎用 I/O と並列)				
A/D 用参照電源	オンボード 2.5V				
汎用 LED	2				
汎用スイッチ	2 (Push x 1, DIP x 1bit)				
リセット信号	コンフィグ用リセット信号 (typ. 240ms)				
I/O コネクタ	66 ピンスルーホール 0.9 (typ.)[mmφ]x2 組 (2.54mm ピッチ)				
プリント基板	ガラスエポキシ 6 層基板　1.6t				
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ				
ステータス LED	POWER (赤), DONE (青)				
基板寸法	54 x 86 [mm]				
質量	約 26 [g]				
付属品	DIL10 ロングピンヘッダ DIL80 ピンヘッダ　2 個 (任意にカット可能)				

*これらの部品や仕様は変更となる場合がございます

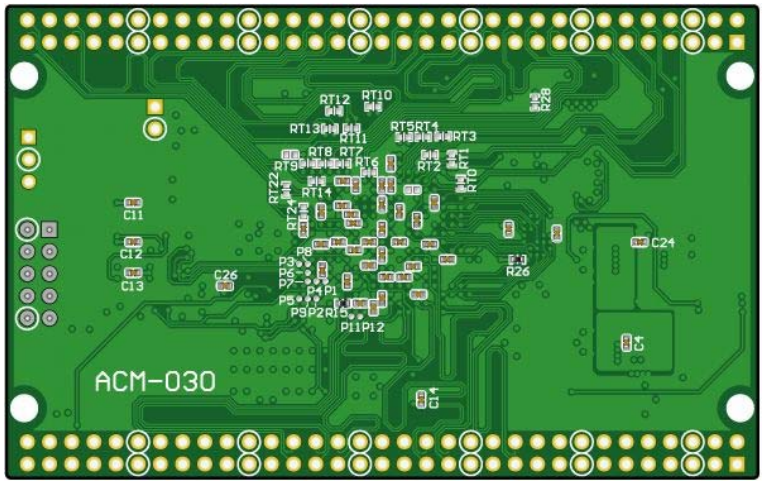
(*1) ES 品デバイスには ALTERA 社の公開する、または隠れた不具合が含まれる事があります

4. 製品概要

4.1 各部の名称

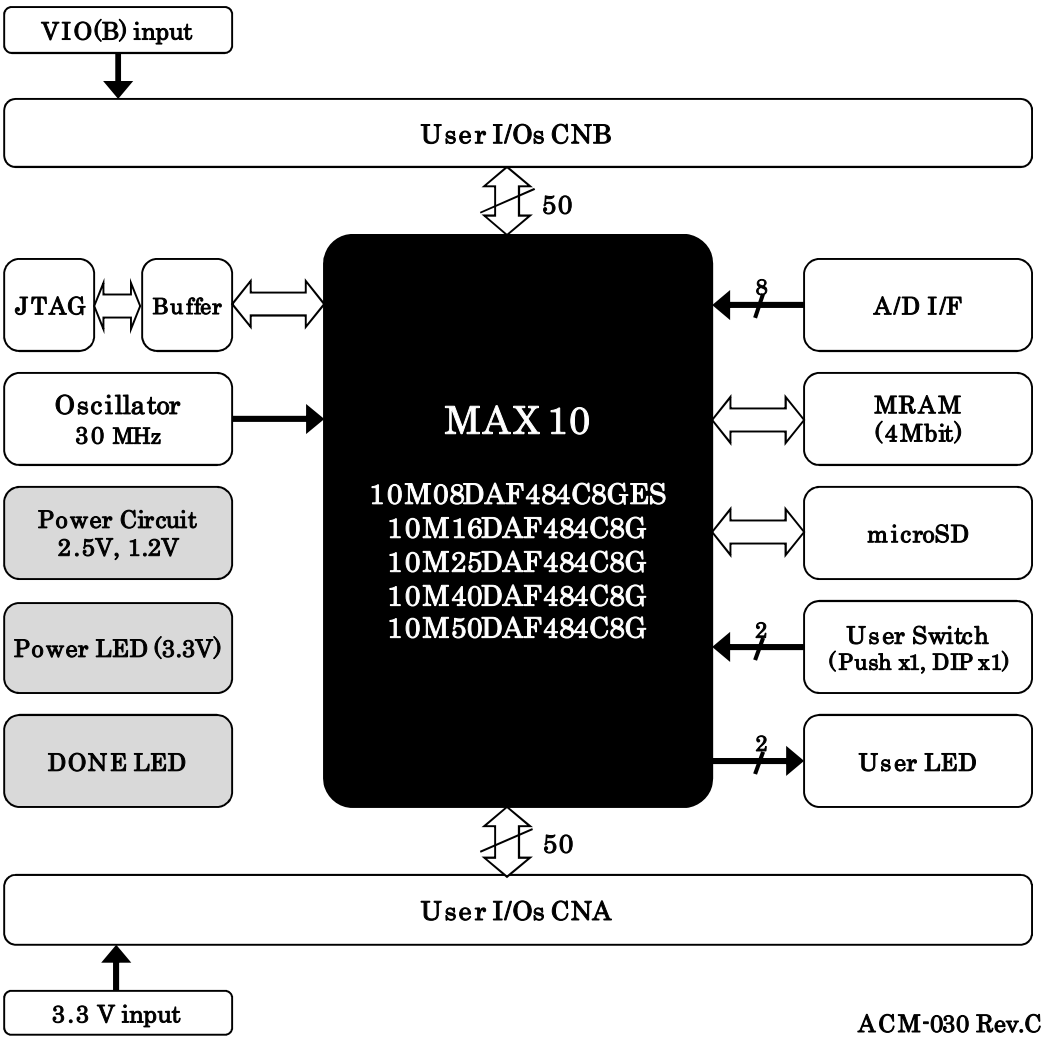


部品面



はんだ面

4.2 ブロック図



4.3 電源入力

電源は CNA より 3.3V を供給してください。内部で必要になる 2.5V, 1.2V はオンボードレギュレータにより生成されます。

CNB からは I/O 用電源 VIO(B)を入力することが可能です。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。

4.4 クロック

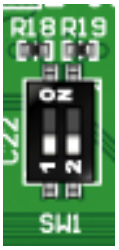
オンボードクロックとして 30MHz(U10)を搭載しています。ユーザ I/O コネクタより外部クロックを入力することも可能です。詳しくは回路図をご参照ください。

4.5 設定スイッチ

MAX10には最大2つのコンフィギュレーションイメージを格納でき、電源投入時にどちらから起動するかを選択できます。詳しくは ALTERA 社のコンフィギュレーションユーザーガイド等をご参照ください。

SW1

番号	1	2
記号	CONFIG_SEL	ASW
説明	コンフィギュレーション イメージの選択	汎用



CONFIG_SEL	イメージ
ON (Low)	イメージ 0
OFF (High)	イメージ 1

4.6 汎用スイッチ

SW1[2]とSW2を汎用用途に使用できます。プルアップされていますので ON(Push)にて Low 入力となります。

4.7 汎用 LED

D3, D4 を汎用用途に使用できます。Low 出力で点灯します。

4.8 デバッグ用 I/F

直列抵抗を介して FPGA に直接接続されています。汎用用途に使用できます。

4.9 microSD カードスロット

microSD カード(別売)を挿入し、汎用用途に使用できます。
押し込みにより挿入/挿抜を行えます。(Push-Push タイプ)

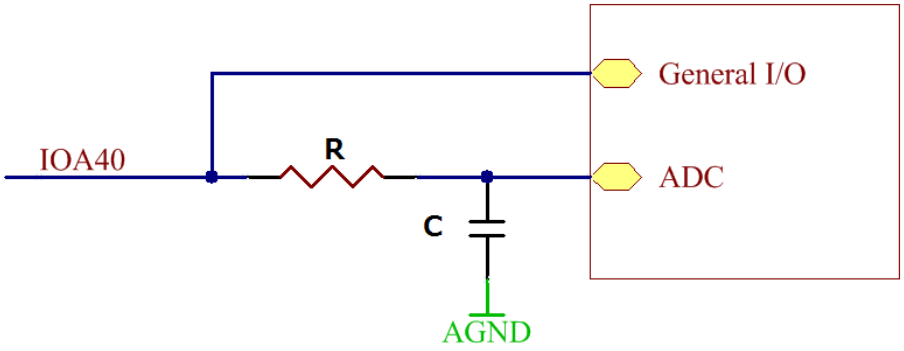
※microSD カードのライセンスについてヒューマンデータは関与致しません。使用者にて適切な対応を取ってください。
また IP なども提供しておりません。

5. A/D 変換入力

A/D 変換入力ピンは汎用 I/O とコネクタピンを兼用しており、内部で並列に接続されています。AD 変換機能を使用する際は汎用I/Oピンを入力、またはハイインピーダンス設定として使用してください。

コネクタ	A/D 入力		並列に接続される汎用 I/O	
	ネットラベル	FPGA ピン	ネットラベル	FPGA ピン
CNA[57]	ADIN1	F5	IOA40	B4
CNA[58]	ADIN2	F4	IOA41	B3
CNA[59]	ADIN3	J8	IOA42	A3
CNA[60]	ADIN4	J9	IOA43	A2
CNA[61]	ADIN5	J4	IOA44	G17
CNA[62]	ADIN6	H3	IOA45	H17
CNA[63]	ADIN7	K5	IOA46	L15
CNA[64]	ADIN8	K6	IOA47	L14

各チャンネル入力回路



R (R31～R38)、C (C15～C22)により入力特性を変更できます。
出荷時は抵抗 = 100Ω、コンデンサ = オープンです。

6. FPGA コンフィギュレーション

JTAG コネクタよりバウンダリスキャンを行い、FPGA のコンフィギュレーションや FPGA 内蔵コンフィグ ROM のアクセスを行います。

FPGA 内蔵コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

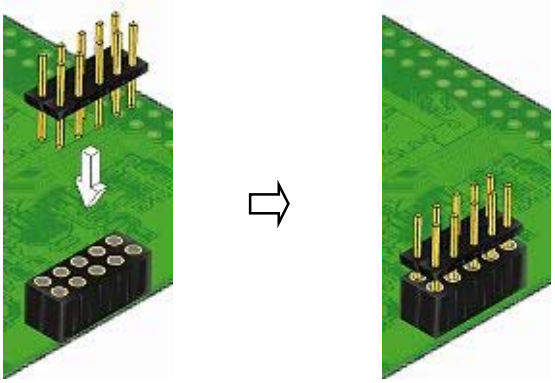
ケーブル接続時は誤接続に注意してください。

JTAG コネクタのピン配置は次表のとおりです。

CN1

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND

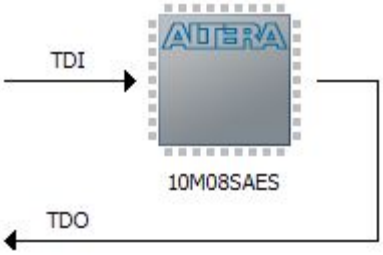
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



使用例

6.1 JTAG/バウンダリスキャン

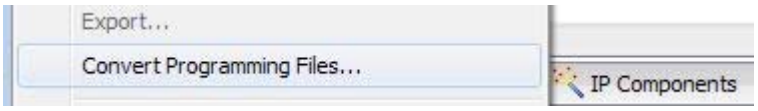
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラマを実行します。FPGA 内蔵コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



6.2 FPGA 内蔵コンフィグ ROM 用ファイル（pof ファイル）の作成

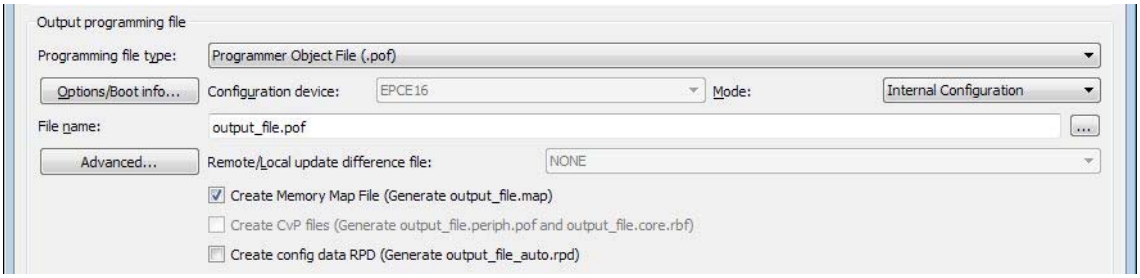
FPGA 内蔵コンフィギュレーション ROM へ書き込むためには pof ファイルが必要となります。作成手順を以下に示します。

(1) QuartusII の【File】から、【Convert Programming Files..】をクリックします



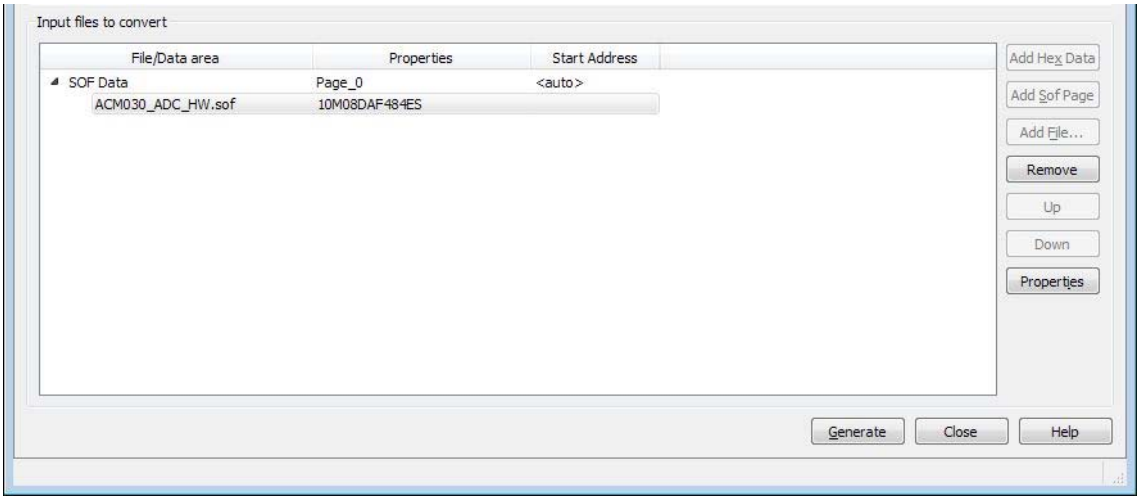
(2) 設定画面にて必要な項目を設定します

- 【Programming File type】 : Programmer Object File (.pof)
- 【File name】 : 任意
- 【Configuration device】 : EPCE*
- 【Mode】 : Internal Configuration



(5) 【SOF Data】を選択し【Add File...】をクリックします

(6) 変換する sof データを選択し【OK】をクリックします



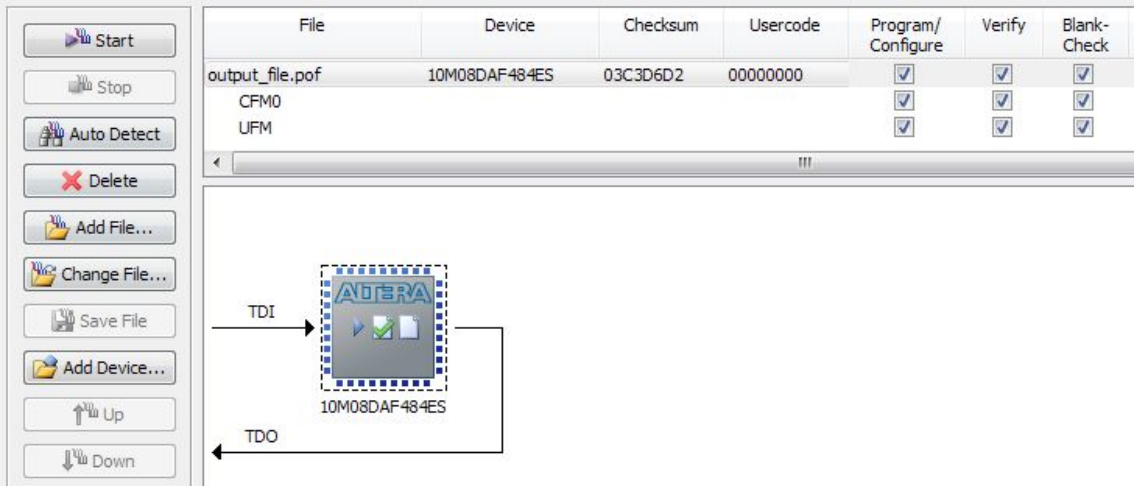
(7) 【Generate】をクリックします

6.3 FPGA 内蔵コンフィグ ROM アクセス

作成した pof ファイルで FPGA 内蔵コンフィギュレーション ROM にデータを書き込みます。イレースも同様の手順で可能です。

(1) 【Add File...】をクリックし pof ファイルを選択します

(2) 【Program/Configure】にチェックを入れ、【Start】をクリックします



7. FPGA ピン割付

FPGA BANK は下表のように「BANK Group」にまとめられています。Group A の Vccio は CNA より供給する V33A(3.3V)固定です。Group B の Vccio には CNB より設計にった値を供給できます。ピン割付表は資料ページよりご参照ください。

FPGA BANK	Vccio 接続	Bank Group
1A	V33A	A
1B	V33A	A
2	VIO(B)	B
3	VIO(B)	B
4	VIO(B)	B
5	V33A	A
6	V33A	A
7	V33A	A
8	V33A	A

8. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

http://www.hdl.co.jp/ftpdata/acm-030/index.html

http://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形図
- ネットリスト　　…等

また下記サポートページも合わせてご活用ください。

http://www3.hdl.co.jp/spc/

9. 付属資料

1. 基板外形図
2. 基板回路図（別紙）

10. お問い合せについて

お問い合せ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

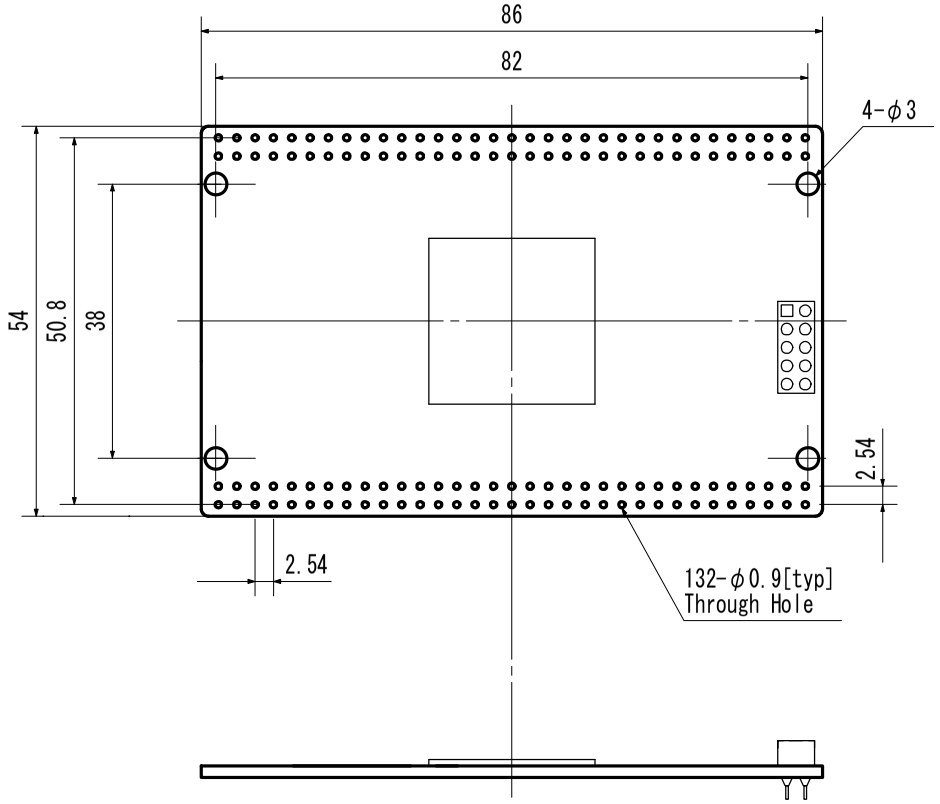
e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

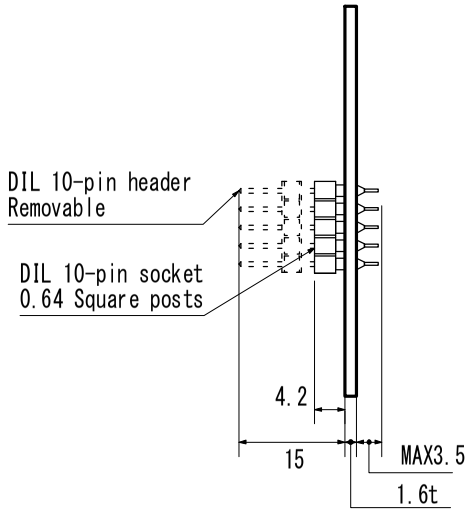
または、当社ホームページに設置のお問い合せフォームからお問い合せください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただいております。あらかじめご了承下さいませ。





HUMANDATA	UNIT mm	TITLE ACM-030 Outline Drawing	
CHK	DWG HDL 15.May.15 ISSUED	SCALE 1/1	DWG NO ACM030R1-DWG-A	REV A

SHEET 1 OF 1

MAX10 FPGA ボード

ACM-030 シリーズ
ユーザーズマニュアル

2015/06/08　Ver.1.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL　072-620-2002
FAX　072-620-2003
URL　http://www.hdl.co.jp/