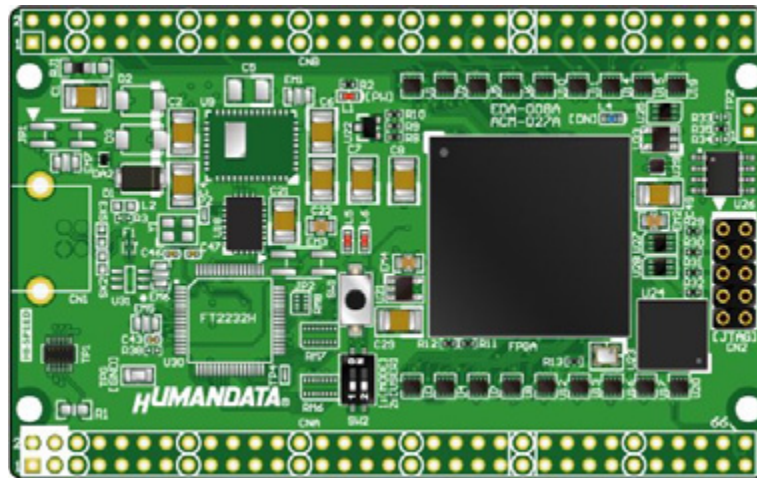




Cyclone V FPGA ボード

ACM-027 シリーズ
ユーザーズマニュアル

Ver. 1.1



ヒューマンデータ

目次

● はじめに	1
● ご注意	1
● 改訂記録	2
1. 開発環境	2
2. 製品の内容について	2
3. 仕様	3
4. 製品説明	4
4.1. 各部の名称	4
4.2. ブロック図	5
4.3. 電源	5
4.4. 発振器	6
4.5. MRAM	6
4.6. VIO(B) 設定用ジャンパ抵抗	6
4.7. 設定スイッチ	7
4.8. JTAGコネクタ	7
5. FPGA コンフィギュレーション	8
6. コンフィギュレーション ROM	9
6.1. JICファイルの作成	9
6.2. 書き込み	10
6.3. コンフィギュレーションROMを使用する	10
7. サポートページ	11
8. 付属資料	11
9. お問い合わせについて	11


● はじめに


この度は Cyclone V 搭載 FPGA ボード ACM-027 シリーズをお買い上げ頂き、ありがとうございます。
 ます。

ACM-027 シリーズは、アルテラ社の高性能 FPGA である Cyclone V を用いた評価用ボードで、
 電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィ
 ギュレーション ROMなどを装備した、使いやすいボードになっています。

どうぞご活用ください。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる 特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮く ださい。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電圧を加えないでください。

 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、 ご了承願います。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気 づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負 いかねますので、ご了承願います。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載され ていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複写、引用、配布するこ とはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2014/04/15	1.0	初版発行
2016/11/25	1.1	3章「仕様」の変更

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード ACM-027 シリーズ	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

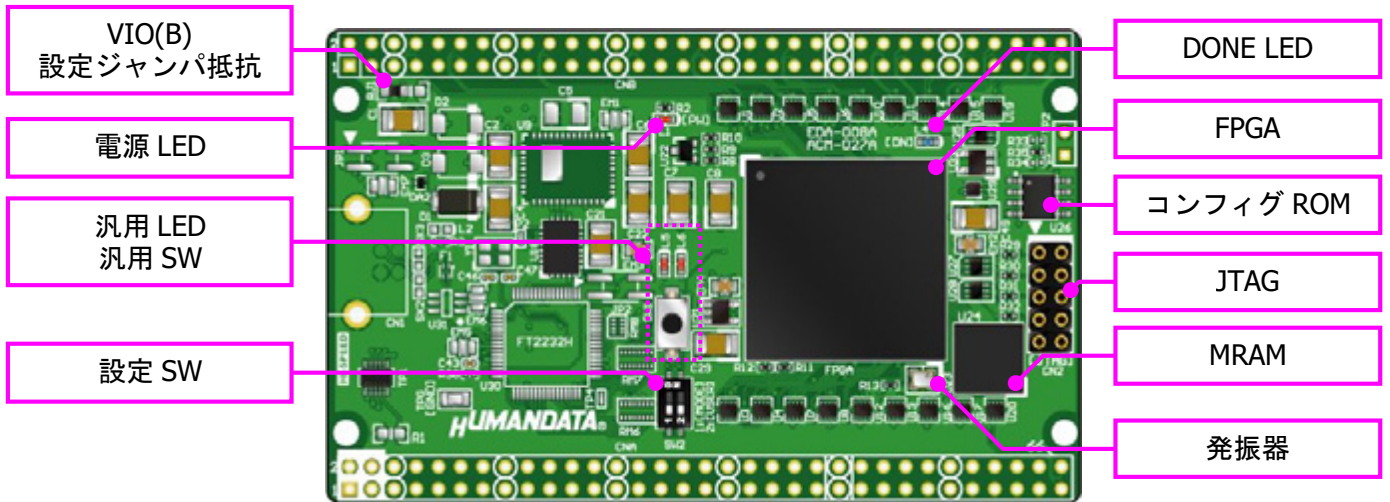
3. 仕様

製品型番	ACM-027-A2	ACM-027-A4
搭載 FPGA	5CEBA2F23C8N	5CEBA4F23C8N
ユーザ I/O	100 本 (CNA:50, CNB:50)	
コンフィグ ROM	EPCQ32 (Altera, 32Mbit)	
MRAM	MR2A16AMA35 (Everspin, 4Mbit)	
電源入力	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
オンボードクロック	50MHz (外部供給可能)	
汎用 LED	2 個	
汎用スイッチ	2 個 (押しボタン x1, DIP スイッチ x1bit)	
ステータス LED	2 個 (POWER, DONE)	
リセット回路	搭載 (240ms typ.)	
I/O コネクタ	66 ピンスルーホール 0.9 (typ.) [mmφ] x2 組 (2.54mm ピッチ)	
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ	
プリント基板	ガラスエポキシ 8 層基板 1.6t	
基板寸法	54 x 86 [mm]	
質量	約 35 [g]	
付属品	DIL10 ロングピンヘッダ 1 個	
	DIL80 ピンヘッダ 2 個 (任意にカット可能)	

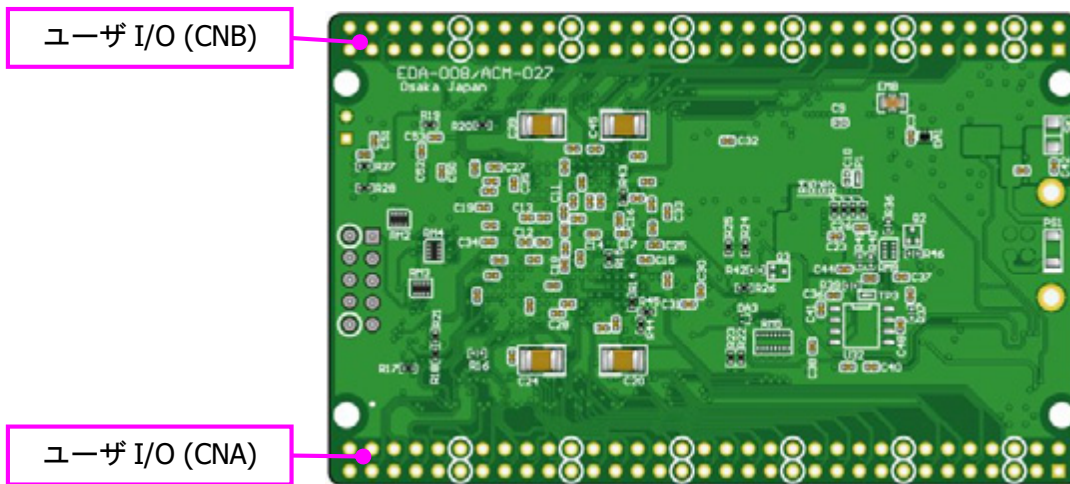
* これらの部品や仕様は変更となる場合がございます

4. 製品説明

4.1. 各部の名称

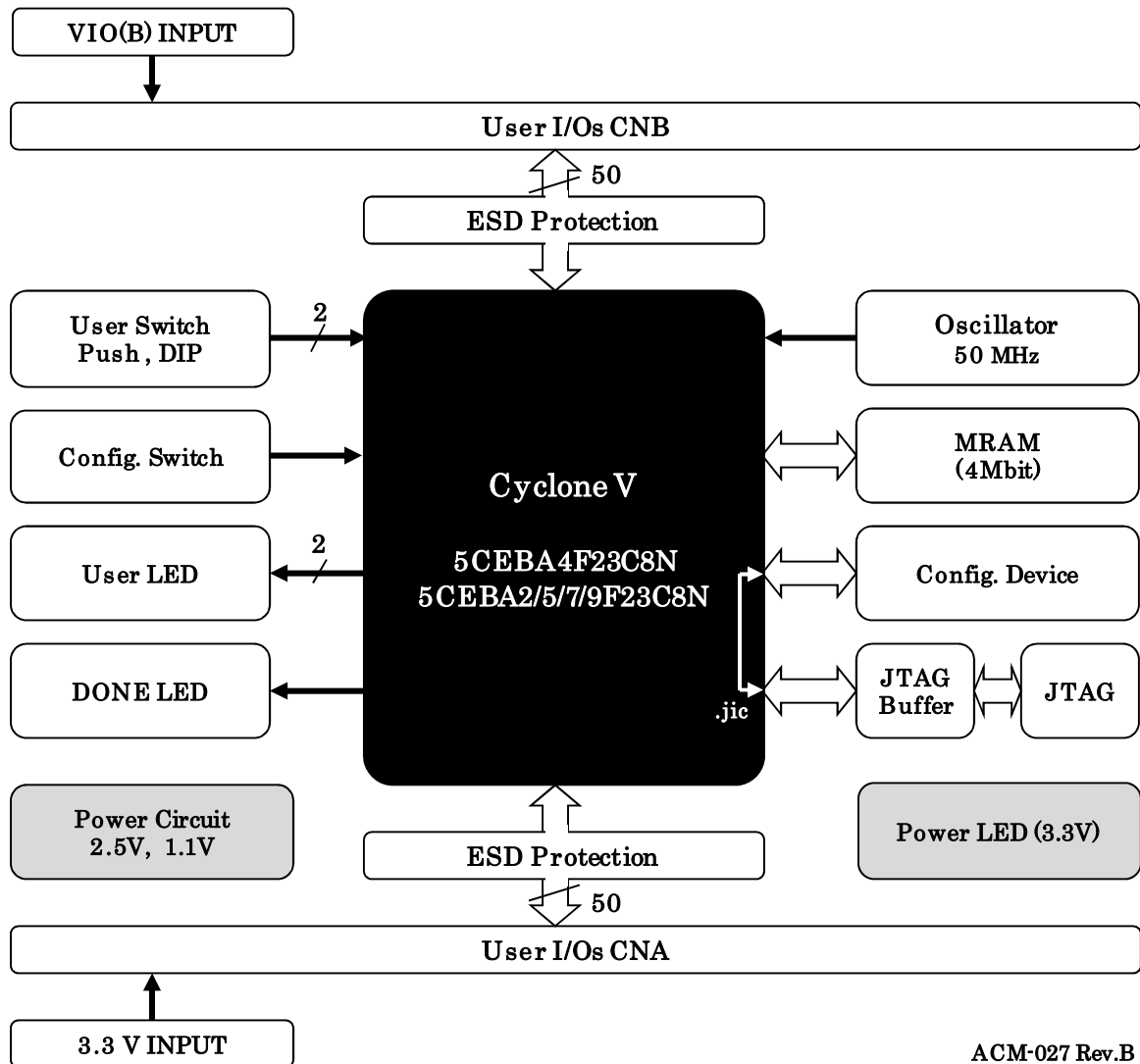


部品面



はんだ面

4.2. ブロック図



ACM-027 Rev.B

4.3. 電源

電源はCNA, より 3.3V を供給してください。内部で必要になる 2.5V、1.1V はオンボードレギュレータにより生成されます。

CNB からは I/O 用電源 VIO(B) を入力することが可能です。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

詳しくは FPGA のデータシートや回路図などを参照してください。

4.4. 発振器

オンボードクロックとして 50MHz (U23) を搭載しています。また、一部汎用 I/O がクロック入力ピンと兼用になっています。詳しくは回路図をご参照ください。

4.5. MRAM

不揮発性のメモリです。書き換え回数が事実上無制限で、RAM としても ROM としても使えるメモリです。

4.6. VIO(B) 設定用ジャンパ抵抗

本ボードでは、FPGA のバンクを下表のように 2 グループに分けています。

FPGA BANK	Vccio 接続	Bank Group
3A	V33A	A
3B	V33A	A
4A	V33A	A
5A	V33A	A
5B	V33A	A
7A	VIO (B)	B
8A	VIO (B)	B

Bank Group A/B の Vccio は分離されており、Group A は V33A (3.3V) に固定されています。Bank Group B は出荷時 V33A に固定されていますが、ジャンパ抵抗“RJ1”の取り付け位置を変更することにより CNB からの入力を供給することが可能です。詳しくは回路図を参照してください。

Vccio に供給可能な電圧に関しては FPGA のデータシートをご参照ください。



- CNB からの外部入力を VIO(B)に使用します (出荷時)
設計に合った電圧を CNB から供給することができます



-オンボード 3.3V (V33A)を VIO(B)に使用します

4.7. 設定スイッチ

SW2 により FPGA のコンフィギュレーションモードを変更できます

1	2	コンフィギュレーションモード
MSEL1	ASW22	
ON	汎用	PS
OFF	汎用	AS

※ON=Low レベル



- PS: JTAG を使用する
- AS: コンフィギュレーション ROM を使用する

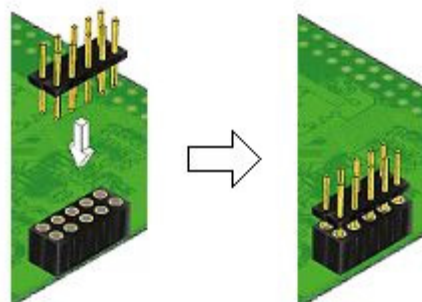
4.8. JTAG コネクタ

JTAG コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

ダウンロードケーブルとの接続には、本体取付けのロングピンヘッダをご利用ください。JTAG コネクタのピン配置は下表のとおりです。

CN2

信号	ピン番号		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



使用例

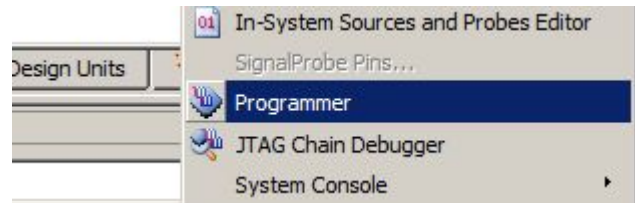
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。

注意

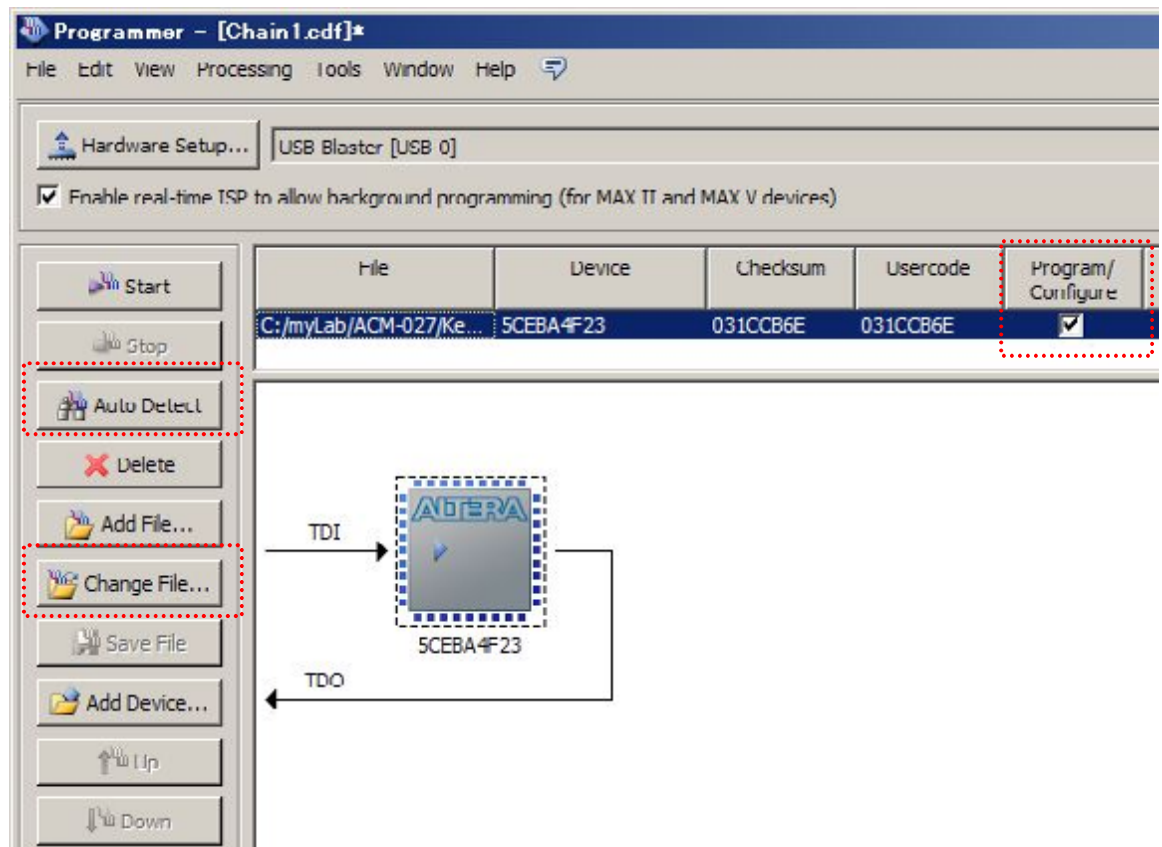
ダウンロードケーブルを接続する場合は、逆差しにご注意ください。

5. FPGA コンフィギュレーション

1. Quartus II を起動し【Programmer】をクリックします



2. 【Auto Detect】をクリックしデバイスを認識させます
3. デバイスのアイコンを選択し、【Change File...】をクリックします
4. コンフィギュレーションする sof ファイルを選択します
5. 【Program/Configure】にチェックを入れ【Start】をクリックします



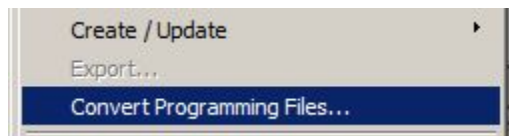
正常にコンフィギュレーションが完了すると DONE LED が点灯します

6. コンフィギュレーション ROM

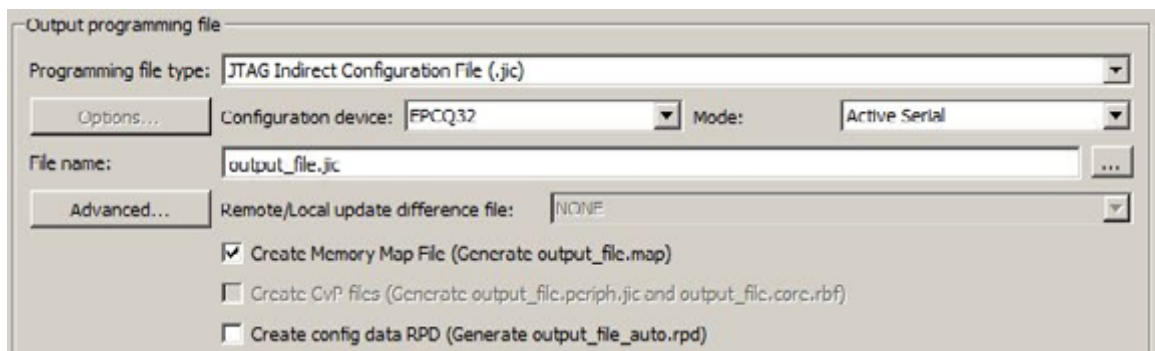
データの書き込みには JIC ファイルを作成し JTAG コネクタを使用して行います。
ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。書き込むデータは十分に検査され、安全性のあるものをご使用ください。

6.1. JIC ファイルの作成

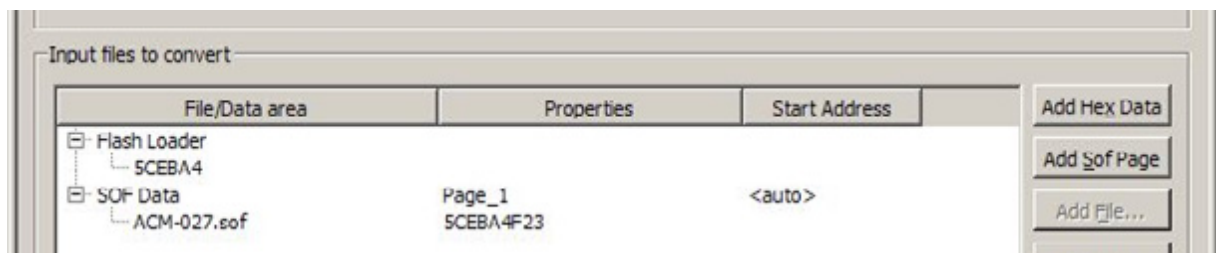
1. 【File -> Convert Programming Files..】をクリックします



2. 下記項目を設定します
 【Programming file type】 : JTAG Indirect Configuration File (.jic)
 【Configuration device】 : EPCQ32
 【Mode】 : Active Serial または Active Serial x4
 【File name】 : 任意



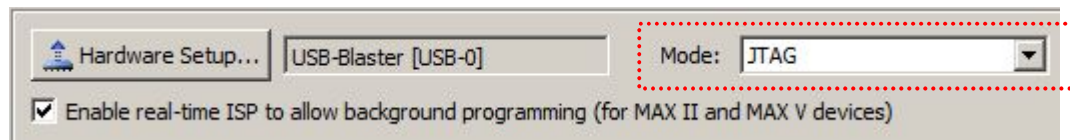
3. 【Flash Loader】を選択し【Add Device..】をクリックします
4. 搭載デバイスを選択し【OK】をクリックします。
5. 【SOF Data】を選択し【Add File...】をクリックします
6. 変換する sof データを選択し【OK】をクリックします



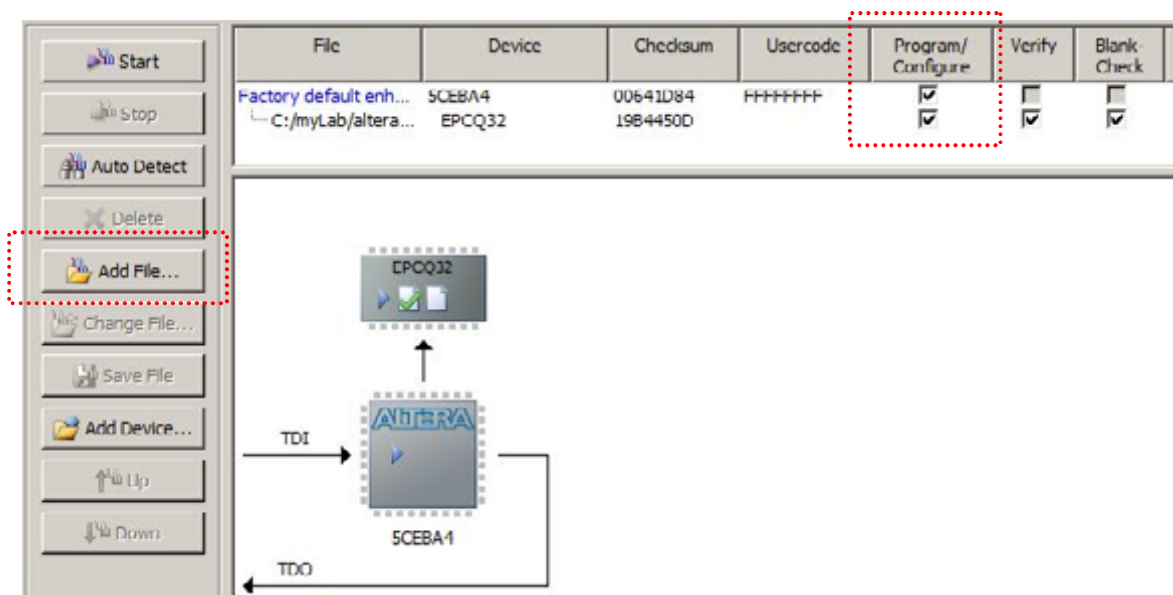
7. 【Generate】をクリックします。

6.2. 書き込み

設定スイッチにより、コンフィギュレーションモードを AS モードとしてください。動作モードは「JTAG」を選択してください。



1. 【Add File...】 をクリックし JIC ファイルを選択します。
2. 【Program/Configure】 にチェックをいれ 【Start】 をクリックします。



6.3. コンフィギュレーション ROM を使用する

コンフィギュレーションモードを AS とすることで、FPGA はコンフィギュレーション ROM に書込まれた回路データでコンフィギュレーションされます。（電源投入時）

ROM には十分に検査した回路データを書き込むようにしてください。誤った回路データをコンフィギュレーションした場合、FPGA などに重大な不具合が生じることがあります。

7. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-027/index.html>

http://www.hdl.co.jp/support_c.html

- 回路図
 - ピン割付表
 - 外形図
 - ネットリスト
- ...等

また下記サポートページも合わせてご活用ください。

<http://www3.hdl.co.jp/spc/>

8. 付属資料

1. 基板外形図
2. 基板回路図（別紙）

9. お問い合わせについて

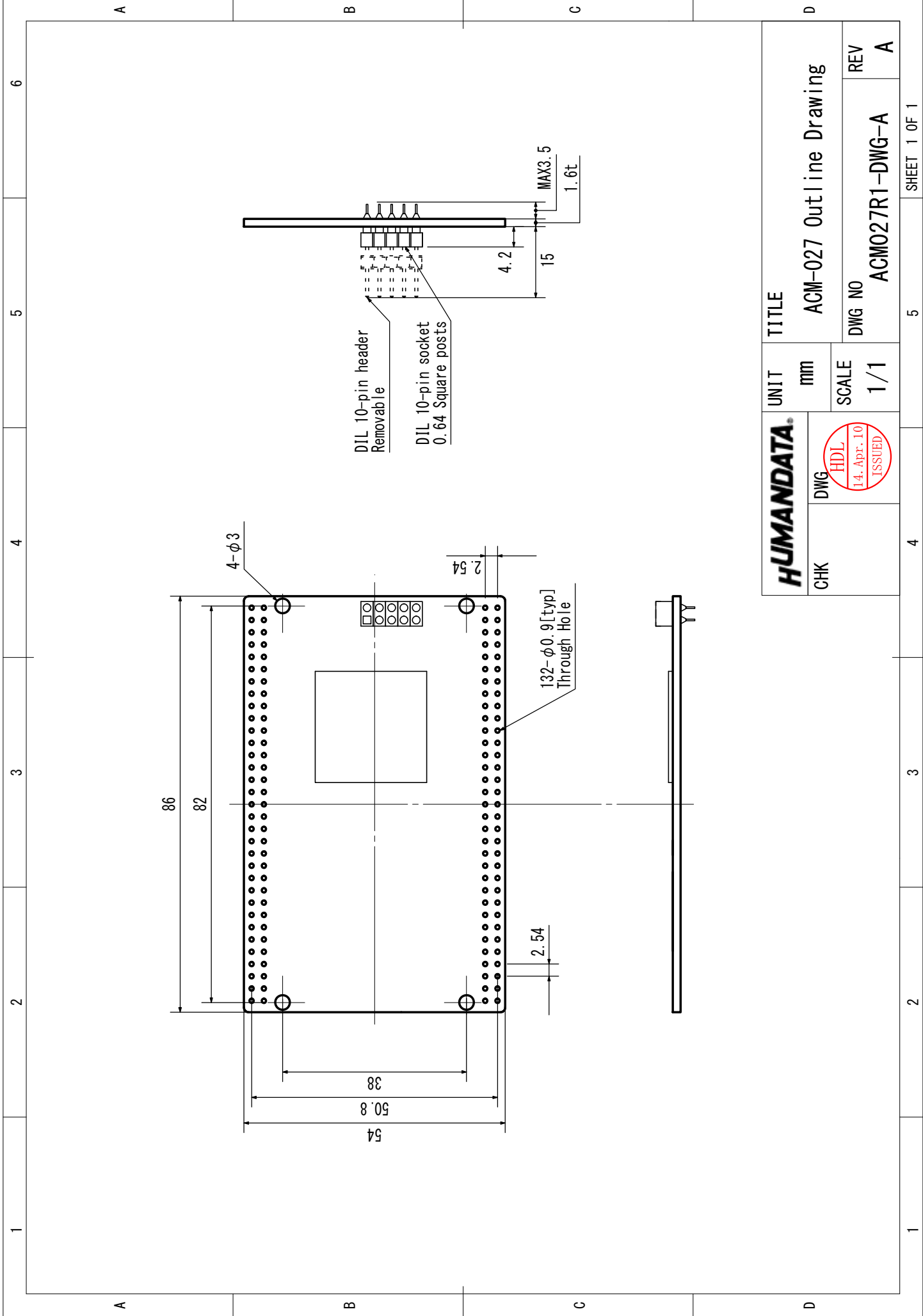
お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。
技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。



HUMANDATA		UNIT	TITLE
CHK	DWG	mm	ACM-027 Outline Drawing
		SCALE	DWG NO
		1/1	ACM027R1-DWG-A
			REV
			A

Cyclone V FPGA ボード

ACM-027 シリーズ
ユーザーズマニュアル

2014/04/15 Ver. 1.0

2016/11/25 Ver. 1.1

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
