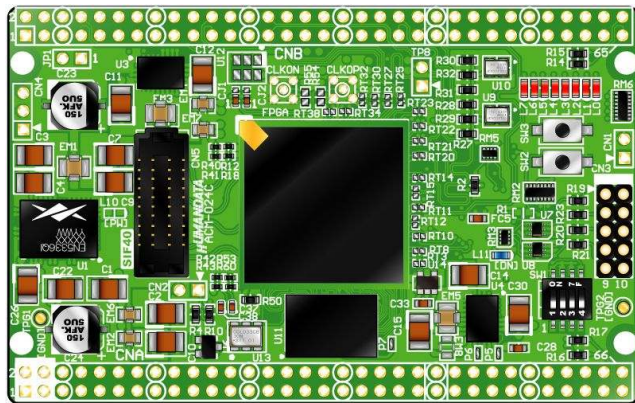


Cyclone IV GX FPGA ボード
ACM-024
ユーザーズマニュアル
Ver. 1.0



目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 共通ピンについて 【重要】	2
2. 製品の内容について.....	3
3. 開発環境.....	3
4. 仕様.....	4
5. 製品説明.....	5
5.1. 各部名称.....	5
5.2. ブロック図.....	6
5.3. 電源.....	7
5.4. クロック.....	7
5.5. 設定スイッチ (SW1).....	7
6. High Speed Serial Transceiver (ALTGX).....	8
7. FPGA コンフィギュレーション.....	8
7.1. JTAG/バウンダリスキャン.....	8
7.2. コンフィグ ROM アクセスファイル (JIC ファイル) の作成.....	9
7.3. コンフィグ ROM アクセス.....	9
8. FPGA ピン割付け表.....	10
8.1. ユーザ I/O (CNA).....	10
8.2. ユーザ I/O (CNB).....	11
8.3. DDR2 SDRAM (U11).....	12
8.4. オンボードクロック.....	13
8.5. 外部クロック入力.....	13
8.6. 汎用 LED.....	13
8.7. 汎用スイッチ.....	14
8.8. シリアルインタフェース (CN4).....	14
8.9. SIF40 (CN4).....	14
8.10. 共通ピン.....	15
9. サポートページ.....	15
10. 付属資料.....	15


● はじめに

この度は Cyclone IV GX FPGA ボード ACM-024 シリーズをお買い上げいただきまして、誠にありがとうございます。

ACM-024 は、ALTERA 社の高性能 FPGA Cyclone IV GX シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション ROMなどを装備した、使いやすいボードになっています。SIF40 コネクタを搭載しており、高速トランシーバの評価にもご活用いただけます。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2011/06/27	1.0	・初版発行

1. 共通ピンについて【重要】

本ボードでは、デバイス規模間でのボード共有のため、一部の I/O ピンが GND や VCCINT (1.2V) に固定されています。VREFB ピンには互いに導通しているものがあります。

これらは汎用 I/O 用途に使用しないようにする必要があります。

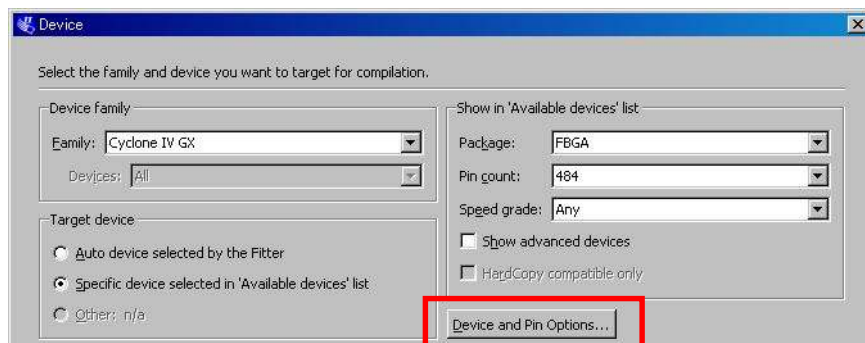
詳細は回路図をご参照ください。下表に該当ピンを示します。

GND		V12		VREFB	V09REF
E10	K7	G10	P17	P20	V13
F16	N17	G14	P7	W19	W16
G11	P6	G16	R14	N19	T16
G13	R18	G4	R15	M5	V9
G15	T10	G8	R6	T3	U12
G17	T14	H17	T11	R5	W10
G7	U13	J17	U15		
G9	U19	J7	U16		
H16	U7	K17	U17		
J19	V6	N16	U8		
J5	Y21	N7	V7		

QuartusII にて、未使用ピンを全て入力とするように設定出来ます。

以下に設定方法を示します。

1. 【Assignments -> Device】 → 【Device and Pin Options..】 をクリックします



2. 【Reserve all unused pins】 を 【As input tri-stated】 に設定します



2. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ボード ACM-024	1
付属品	1
マニュアル（本書）	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。（ご要望により追加請求できます）

3. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツールが必要です。これらの開発ツールは、ALTERA 社が無償配布する QuartusII がご使用頂けます。使用する際には、インターネットによるライセンス登録が必要となります。

本マニュアルは QuartusII Ver. 11.0 を元に作成しています。

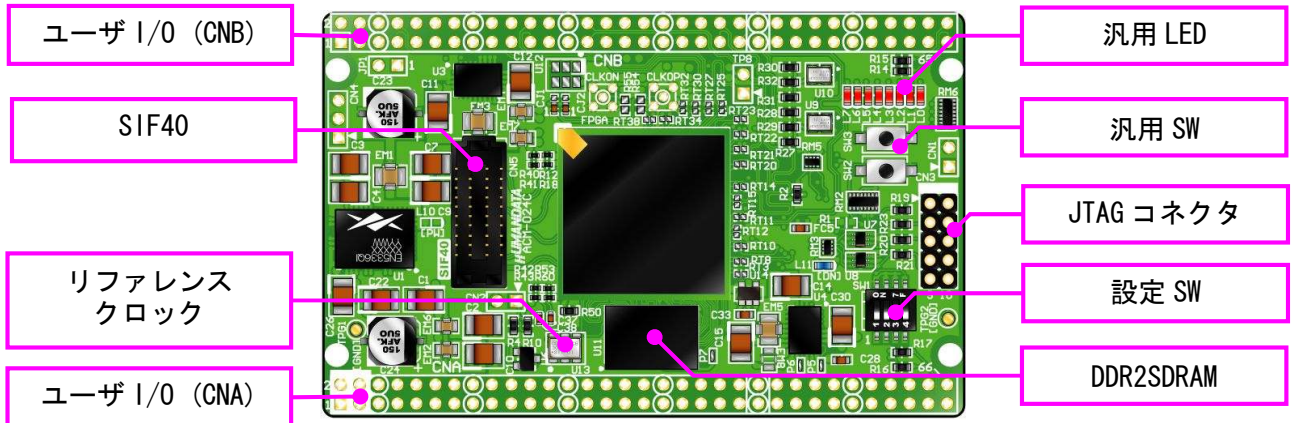
4. 仕様

製品型番	ACM-024-GX50	ACM-024-GX75	ACM-024-GX110	ACM-024-GX150
搭載 FPGA	EP4CGX50C F23C8N	EP4CGX75C F23C8N	EP4CGX110C F23C8N	EP4CGX150C F23C7N
コンフィグ ROM	EPCS64SI16N (ALTERA, 64Mbit)			
DDR2 SDRAM	MT47H32M16HR-25E-G (Micron, 512Mbit: 8Mbit x16 x4 banks)			
オンボードクロック	50MHz、30MHz 125MHz (ALTGX リファレンスクロック)			
外部入力クロック	ユーザ I/O (IOA-48/49, IOB-48/49) MMCX (ALTGX リファレンスクロック、不実装)			
電源	DC 3.3[V]			
消費電流	N/A (詳細は FPGA データシートをご参照ください)			
外形寸法	86 x 54 [mm]			
質量	約 36 [g]			
ユーザ I/O	100 本			
汎用スイッチ	4 (Push x2, DIP x2)			
汎用 LED	8			
I/O コネクタ	66 ピンスルーホール 1.0[mmφ] 2.54[mm] ピッチ			
プリント基板	ガラスエポキシ 8 層基板 1.6t			
リセット信号	コンフィグ用リセット信号 (typ. 240ms)			
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ			
ステータス LED	POWER (赤), DONE (青)			
付属品	DIL10 ピンヘッド (本体に取付け済み) x1			
	DIL80 ピンヘッド (任意にカット可能) x2			

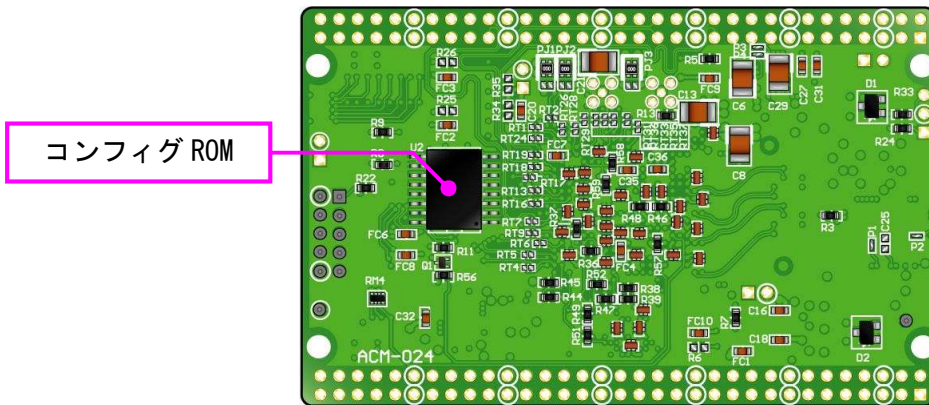
*これらの部品や仕様は変更となる場合がございます

5. 製品説明

5.1. 各部名称

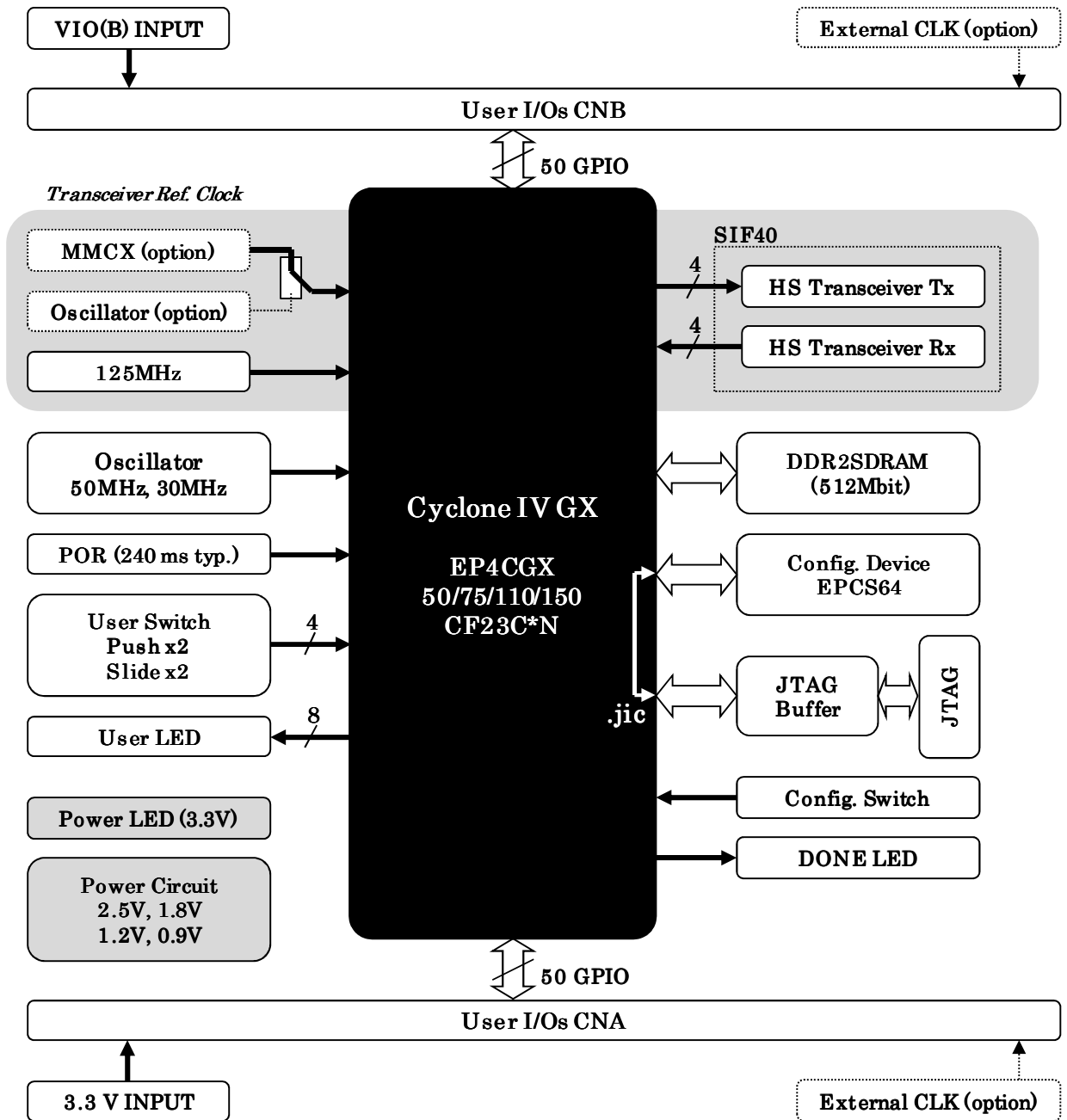


部品面



はんだ面

5.2. ブロック図



ACM-024 Rev.C

5.3. 電源

電源は CNA, CNB より 3.3V を供給してください。内部で必要になる 2.5V、1.2V、1.8V、0.9V はオンボードレギュレータにより生成されます。

外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

BANK B の Vccio はボード上の 3.3V (V33A) とは接続されていません。任意の値を CNB から入力してください。JP1 をショートして 3.3V (V33A) とすることも出来ます。また、PJ1, PJ2 を切り替えることにより 2.5V を供給することも可能です。

詳しくは製品回路図をご参照ください。

5.4. クロック

オンボードクロックとして 50MHz (U10) と 30MHz (U9) を搭載しています。コネクタ CNA、CNB より外部クロックを入力することも可能です。

詳しくは製品回路図をご参照ください。

5.5. 設定スイッチ (SW1)

設定スイッチ (SW1) によりコンフィギュレーションモードを変更することが可能です。ここでは一般的に使用します一部のモードを掲載しています。

SW1

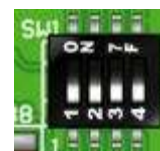
番号	1	2	3	4
ネット	MSEL_SW	ASW2	ASW3	X_NCSO
出荷時	OFF	OFF	OFF	OFF
説明	コンフィグ設定	汎用		コンフィグ設定

コンフィギュレーションモード	MSEL_SW の設定	X_NCSO の設定
Active Serial (AS)	X	ON (Low)
JTAG	X	OFF (High)

※)X: Don't Care

- **MSEL_SW**

パワーオンリセット時間を設定できます。ACM-024 では、標準設計にて外部 POR を使用しています。詳しくは FPGA のデータシート、または回路図をご覧ください。



- **X_NCSO**

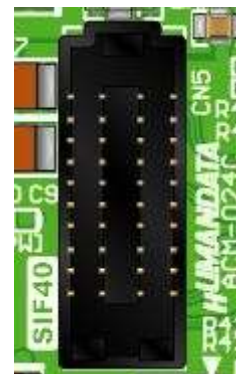
ON とすることにより、FPGA からコンフィグ ROM へのチップセレクト信号がつながりません。JIC ファイルにより、コンフィグ ROM へのアクセスを行う際は、ON (AS モード) としてください。

6. High Speed Serial Transceiver (ALTGX)

ACM-024 シリーズでは High Speed Serial Transceiver (ALTGX) 信号を SIF40(*) コネクタ (CN5) に引き出しております。弊社アクセサリ ACC-009/010 等を使用して SMA/MMCX コネクタより信号を外部に引き出して使用します。アクセサリ使用時のピンアサインについては各アクセサリの製品資料 (ピンリスト) をご参照ください。

リファレンスクロックには 125MHz (U13) を搭載しています。MMCX コネクタより外部リファレンスクロックを供給することも可能です。(コネクタは標準未実装)

詳しくは回路図をご参照ください。



(*)SIF40 とは、ヒューマンデータ製 FPGA ボードの高速トランシーバのために定められた共通 I/F 仕様です。詳しくはウェブサイトをご覧ください。

7. FPGA コンフィギュレーション

JTAG コネクタ (CN3) よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。



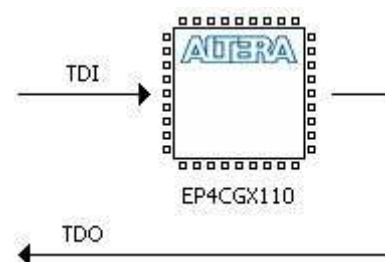
JTAG コネクタのピン配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN3

ネットラベル	ダウンロード ケーブル信号名	ピン番号		ダウンロード ケーブル信号名	ネットラベル
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

7.1. JTAG/バウンダリスキャン

FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



7.2. コンフィグ ROM アクセスファイル (jic ファイル) の作成

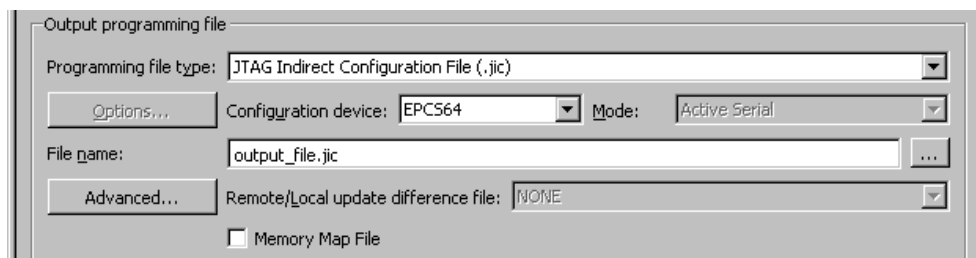
コンフィギュレーション ROM へ書き込むためには jic (JTAG Indirect Configuration) ファイルが必要となります。書き込みたい jic ファイルとプログラマを使用して作成することができます。作成方法の一例を以下に示します。

- (1) 【File -> Convert Programming Files..】 をクリックします

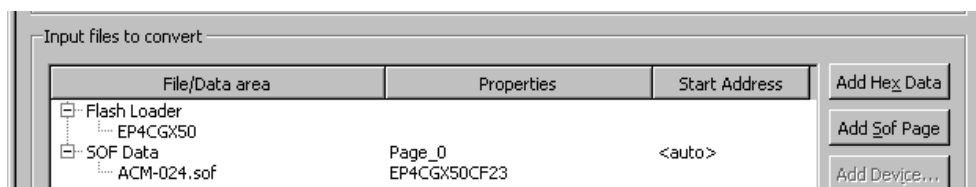


- (2) 設定画面にて必要な項目を設定します

- 【Programming File type】 : JTAG Indirect Configuration File (.jic)
- 【Configuration device】 : EPCS64
- 【File name】 : 任意
- 【Memory Map File】 : チェック無し



- (3) 【Flash Loader】 を選択し 【Add Device..】 をクリックします
- (4) 搭載デバイスを選択し 【OK】 をクリックします
- (5) 【SOF Data】 を選択し 【Add File...】 をクリックします
- (6) 変換する sof データを選択し 【OK】 をクリックします



- (7) 【Generate】 をクリックします

7.3. コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】 をクリックし jic ファイルを選択します
- (2) 【Program/Configure】 にチェックをいれ 【Start】 をクリックします

File	Device	Checksum	Usercode	Program/Configure	Verify
Factory default enhanced...	EP4CGX50	003F7D98	FFFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>
...output_file.jic	EPCS64	5636627D		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

8. FPGA ピン割付け表

I/O、メモリの配線長はピンリストファイルにて公開しております。Web の製品サポートページをご参照ください。

8.1. ユーザ I/O (CNA)

BANK	NET LABEL	FPGA ピン	CNA		FPGA ピン	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
A	IOA0	B3	7	8	B4	IOA1	A
A	IOA2	A2	9	10	A3	IOA3	A
A	IOA4	B1	11	12	A1	IOA5	A
A	IOA6	C1	13	14	C2	IOA7	A
		GND	15	16	GND		
A	IOA8	C4	17	18	C3	IOA9	A
A	IOA10	D4	19	20	C5	IOA11	A
A	IOA12	E5	21	22	D5	IOA13	A
A	IOA14	D6	23	24	E6	IOA15	A
		GND	25	26	GND		
A	IOA16	C7	27	28	D7	IOA17	A
A	IOA18	B6	29	30	C6	IOA19	A
A	IOA20	C8	31	32	D8	IOA21	A
A	IOA22	E8	33	34	F8	IOA23	A
		GND	35	36	GND		
A	IOA24	C10	37	38	C11	IOA25	A
A	IOA26	A11	39	40	A12	IOA27	A
A	IOA28	C12	41	42	C13	IOA29	A
A	IOA30	B12	43	44	B13	IOA31	A
		GND	45	46	GND		
A	IOA32	D14	47	48	C14	IOA33	A
A	IOA34	A13	49	50	A14	IOA35	A
A	IOA36	C15	51	52	D15	IOA37	A
A	IOA38	B15	53	54	A15	IOA39	A
		GND	55	56	GND		A
A	IOA40	B16	57	58	C16	IOA41	A
A	IOA42	A17	59	60	A16	IOA43	A
A	IOA44	E17	61	62	D17	IOA45	A
A	IOA46	A18	63	64	A19	IOA47	A
A	IOA48 *1	C17	65	66	C18	IOA49 *2	A

(*1) 抵抗 (R16) を介して CLK_EXAP (M22) に接続されています

(*2) 抵抗 (R17) を介して CLK_EXAN (M21) に接続されています

8.2. ユーザ I/O (CNB)

BANK	NET LABEL	FPGA ピン	CNB		FPGA ピン	NET LABEL	BANK
	V10 (B)	VCC10_x	1	2	VCC10_x	V10 (B)	
		電源予約	3	4	電源予約		
		GND	5	6	GND		
B	IOB0	B19	7	8	A20	IOB1	B
B	IOB2	E21	9	10	E22	IOB3	B
B	IOB4	D20	11	12	D19	IOB5	B
B	IOB6	C19	13	14	C20	IOB7	B
		GND	15	16	GND		
B	IOB8	B22	17	18	C22	IOB9	B
B	IOB10	B20	19	20	B21	IOB11	B
B	IOB12	A22	21	22	A21	IOB13	B
B	IOB14	E20	23	24	F20	IOB15	B
		GND	25	26	GND		
B	IOB16	F22	27	28	G22	IOB17	B
B	IOB18	G20	29	30	G21	IOB19	B
B	IOB20	H20	31	32	H21	IOB21	B
B	IOB22	H22	33	34	J21	IOB23	B
		GND	35	36	GND		
B	IOB24	J20	37	38	J19	IOB25	B
B	IOB26	K20	39	40	K19	IOB27	B
B	IOB28	J22	41	42	K22	IOB29	B
B	IOB30	N22	43	44	N21	IOB31	B
		GND	45	46	GND		
B	IOB32	N20	47	48	N19	IOB33	B
B	IOB34	R22	49	50	P22	IOB35	B
B	IOB36	R21	51	52	R20	IOB37	B
B	IOB38	U20	53	54	T19	IOB39	B
		GND	55	56	GND		
B	IOB40	T21	57	58	T22	IOB41	B
B	IOB42	V21	59	60	V20	IOB43	B
B	IOB44	V22	61	62	U22	IOB45	B
B	IOB46	W21	63	64	W20	IOB47	B
B	IOB48 *1	Y22	65	66	W22	IOB49 *2	B

(*1) 抵抗 (R14) を介して CLK_EXBP (K10) に接続されています

(*2) 抵抗 (R15) を介して CLK_EXBN (J10) に接続されています

8.3. DDR2 SDRAM (U11)

RAM Pin Name	NET LABEL	FPGA ピン
A0	DDR_A0	AA15
A1	DDR_A1	AA18
A2	DDR_A2	AB17
A3	DDR_A3	AA21
A4	DDR_A4	AB15
A5	DDR_A5	AA19
A6	DDR_A6	Y17
A7	DDR_A7	AA22
A8	DDR_A8	AA16
A9	DDR_A9	AA20
A10	DDR_A10	AB20
A11	DDR_A11	AB16
A12	DDR_A12	AB22
A13/RFU	DDR_A13	W14
A14/RFU	-	-
A15/RFU	-	-
BA0	DDR_BA0	AB19
BA1	DDR_BA1	Y18
BA2/RFU	DDR_BA2	AB18
DQ0	DDR_DQ0	AA9
DQ1	DDR_DQ1	Y9
DQ2	DDR_DQ2	W11
DQ3	DDR_DQ3	Y11
DQ4	DDR_DQ4	Y12
DQ5	DDR_DQ5	AA10
DQ6	DDR_DQ6	W9
DQ7	DDR_DQ7	AB8
DQ8	DDR_DQ8	Y5
DQ9	DDR_DQ9	W7
DQ10	DDR_DQ10	AB5
DQ11	DDR_DQ11	Y7
DQ12	DDR_DQ12	Y6
DQ13	DDR_DQ13	AA6
DQ14	DDR_DQ14	W6
DQ15	DDR_DQ15	AB4

RAM Pin Name	NET LABEL	FPGA ピン
LDQS	DDR_LDQS_P	Y10
LDQS#	DDR_LDQS_N	-
UDQS	DDR_UDQS_P	Y8
UDQS#	DDR_UDQS_N	-
LDM	DDR_LDM	AB6
UDM	DDR_UDM	W5
RAS#	DDR_RAS	AA13
CAS#	DDR_CAS	AB14
WE#	DDR_WE	Y16
CK	DDR_CK_P	AA7
CK#	DDR_CK_N	AB7
CKE	DDR_CKE	Y15
ODT	DDR_ODT	AB13
CS#	DDR_CSN	W17

8.4. オンボードクロック

周波数	NET LABEL	FPGA ピン
30MHz	30M_CLK1	L22
	30M_CLK2	A9
	30M_CLK3	M11
50MHz	50M_CLK1	L21
	50M_CLK2	B9
	50M_CLK3	N11

8.5. 外部クロック入力

コネクタ	NET LABEL	FPGA ピン	BANK
CNA_65	CLK_EXAP	M22	B
CNA_66	CLK_EXAN	M21	B
CNB_65	CLK_EXBP	K10	A
CNB_66	CLK_EXBN	J10	A

8.6. 汎用 LED

LED	NET LABEL	FPGA ピン
L0	ULED0	A4
L1	ULED1	A5
L2	ULED2	B7
L3	ULED3	D9
L4	ULED4	A8
L5	ULED5	C9
L6	ULED6	D11
L7	ULED7	D12

8.7. 汎用スイッチ

SW	NET LABEL	FPGA Pin
SW2	PSW2	A6
SW3	PSW3	A7
SW1 [2]	ASW2	G15
SW1 [3]	ASW3	D16

8.8. シリアルインタフェース (CN4)

コネクタ番号	NET LABEL	FPGA Pin
1	D_TXD	G10
2	GND	-
3	D_RXD	H9

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。
汎用 I/O としてもご使用頂けます。

8.9. SIF40 (CN4)

ピン番号	信号名	方向
A1	GXB_TX3P	OUT
B1	GXB_TX3N	OUT
C1	GND	-
D1	GND	-
E1	GXB_RX3P	IN
F1	GXB_RX3N	IN
G1	GND	-
H1	GND	-
J1	GXB_TX1N	OUT
K1	GXB_TX1P	OUT
A2	GND	-
B2	GND	-
C2	GXB_RX2N	IN
D2	GXB_RX2P	IN
E2	GND	-
F2	GND	-
G2	GXB_RX0N	IN
H2	GXB_RX0P	IN
J2	GND	-
K2	GND	-

ピン番号	信号名	方向
A3	GXB_TX2P	OUT
B3	GXB_TX2N	OUT
C3	GND	-
D3	GND	-
E3	GXB_RX1P	IN
F3	GXB_RX1N	IN
G3	GND	-
H3	GND	-
J3	GXB_TX0N	OUT
K3	GXB_TX0P	OUT
A4	GND	POW GND
B4	GND	POW GND
C4	VCC	POW OUT
D4	VCC	POW OUT
E4	GND	POW GND
F4	GND	POW GND
G4	VCC	POW OUT
H4	VCC	POW OUT
J4	GND	POW GND
K4	GND	POW GND

8.10. 共通ピン

下記の汎用ポートは、VREF機能を兼ねているため共通となっています。
出力ポートとして使用しないようにご注意ください。詳しくは1章をご参照ください。

GND		V12		VREFB	V09REF
E10	K7	G10	P17	P20	V13
F16	N17	G14	P7	W19	W16
G11	P6	G16	R14	N19	T16
G13	R18	G4	R15	M5	V9
G15	T10	G8	R6	T3	U12
G17	T14	H17	T11	R5	W10
G7	U13	J17	U15		
G9	U19	J7	U16		
H16	U7	K17	U17		
J19	V6	N16	U8		
J5	Y21	N7	V7		

9. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-024/index.html>

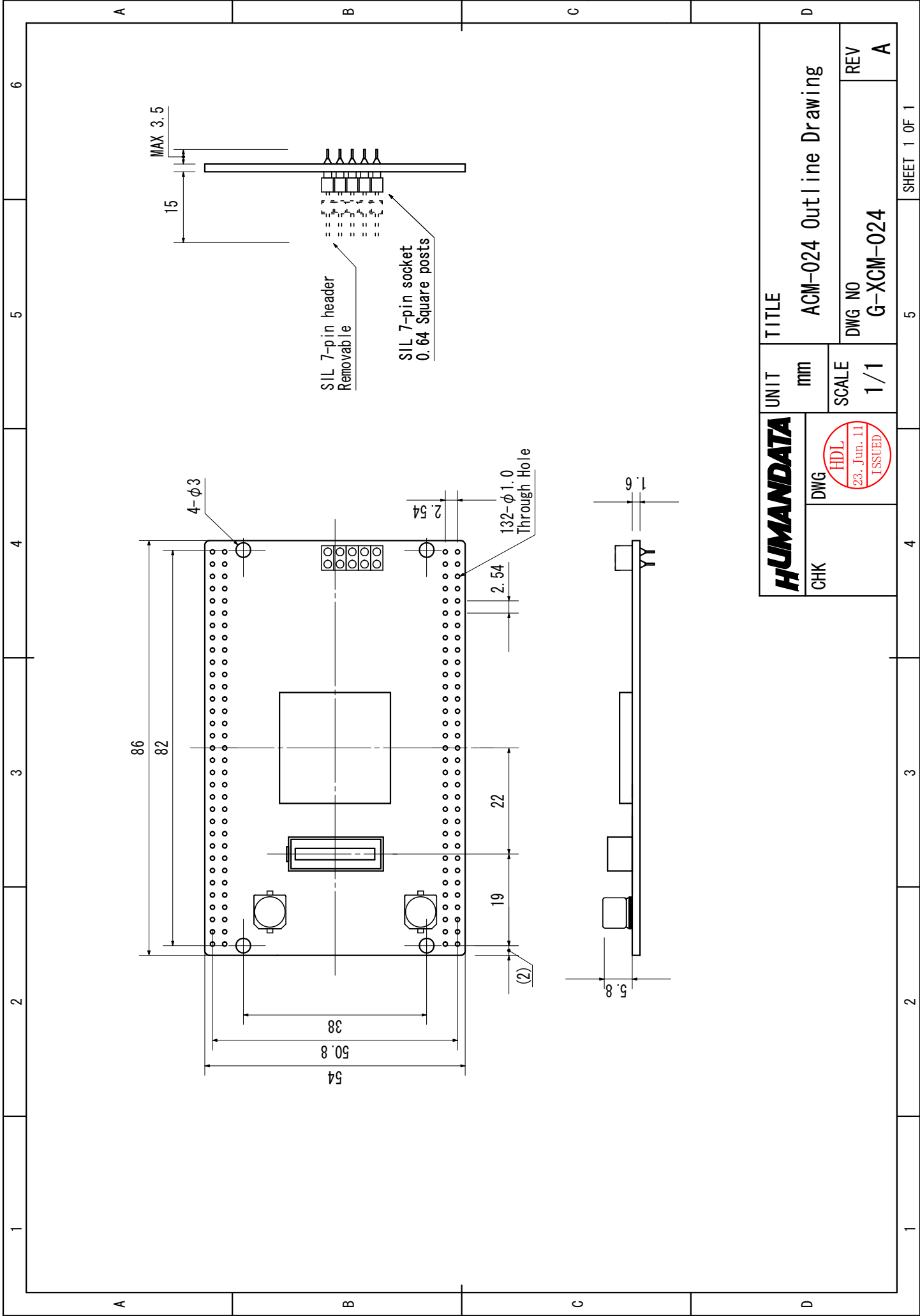
- 回路図
- ピンリスト
- 外形図
- ネットリスト … 等

また下記サポートページも合わせてご利用ください。

http://www.hdl.co.jp/support_c.html

10. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



HUMANDATA		UNIT		TITLE	
CHK	DWG	mm	ACM-024 Outline Drawing		
		SCALE	DWG NO		REV
		1/1	G-XCM-024		A



Cyclone IV GX FPGA ボード
ACM-024 シリーズ
ユーザーズマニュアル

2010/06/27 Ver.1.0 (初版)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <http://www.hdl.co.jp/>
