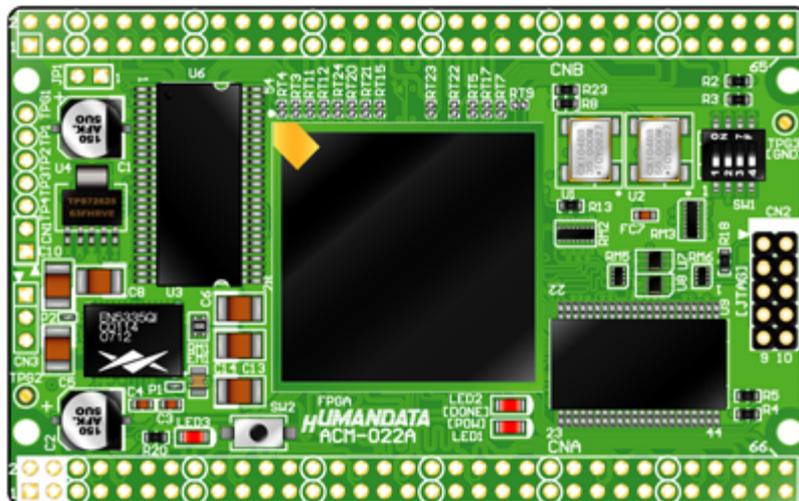


Cyclone III FPGA ボード
ACM-022 シリーズ
ユーザーズマニュアル
Ver.1.3



ヒューマンデータ

目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 開発環境.....	2
3. 仕様.....	3
4. 固定ピンについて [重要]	4
5. 製品概要.....	5
5.1. 各部の名称.....	5
5.2. ブロック図.....	6
5.3. 電源入力.....	6
5.4. JTAGコネクタ.....	7
5.5. コンフィギュレーションモード設定 (SW1).....	7
5.6. デバッグI/F.....	7
6. FPGAのコンフィギュレーション.....	8
7. コンフィギュレーションROMへの書込み.....	8
7.1. jicファイルの作成.....	8
7.2. 書き込み.....	9
8. FPGAピン割付け表.....	10
8.1. ユーザI/O (CNA).....	10
8.2. ユーザI/O (CNB).....	11
8.3. SDRAM.....	12
8.4. MRAM.....	13
8.5. オンボード クロック.....	14
8.6. 外部クロック入力.....	14
8.7. オンボードクロック接続.....	14
8.8. 汎用 スイッチ.....	14
8.9. 汎用 LED.....	14
8.10. デバッグI/F (CN3).....	14
9. サポートページ.....	15
10. お問い合わせについて.....	15

● はじめに

この度は、CycloneⅢブレッドボード／ACM-022 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-022 シリーズは、アルテラ社の高性能 FPGA である CycloneⅢを用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2009/11/11	初版	初版発行
2012/03/08	1.1	ダウンロードケーブル接続参考図の更新など
2013/03/04	1.2	JP1 を不実装に変更 (V33A と VI0(B) の分離)
2015/10/19	1.3	仕様 : SDRAM の追記他

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-022 シリーズ	1	
付属品		1	
ユーザー登録はがき		1	*

* オーダー毎に各 1 部の場合があります。

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

3. 仕様

製品型番	ACM-022-55C8	ACM-022-80C8	ACM-022-120C8
搭載 FPGA	EP3C55F780C8N	EP3C80F780C8N	EP3C120F780C8N
コンフィグ ROM	EPCS64SI16N (Altera, 64Mbit)		
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)		
消費電流	N/A (詳細は FPGA データシートご参照)		
ユーザ I/O	100 本		
I/O コネクタ	80 ピンスルーホール 0.9 [mmφ] ×2 組 2.54mm ピッチ		
MRAM	MR2A16AYS35 (EVERSPIN, 4Mbit)		
SDRAM	MT48LC16M16A2P-75-D (Micron 256Mbit) または MT48LC16M16A2P-6AIT:G (Micron 256Mbit)		
プリント基板	ガラスエポキシ 6 層基板 1.6t		
オンボードクロック	30MHz, 50MHz (外部供給可能)		
リセット回路	内蔵 (200ms TYP)		
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER, DONE)		
汎用 LED	1 個		
汎用スイッチ	押しボタンスイッチ 1 個		
基板寸法	86×54 [mm]		
質量	約 28 [g]		
付属品	DIL10 ロングピンヘッダ 1 個		
	DIL80 ピンヘッダ 2 個		

* これらの商品や仕様は変更となる場合がございます

4. 固定ピンについて **[重要]**

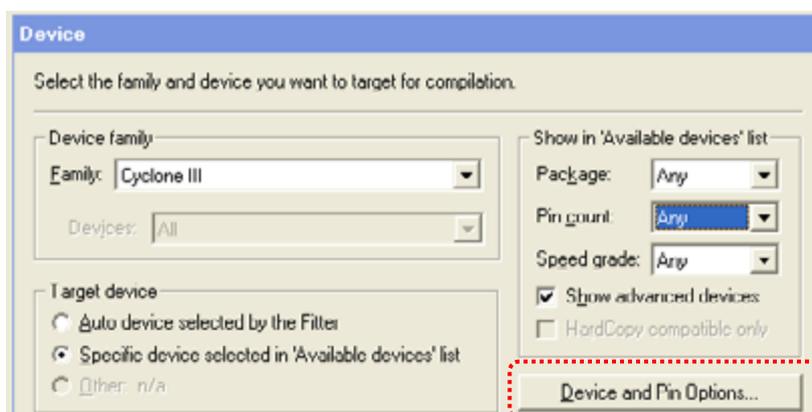
本ボードでは、一部の I/O ピンが GND または VCCINT (1.2V) に固定されています。デバイスによっては、ダミー入力として他に使わないようにする必要があります。 (固定ピンについては別途ピンリスト資料を参照ください)

ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

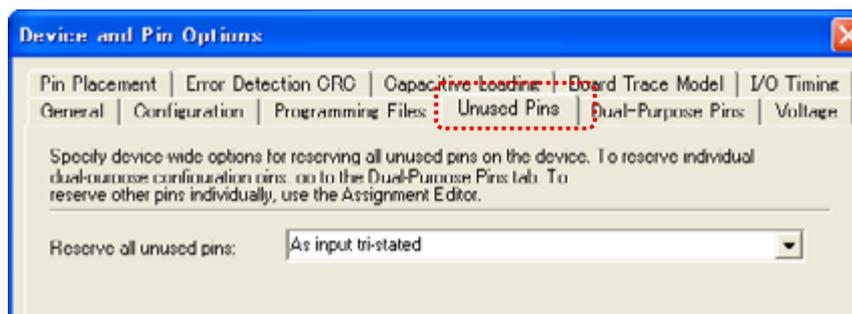
1. [Assignments -> Device] をクリックします。



2. [Device and Pin Options...] をクリックします。

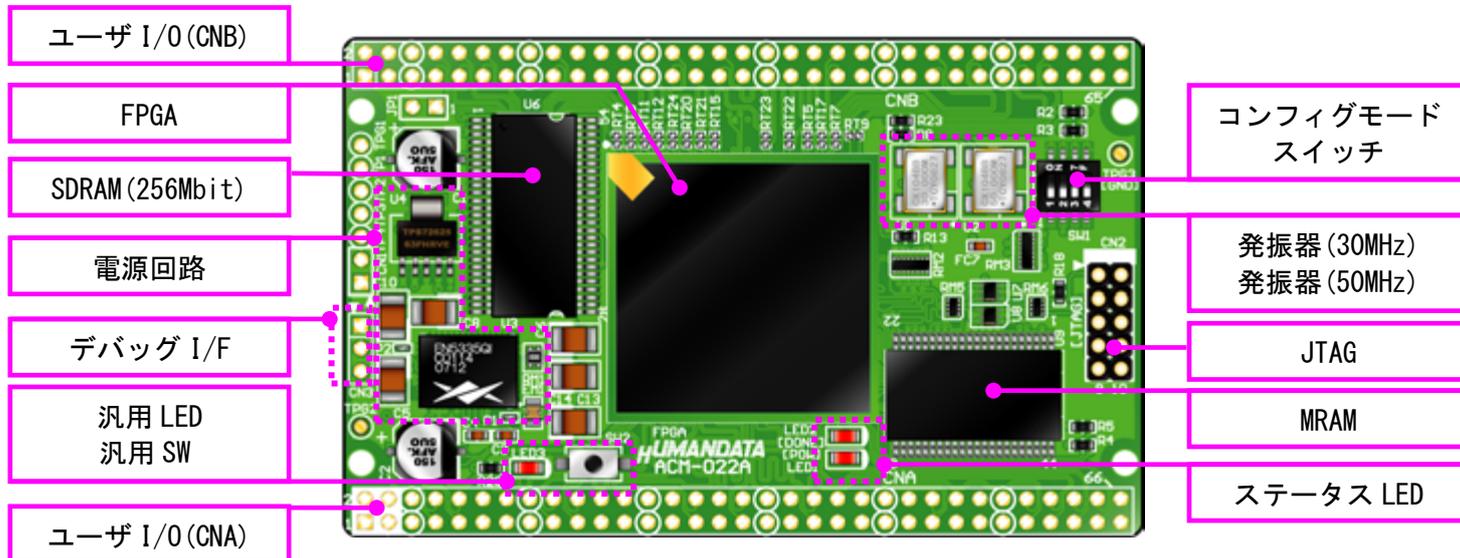


3. [Reserve all unused pins] を [As input tri-stated] に設定します。

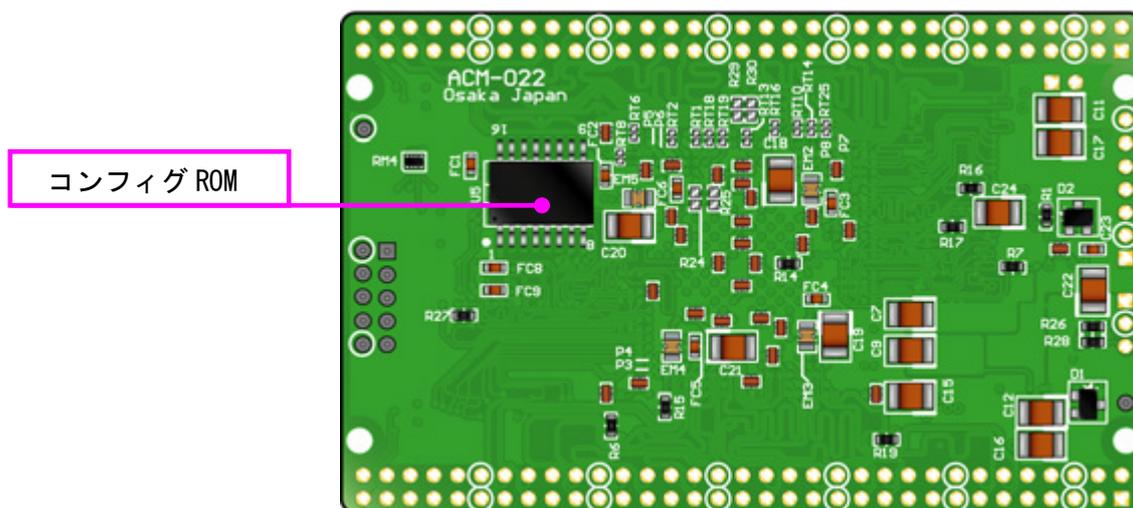


5. 製品概要

5.1. 各部の名称

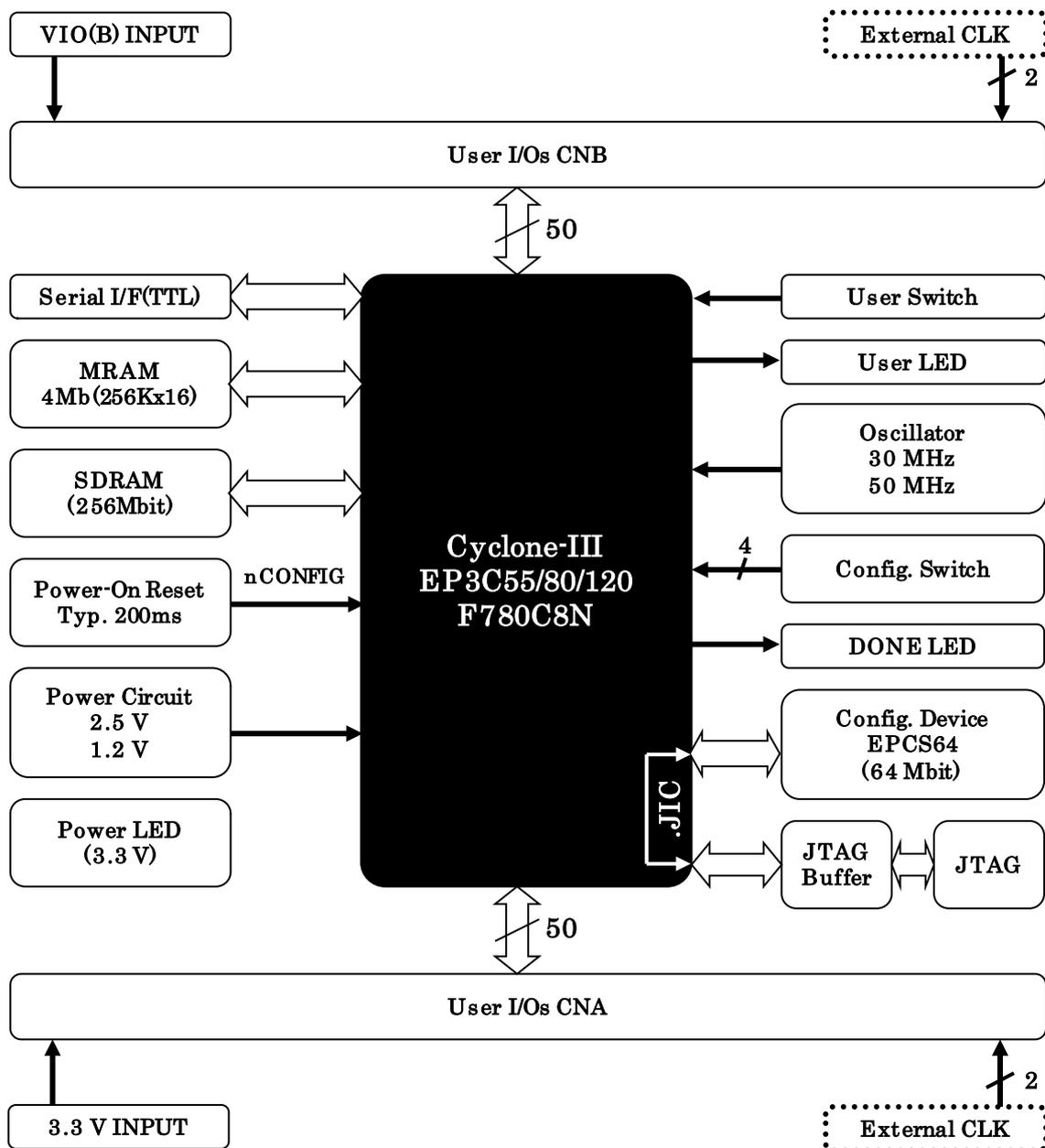


部品面



はんだ面

5.2. ブロック図



5.3. 電源入力

本ボードは、DC 3.3V 単一電源で動作します。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

メモ

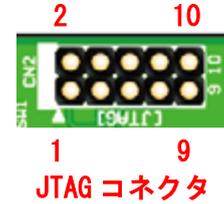
電源は CNA、CNB から **太い配線** で供給してください。
電源、GND はすべてのピンに接続することをお勧めします

5.4. JTAG コネクタ

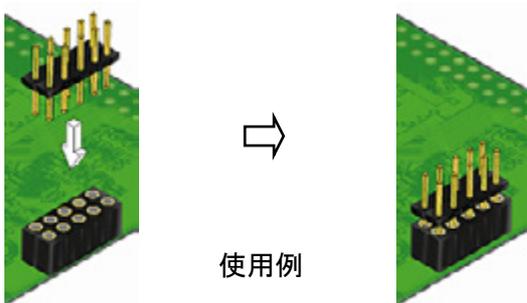
FPGA へのコンフィギュレーション及びコンフィギュレーション ROM の ISP (In System Programming) に使用します。ピン配置は次表のとおりです。

CN2

信号	ピン番号		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



ダウンロードケーブル (USB Blaster 等) との接続には、付属のロングピンヘッダをご利用いただけます。



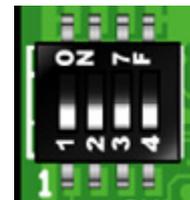
注意
ダウンロードケーブルを接続する場合は逆差しにご注意ください。

5.5. コンフィギュレーションモード設定 (SW1)

SW1 によりコンフィギュレーションモードを設定できます。SW-ON で Low に固定されます。

SW1

	1	2	3	4
NET LABEL	MSEL0	MSEL1	MSEL2	MSEL3
出荷時設定	OFF	OFF	OFF	OFF
機能	コンフィギュレーションモード			



コンフィグモード	MSEL0	MSEL1	MSEL2	MSEL3
AS *	ON	OFF	ON	ON
JTAG	X	X	X	X

X: Don't care

(*) FPGA リセット時の ROM からのコンフィギュレーションもこの設定です。その他の設定項目については Cyclone III のデータシートをご参照ください。

5.6. デバッグ I/F

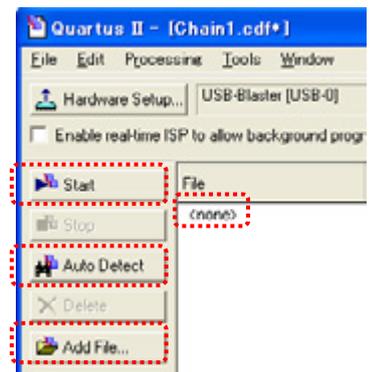
直列抵抗を介して FPGA に直接接続されています。汎用用途に使用できます。



6. FPGA のコンフィギュレーション

1. Quartus II を起動し [Tools -> Programmer] をクリックします
2. [Auto Detect] をクリックしデバイスを認識させます
3. [Add Files...] または<none>をダブルクリックします
4. [Program/Configure] にチェックを入れ [Start] をクリックします

正常にコンフィギュレーションが完了すると DONE LED が点灯します。

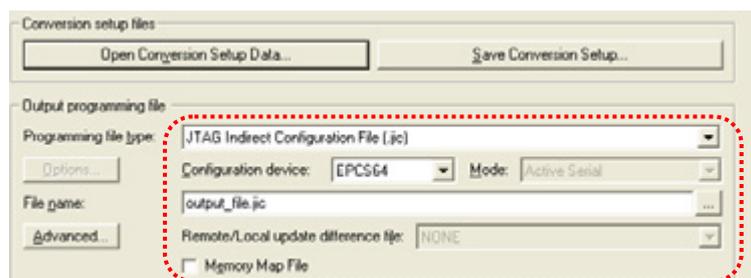


7. コンフィギュレーション ROM への書込み

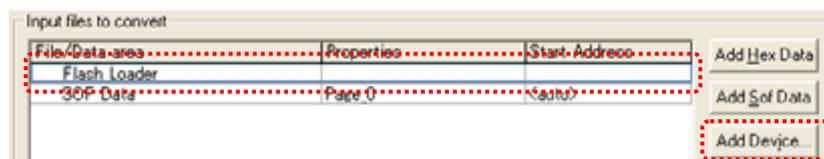
7.1. jic ファイルの作成

ACM-022 にはコンフィギュレーション ROM (EPCS64) が実装されています。書き込むには QuartusII により jic ファイルを作成する必要があります。

1. QuartusII を起動し [File -> Convert Programming Files...] をクリックします
2. [Programming File type] : JTAG Indirect Configuration File (.jic)
[Configuration device] : EPCS64
[File name] : 任意
を指定し [Memory Map File] のチェックを外します

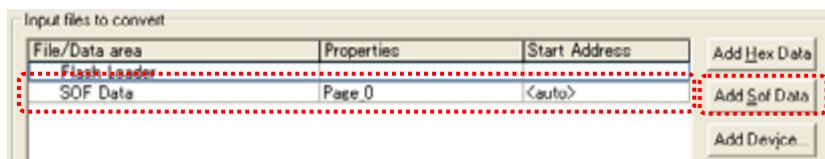


3. [Flash Loader] を選択し [Add Device...] をクリックします



4. 搭載デバイスを選択し [OK] をクリックします
(CycloneIII EP3C55 または EP3C80 または EP3C120)

5. [SOF Data] を選択し [Add Sof Data] をクリックし sof データを割り当てます



6. [Generate] をクリックします

7.2. 書き込み

書き込む前に FPGA にコンフィギュレーションし十分な動作の確認を行ってください。
書き込みには SW1 の設定が必要です。詳しくは 5.5 節を参照してください。

1. Quartus II を起動し [Programmer] をクリックします
2. [Auto Detect] をクリックしデバイスを認識させます
3. [Add Files...] または <none> をダブルクリックし jic ファイルを選択します
4. [Program/Configure] と [verify] にチェックをいれ [Start] をクリックします

コンフィギュレーション完了後、電源を入れ直すと自動的に ROM から FPGA へ
コンフィギュレーションされます。

8. FPGA ピン割付け表

8.1. ユーザ I/O (CNA)

BANK Group	NET LABEL	FPGA PIN	CNA PIN		FPGA PIN	NET LABEL	BANK Group
		3.3V (input)	1	2	3.3V (input)		
		Power Reserve	3	4	Poewr Reserve		
		GND	5	6	GND		
A	IOA0	AF3	7	8	AH3	IOA1	A
A	IOA2	AG4	9	10	AH4	IOA3	A
A	IOA4	AG6	11	12	AH6	IOA5	A
A	IOA6	AE7	13	14	AF7	IOA7	A
		GND	15	16	GND		
A	IOA8	AG7	17	18	AH7	IOA9	A
A	IOA10	AG8	19	20	AH8	IOA11	A
A	IOA12	AE8	21	22	AF8	IOA13	A
A	IOA14	AE10	23	24	AF10	IOA15	A
		GND	25	26	GND		
A	IOA16	AG10	27	28	AH10	IOA17	A
A	IOA18	AG11	29	30	AH11	IOA19	A
A	IOA20	AE11	31	32	AF11	IOA21	A
A	IOA22	AG12	33	34	AH12	IOA23	A
		GND	35	36	GND		
A	IOA24	AE12	37	38	AF12	IOA25	A
A	IOA26	AH17	39	40	AG17	IOA27	A
A	IOA28	AE17	41	42	AF17	IOA29	A
A	IOA30	AG18	43	44	AH18	IOA31	A
		GND	45	46	GND		
A	IOA32	AE18	47	48	AF18	IOA33	A
A	IOA34	AG19	49	50	AH19	IOA35	A
A	IOA36	AE19	51	52	AF19	IOA37	A
A	IOA38	AE20	53	54	AF20	IOA39	A
		GND	55	56	GND		A
A	IOA40	AG21	57	58	AH21	IOA41	A
A	IOA42	AG22	59	60	AH22	IOA43	A
A	IOA44	AG23	61	62	AH23	IOA45	A
A	IOA46	AG25	63	64	AH25	IOA47	A
A *1	IOA48	AH26	65	66	AG26	IOA49	A *2

*1 CLK_EXAP は抵抗 (R4) を介して FPGA pin AG15 に接続

*2 CLK_EXBN は抵抗 (R5) を介して FPGA pin AH15 に接続

8.2. ユーザ I/O (GNB)

BANK Group	NET LABEL	FPGA PIN	GNB PIN		FPGA PIN	NET LABEL	BANK Group
		VIO(B) (input)	1	2	VIO(B) (input)		
		Power Reserve	3	4	Power Reserve		
		GND	5	6	GND		
B	IOB0	B3	7	8	A3	IOB1	B
B	IOB2	B4	9	10	A4	IOB3	B
B	IOB4	B6	11	12	A6	IOB5	B
B	IOB6	D7	13	14	C7	IOB7	B
		GND	15	16	GND		
B	IOB8	B7	17	18	A7	IOB9	B
B	IOB10	D8	19	20	C8	IOB11	B
B	IOB12	B8	21	22	A8	IOB13	B
B	IOB14	D9	23	24	C9	IOB15	B
		GND	25	26	GND		
B	IOB16	B10	27	28	A10	IOB17	B
B	IOB18	B11	29	30	A11	IOB19	B
B	IOB20	B12	31	32	A12	IOB21	B
B	IOB22	D13	33	34	C13	IOB23	B
		GND	35	36	GND		
B	IOB24	D14	37	38	C14	IOB25	B
B	IOB26	D17	39	40	C17	IOB27	B
B	IOB28	B17	41	42	A17	IOB29	B
B	IOB30	D18	43	44	C18	IOA50	B
		GND	45	46	GND		
B	IOA51	D19	47	48	C19	IOA52	B
B	IOA53	A19	49	50	B19	IOA54	B
B	IOA55	D20	51	52	C20	IOA56	B
B	IOA57	B21	53	54	A21	IOA58	B
		GND	55	56	GND		
B	IOA59	B22	57	58	A22	IOA60	B
B	IOA61	B23	59	60	A23	IOA62	B
B	IOA63	D24	61	62	C24	IOA64	B
B	IOA65	D25	63	64	C25	IOA66	B
B *3	IOA67	A25	65	66	A26	IOA68	B *4

*3 CLK_EXBP は抵抗 (R2) を介して FPGA pin B14 に接続

*4 CLK_EXBN は抵抗 (R3) を介して FPGA pin A14 に接続

8.3. SDRAM

SDRAM PIN	NET LABEL	FPGA Pin	Length (mm)
U6-17	NSDCAS	L1	22
U6-37	NSDCLKE	L5	23
U6-19	NSDCS	M1	22
U6-18	NSDRAS	M2	22
U6-16	NSDWE	K2	24
U6-23	SDADD0	R2	22
U6-24	SDADD1	U1	22
U6-25	SDADD2	U2	23
U6-26	SDADD3	V1	22
U6-29	SDADD4	V2	23
U6-30	SDADD5	U3	24
U6-31	SDADD6	T3	22
U6-32	SDADD7	U4	22
U6-33	SDADD8	T4	23
U6-34	SDADD9	R4	22
U6-22	SDADD10	R1	22
U6-35	SDADD11	R3	22
U6-36	SDADD12	M5	22
U6-20	SDBS0	P1	22
U6-21	SDBS1	P2	23
U6-2	SDD0	C2	24
U6-4	SDD1	D1	19
U6-5	SDD2	D2	26
U6-7	SDD3	E1	21
U6-8	SDD4	F1	21
U6-10	SDD5	F2	23
U6-11	SDD6	G1	23
U6-13	SDD7	G2	24
U6-42	SDD8	J4	25
U6-44	SDD9	H3	22
U6-45	SDD10	H4	22
U6-47	SDD11	G3	22
U6-48	SDD12	G4	24
U6-50	SDD13	F3	22
U6-51	SDD14	E3	22
U6-53	SDD15	D3	22
U6-38	SDDCLK_0	AE5, AF5	24
U6-15	SDL DQM	K1	23
U6-39	SDUDQM	J3	23

8. 4. MRAM

MRAM PIN	NET LABEL	FPGA Pin	Length (mm)
U9-1	MRAM_A1	Y26	30
U9-2	MRAM_A2	Y25	28
U9-3	MRAM_A3	W27	28
U9-4	MRAM_A4	W28	27
U9-5	MRAM_A5	W25	25
U9-18	MRAM_A6	P27	32
U9-19	MRAM_A7	R26	30
U9-20	MRAM_A8	R25	30
U9-21	MRAM_A9	R28	29
U9-22	MRAM_A10	R27	29
U9-23	MRAM_A11	AF27	30
U9-24	MRAM_A12	AE27	29
U9-25	MRAM_A13	AE28	30
U9-26	MRAM_A14	AE24	30
U9-27	MRAM_A15	AE25	29
U9-42	MRAM_A16	AB26	29
U9-43	MRAM_A17	AA25	30
U9-44	MRAM_A18	AA26	29
U9-39	MRAM_BE0	AB27	30
U9-40	MRAM_BE1	AB28	30
U9-6	MRAM_CE	Y24	29
U9-7	MRAM_DQL0	V28	25
U9-8	MRAM_DQL1	V25	20
U9-9	MRAM_DQL2	V26	18
U9-10	MRAM_DQL3	V27	29
U9-13	MRAM_DQL4	U27	29
U9-14	MRAM_DQL5	U28	29
U9-15	MRAM_DQL6	U25	29
U9-16	MRAM_DQL7	U26	31
U9-29	MRAM_DQU8	AD27	30
U9-30	MRAM_DQU9	AD28	29
U9-31	MRAM_DQU10	AD24	30
U9-32	MRAM_DQU11	AD26	29
U9-35	MRAM_DQU12	AC27	31
U9-36	MRAM_DQU13	AC28	30
U9-37	MRAM_DQU14	AC25	29
U9-38	MRAM_DQU15	AC26	29
U9-41	MRAM_OE	AB25	29
U9-17	MRAM_WE	P28	29

8.5. オンボード クロック

周波数	NET LABEL	FPGA PIN
30MHz	CLKA	J1
		J2
50MHz	CLKB	A15
		B15

8.6. 外部クロック入力

周波数	NET LABEL	FPGA PIN
任意	CLK_EXAN	AH15
	CLK_EXAP	AG15
	CLK_EXBN	A14
	CLK_EXBP	B14

8.7. オンボードクロック接続

NET LABEL	FPGA OUT	FPGA IN
OPT_CLK_CON0	J26	J27, J28
OPT_CLK_CON1	AF15	AH14, AG14
OPT_CLK_CON2	W26	Y28, Y27
OPT_CLK_CON3	Y3	Y1, Y2

8.8. 汎用 スイッチ

SW	NET LABEL	FPGA PIN
SW2	PSWO	AE13

8.9. 汎用 LED

LED	NET LABEL	FPGA PIN
LED3	ULED0	AD10

8.10. デバッグ I/F (CN3)

NET LABEL	FPGA PIN
D_RXD	AE1
D_TXD	AE2

弊社 USB 製品 (FTDI チップ評価ボード) との接続を意識したピンです。
汎用ピンとしてもご使用頂けます。詳しくは回路図をご参照ください。

CycloneⅢFPGA ボード
ACM-022 シリーズ
ユーザーズマニュアル

2009/11/17 初版
2012/03/08 Ver. 1.1
2013/03/04 Ver. 1.2

2015/10/19 Ver. 1.3

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
