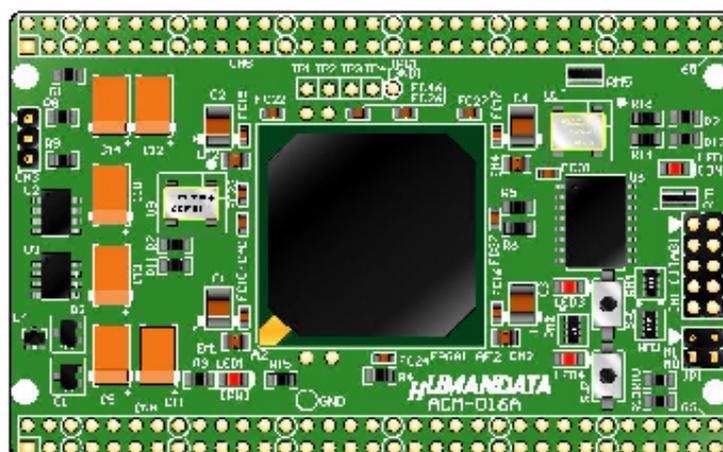


Cyclone II ブレッドボード  
ACM-016 シリーズ



ユーザーズマニュアル  
Ver. 1.3



ヒューマンデータ



## 目次

● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	2
1. 製品の内容について.....	2
2. 仕様.....	3
3. 固定ピンについて【重要】.....	4
4. 製品説明.....	6
4.1. 各部名称.....	6
4.2. ブロック図.....	7
4.3. 電源入力.....	7
4.4. JTAG コネクタ.....	8
5. FPGA のコンフィギュレーション.....	9
6. コンフィギュレーション ROM への書込み.....	11
6.1. .jic ファイルの作成.....	11
6.2. コンフィギュレーション ROM に ISP (書込み).....	14
7. ジャンプスイッチの説明.....	15
8. ピン割付表.....	16
8.1. CNA.....	16
8.2. CNB.....	17
8.3. オンボード CLK.....	18
8.4. 外部入力 CLK.....	18
8.5. 汎用 LED.....	18
8.6. 汎用スイッチ.....	18
8.7. FLASH MEMORY.....	19
8.8. FRAM.....	20
8.9. その他.....	20
9. Dual-Purpose Pin の設定.....	21
10. サポートページ.....	22
11. 付属資料.....	22

## ● はじめに

この度は、Cyclone II ブレッドボード ACM-016 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-016 シリーズは、アルテラ社の高性能 FPGA である Cyclone II を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路、ISP 可能なコンフィギュレーション ROMなどを装備した、使いやすいボードになっています。どうぞご活用ください。

## ● ご注意

 <b>禁止</b>	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れしないでください。
	5 定格を越える電源を加えないでください。
 <b>注意</b>	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13 静電気にご注意ください。

## ● 改訂記録

日付	バージョン	改訂内容
2010/04/19	1.3	・ 仕様の変更 FRAM 変更 (FM18L08-70-SG → FM28V020-SG)

## 1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ブレッドボード	ACM-016	1
付属品		1
マニュアル (本書)		1 *
ユーザー登録はがき		1 *

\* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます)

## 2. 仕様

製品型番	ACM-016-35C8	ACM-016-50C8	ACM-016-70C8
搭載 FPGA	EP2C35F672C8N	EP2C50F672C8N	EP2C70F672C8N
電源	DC 3.3 [V] (内部電源はオンボードレギュレータにより生成)		
消費電流	N/A (詳細は FPGA データシートご参照)		
外形寸法	86×54 [mm]		
質量	約 27 [g]		
ユーザー I/O	100 本		
I/O コネクタ	66 ピンスルーホール 0.9[mmφ] 2 組 2.54mm ピッチ		
プリント基板	ガラスエポキシ 6 層基板 1.6t		
コンフィグ ROM	EPCS64SI16N (ALTERA)		
FRAM	FM28V020-SG *		
FLASH MEMORY	S29AL032D90TF I040 (SPANSION) *		
オンボードクロック	30MHz、18.432MHz、外部供給可能		
リセット回路	内蔵 (240ms TYP)		
JTAG コネクタ	DIL10 ピン 丸ピンソケット 2.54mm ピッチ		
ステータス LED	2 個 (POWER, DONE)		
汎用 LED	2 個		
汎用 SW	2 個		
付属品	DIL10 ピンヘッダ (本体に取付け済み) 1 個		
	ジャンパソケット (本体に取付け済み) 2 個		
	DIL80 ピンヘッダ (任意にカット可能) 2 個		

\*互換品と変更になる場合がございます

### 3. 固定ピンについて【重要】

本ボードでは、下記のピンが GND または VCCINT (1.2V) に固定されています。  
 デバイスによっては、ダミー入力として他に使わないようにする必要があります。  
 EP2C70 では GND や VCCINT になっているものの、より小さなデバイスでは I/O として割り付けられています。

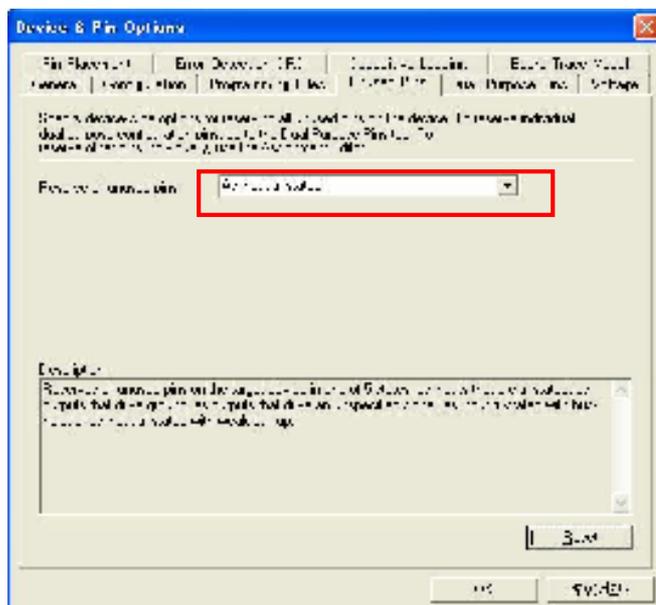
固定ピン一覧

NET LABEL	FPGA ピン#
GND	J10
GND	J11
GND	J13
GND	J14
GND	J16
GND	J17
GND	H8
GND	K16
GND	K17
GND	L10
GND	N9
GND	N18
GND	P9
GND	P18
GND	R17
GND	T10
GND	T17
GND	V11
GND	V13
GND	V14
GND	V17
GND	U10
GND	U12
GND	U17
GND	W8
GND	W12
GND	W19

NET LABEL	FPGA ピン#
V12	H10
V12	H11
V12	H15
V12	H16
V12	H17
V12	H19
V12	J18
V12	J9
V12	K18
V12	K9
V12	L9
V12	P17
V12	R8
V12	R19
V12	T8
V12	T9
V12	T18
V12	T19
V12	U9
V12	U18
V12	V9
V12	V10
V12	V18
V12	W10
V12	W11
V12	W15
V12	W16
V12	W17

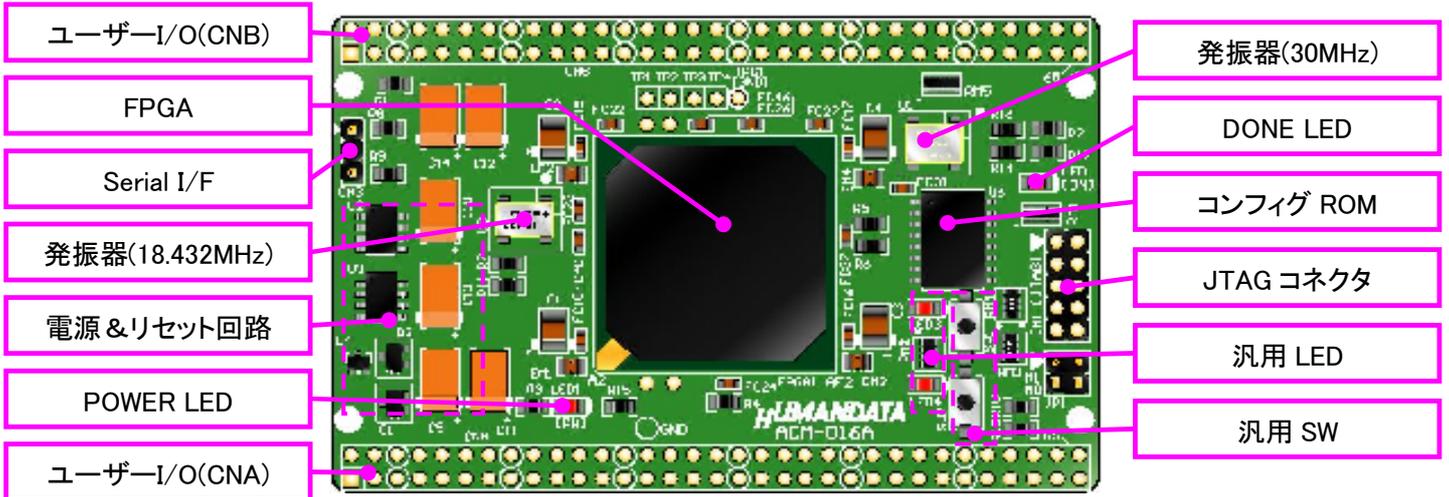
ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。  
【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます。  
Reserve all unused pins の設定を【As inputs tri-stated】にします。

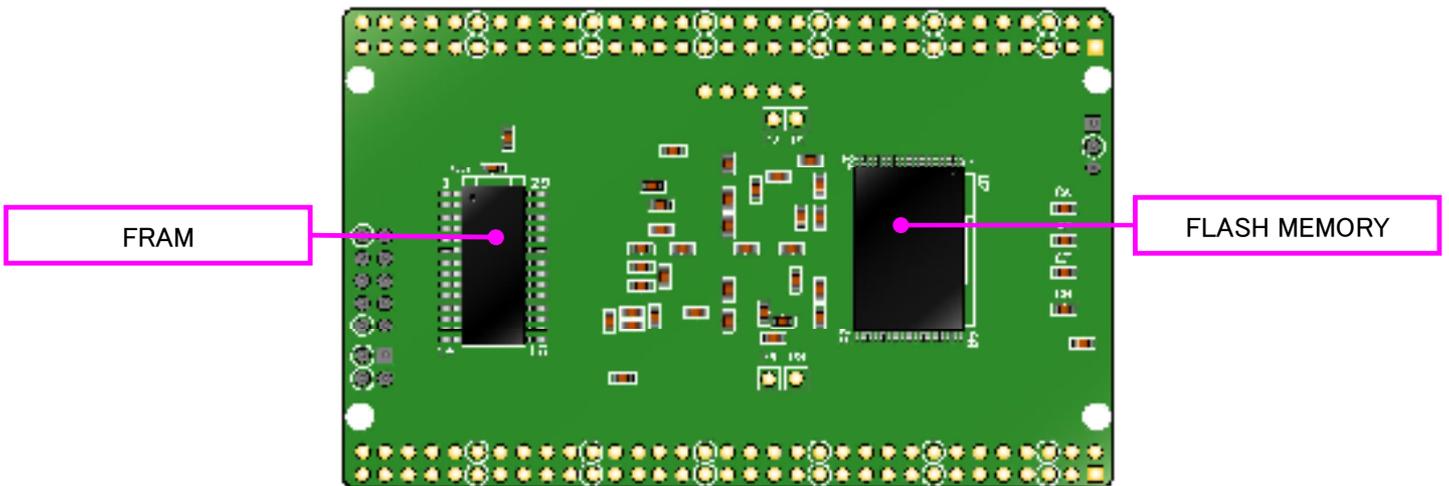


## 4. 製品説明

### 4.1. 各部名称

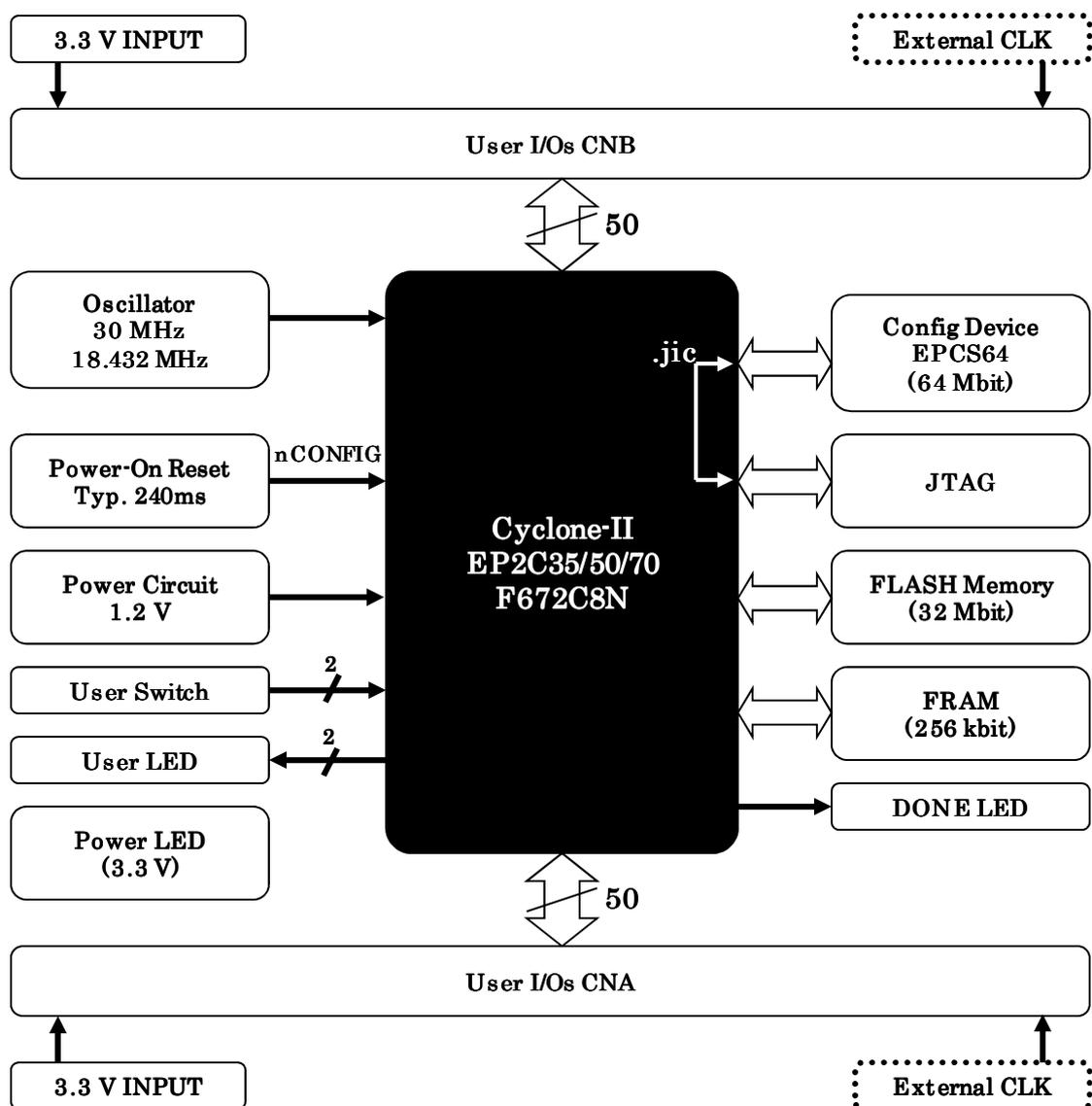


部品面



はんだ面

## 4.2. ブロック図



## 4.3. 電源入力

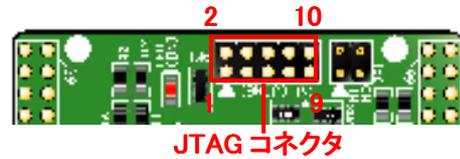
本ボードは、DC 3.3V 単一電源で動作します。  
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。



電源は CNA、CNB から**太い配線**で供給してください。  
GND はすべての PIN に接続してください。

#### 4.4. JTAG コネクタ

FPGA へのコンフィギュレーション及びコンフィギュレーションROMのISPに使用します。ピン配置は次表のとおりです。



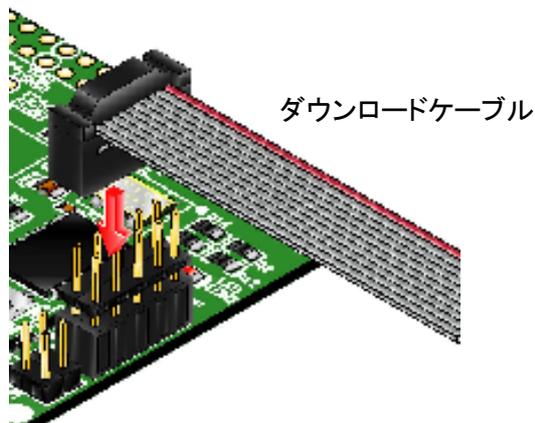
CN1

回路図上 信号名	ダウンロードケ ーブル信号名	ピン番号	ピン番号	ダウンロードケ ーブル信号名	回路図上 信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC (3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル BL3 や ALTERA 社の純正ケーブルなどを用いることができます。

また、ダウンロードケーブルと本品との接続には付属品 DIL10 ピンヘッダをご利用できます

使用例



**注意**

ダウンロードケーブルを接続する場合、誤差などにご注意ください

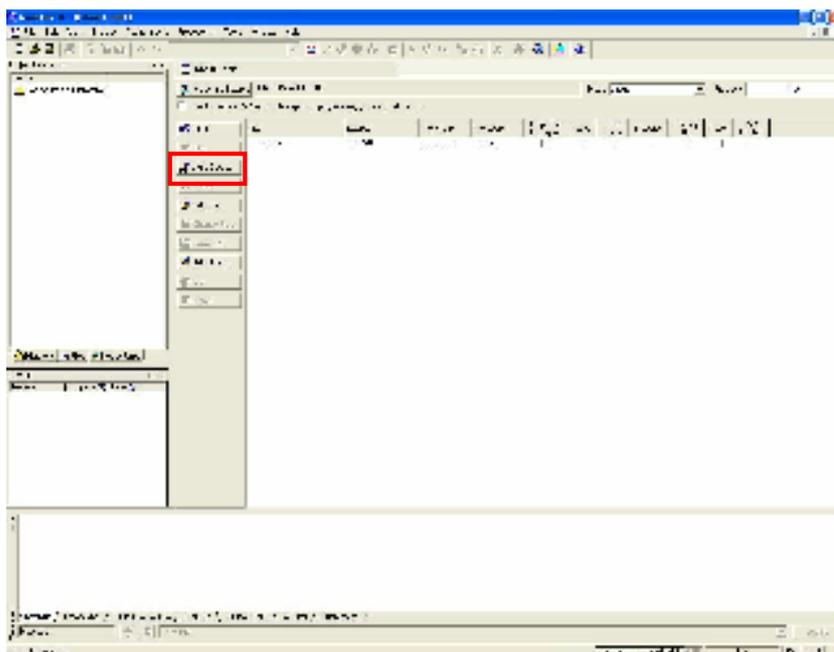
## 5. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

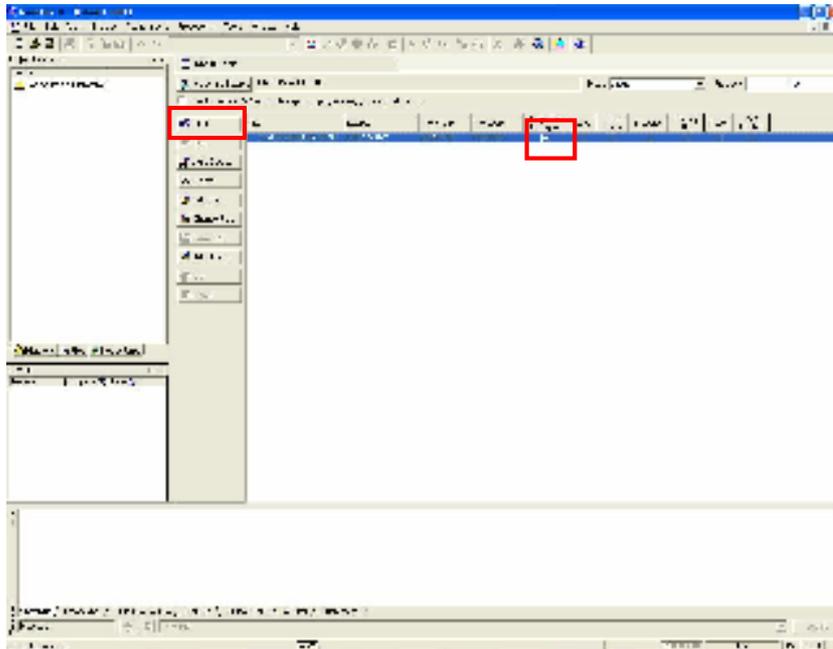
- ▼ Quartus II を起動し【Programmer】をクリックします。



- ▼ 【Auto Detect】をクリックします。ファイル名が【none】になっているので【none】部分をダブルクリックしコンフィギュレーションするファイルを指定します。(sof ファイル)



- ▼ 【Program/Configure】にチェックを入れ【Start】をクリックします。



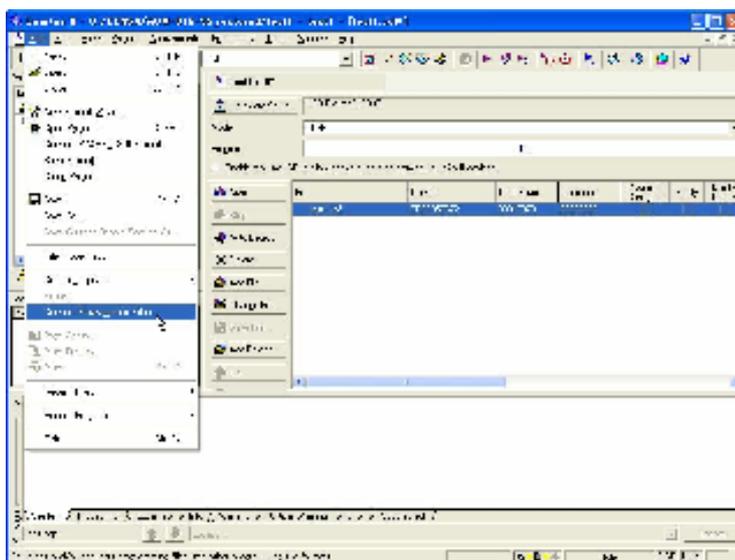
正常にコンフィギュレーションが出来ればACM-016のボード上のLED2が点灯します。

## 6. コンフィギュレーション ROM への書込み

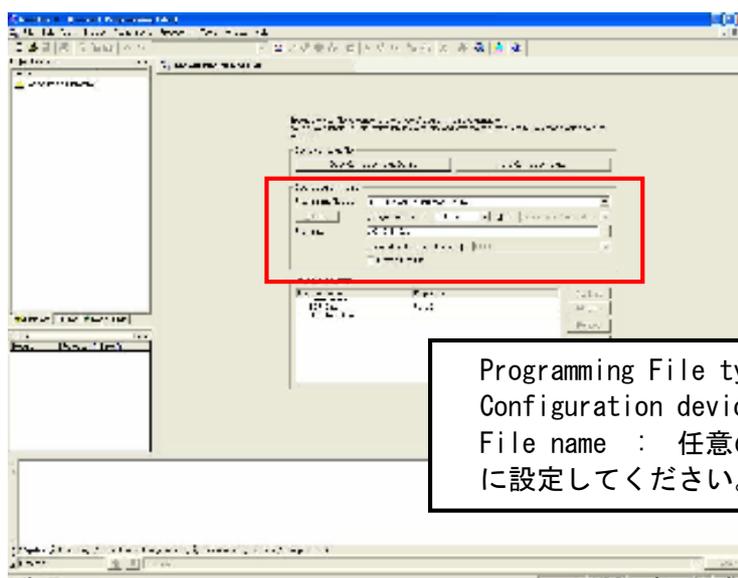
ACM-016 にはコンフィギュレーション ROM (EPCS64) が実装されています。  
 コンフィギュレーション ROM に ISP するためには QuartusII により .jic ファイルを作成します。

### 6.1. .jic ファイルの作成

- ▼ QuartusII を起動し【FILE/Convert Programming Files】をクリックします。

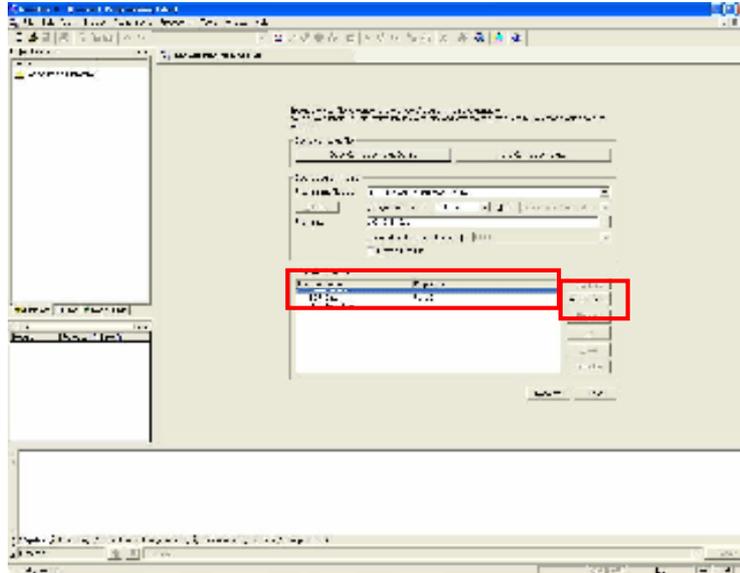


- ▼ 次に【Programming File type】【Configuration device】【File name】を下記のとおり指定し【Memory Map File】のチェックを外します。

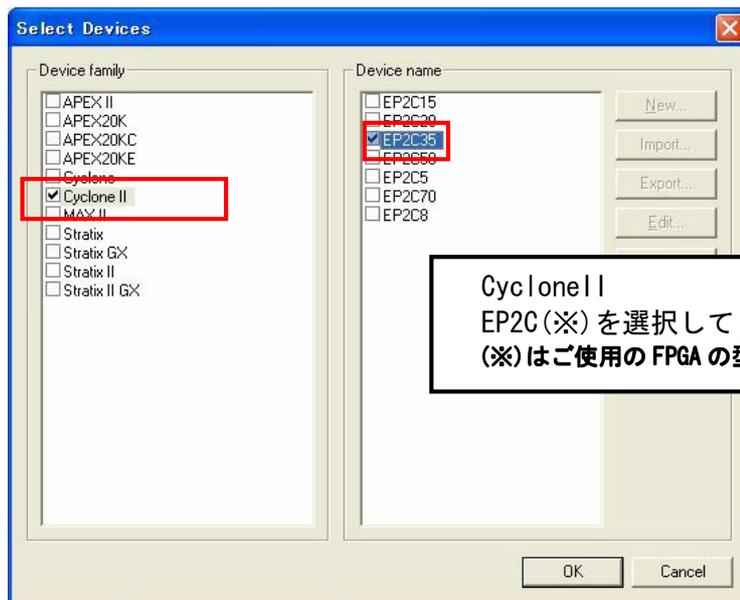


Programming File type : JTAG  
 Configuration device : EPCS64  
 File name : 任意の名前に設定してください。

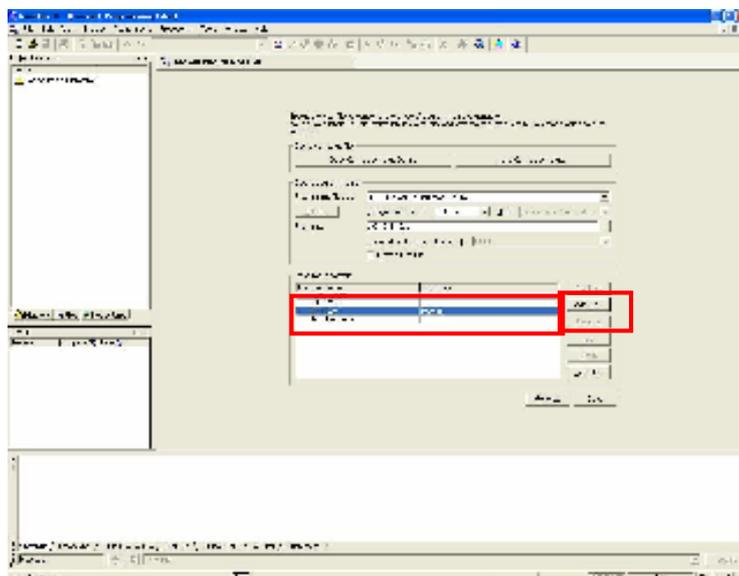
- ▼ 【Flash Loader】を選択し【Add Device...】をクリックしてください。



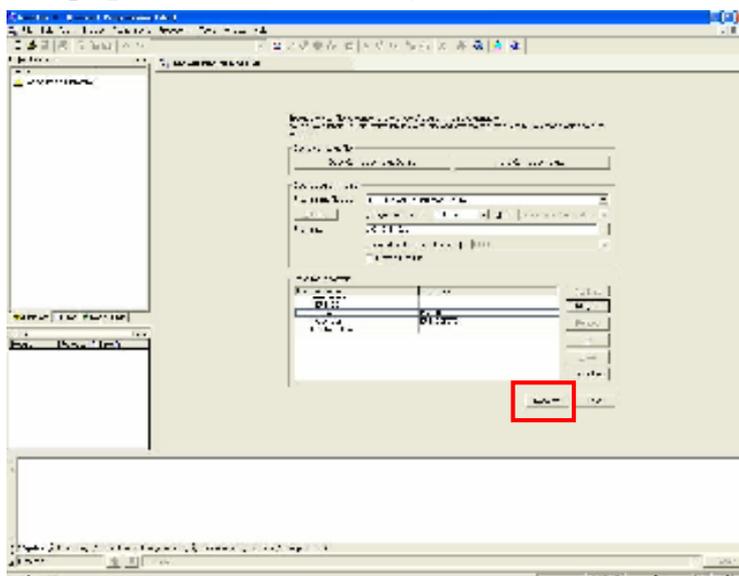
- ▼ お使いの機種種のデバイスを選択し【OK】をクリックします。



- ▼ 次に【SOF Data】を選択し【Add Files...】をクリックし SOF データを割り当ててください。



- ▼ 【Generate】をクリックしてください。

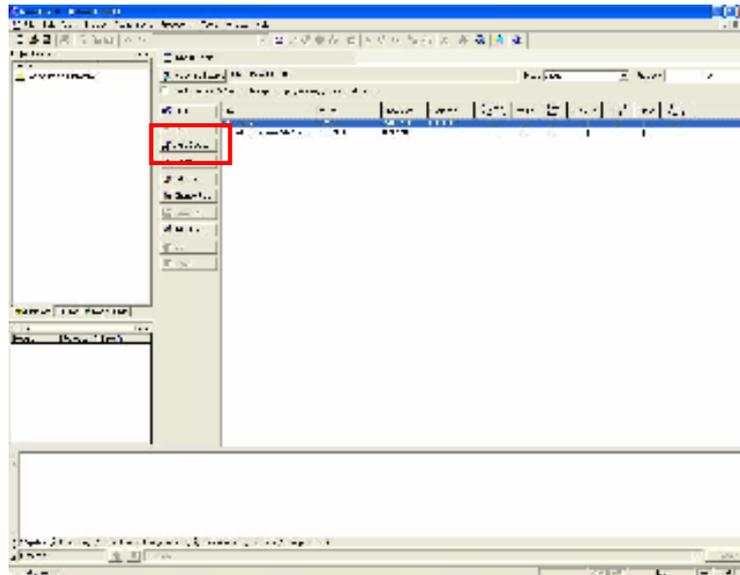


これで. jic ファイルができました。

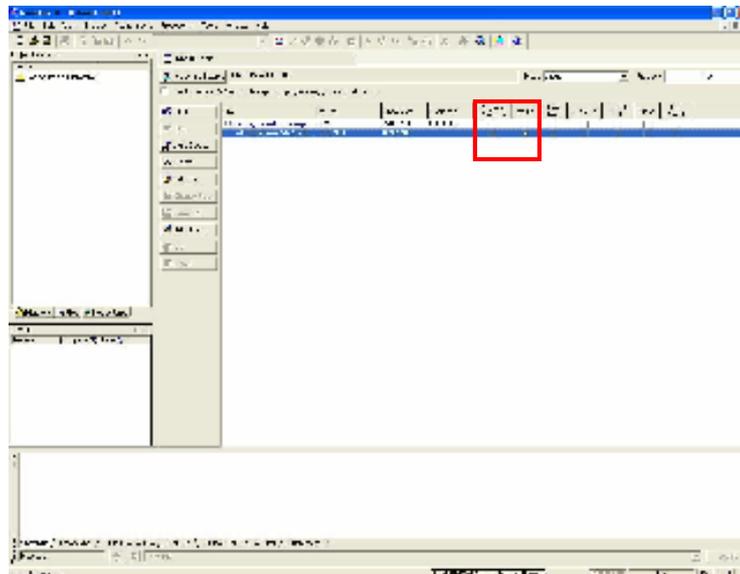
## 6.2. コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし十分に動作の確認をしてから ROM に ISP するようにしてください。

- ▼ 6.1 項で作成した .jic ファイルを使用します【Auto Detect】をクリックし .jic ファイルを指定してください。



- ▼ 【Program/Configure】と【Verify】にチェックをいれ【Start】をクリックしてください。



## 7. ジャンプスイッチの説明

JP1 は FPGA の MSEL0 と MSEL1 を設定します。

(ALTERA 社データシートより)

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

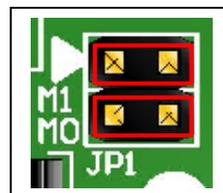
- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V<sub>CCIO</sub> or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

JP1 ——— MSEL0, MSEL1 信号 設定用

JP1	MSEL
1-2	MSEL1
3-4	MSEL0

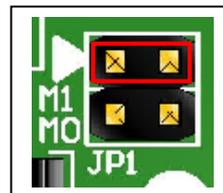
ROM 使用時(出荷時) : JP1 (1-2 間:ショート 3-4 間:ショート)

MSEL1 = 0  
MSEL0 = 0



JTAG 使用時 : JP1 (1-2 間:ショート 3-4 間:オープン)

MSEL1 = 0  
MSEL0 = 1



出荷時は JTAG 使用時の設定になっています。

## 8. ピン割付表

### 8.1. CNA

BANK	NET LABEL	FPGA ピン#	CNA ピン#		FPGA ピン#	NET LABEL	BANK
	V33_A	3.3V	1	2	3.3V	V33_A	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
A	IOA0	A10	7	8	B10	IOA1	A
A	IOA2	A9	9	10	B9	IOA3	A
A	IOA4	A8	11	12	B8	IOA5	A
A	IOA6	A7	13	14	B7	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	A6	17	18	B6	IOA9	A
A	IOA10	A5	19	20	B5	IOA11	A
A	IOA12	A4	21	22	B4	IOA13	A
A	IOA14	B3	23	24	B2	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	D2	27	28	D1	IOA17	A
A	IOA18	E2	29	30	E1	IOA19	A
A	IOA20	F2	31	32	F1	IOA21	A
A	IOA22	G2	33	34	G1	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	H2	37	38	H1	IOA25	A
A	IOA26	J2	39	40	J1	IOA27	A
A	IOA28	K2	41	42	K1	IOA29	A
A	IOA30	L2	43	44	L3	IOA31	A
A	GND	GND	45	46	GND	GND	
A	IOA32	U1	47	48	U2	IOA33	A
A	IOA34	V1	49	50	V2	IOA35	A
A	IOA36	W1	51	52	W2	IOA37	A
A	IOA38	AA2	53	54	AA1	IOA39	A
A	GND	GND	55	56	GND	GND	A
A	IOA40	AB2	57	58	AB1	IOA41	A
A	IOA42	AC2	59	60	AC1	IOA43	A
A	IOA44	AB3	61	62	AB4	IOA45	A
A	IOA46	AD3	63	64	AD2	IOA47	A
A	IOA48 *1	AE2	65	66	AE3	IOA49 *2	A

\*1 抵抗を介して CLK0 (FPGA ピン#AE14) に接続

\*2 抵抗を介して CLK1 (FPGA ピン#AF14) に接続

## 8. 2. CNB

BANK	NET LABEL	FPGA ピン#	CNB ピン#		FPGA ピン#	NET LABEL	BANK
	V33_B	3.3V	1	2	3.3V	V33_B	
	電源予約	電源予約	3	4	電源予約	電源予約	
	GND	GND	5	6	GND	GND	
B	IOB0	G13	7	8	F13	IOB1	B
B	IOB2	B14	9	10	A14	IOB3	B
B	IOB4	C15	11	12	B15	IOB5	B
B	IOB6	C16	13	14	B16	IOB7	B
	GND	GND	15	16	GND	GND	
B	IOB8	B17	17	18	A17	IOB9	B
B	IOB10	B18	19	20	A18	IOB11	B
B	IOB12	B19	21	22	A19	IOB13	B
B	IOB14	B20	23	24	A20	IOB15	B
	GND	GND	25	26	GND	GND	
B	IOB16	B21	27	28	A21	IOB17	B
B	IOB18	B22	29	30	A22	IOB19	B
B	IOB20	B23	31	32	A23	IOB21	B
B	IOB22	B25	33	34	B24	IOB23	B
	GND	GND	35	36	GND	GND	
B	IOB24	C25	37	38	C24	IOB25	B
B	IOB26	D26	39	40	D25	IOB27	B
B	IOB28	E26	41	42	E25	IOB29	B
B	IOB30	F26	43	44	F25	IOB31	B
B	GND	GND	45	46	GND	GND	B
B	IOB32	G26	47	48	G25	IOB33	B
B	IOB34	H26	49	50	H25	IOB35	B
B	IOB36	J26	51	52	J25	IOB37	B
B	IOB38	K26	53	54	K25	IOB39	B
B	GND	GND	55	56	GND	GND	B
B	IOB40	M19	57	58	M20	IOB41	B
B	IOB42	M23	59	60	M22	IOB43	B
B	IOB44	L25	61	62	L24	IOB45	B
B	IOB46	M25	63	64	M24	IOB47	B
B	IOB48 *3	N24	65	66	N23	IOB49 *4	B

\*3 抵抗を介して CLK2 (FPGA ピン#A13 #N25 #N26) に接続

\*4 抵抗を介して CLK3 (FPGA ピン#B13 #AC13 #AD13) に接続

### 8.3. オンボード CLK

周波数	NET LABEL	FPGA ピン#
30MHz	CLKA	P25 P26 N1 N2
18.432MHz	CLKB	C13 D13 P1 P2

### 8.4. 外部入力 CLK

クロック	NET LABEL	FPGA ピン#
任意	CLK0	AE14
任意	CLK1	AF14
任意	CLK2	A13 N25 N26
任意	CLK3	B13 AC13 AD13

### 8.5. 汎用 LED

LED	NET LABEL	FPGA ピン#
LED3	UIO2	AF7
LED4	UIO3	AF6

### 8.6. 汎用スイッチ

SW	NET LABEL	FPGA ピン#
SW1	UIO1	AF5
SW2	UIO0	AF4

## 8. 7. FLASH MEMORY

FLASH MEMORY ピン#	NET LABEL	FPGA ピン#
45	FL_A0	U22
25	FL_A1	AD24
7	FL_A10	AB25
6	FL_A11	AB26
5	FL_A12	AC25
4	FL_A13	AC26
3	FL_A14	AD25
2	FL_A15	AE25
1	FL_A16	AE24
48	FL_A17	U23
17	FL_A18	U26
16	FL_A19	V25
24	FL_A2	P23
9	FL_A20	AA25
10	FL_A21	Y26
23	FL_A3	P24
22	FL_A4	R24
21	FL_A5	R25
20	FL_A6	T24
19	FL_A7	T25
18	FL_A8	U25
8	FL_A9	AA26
47	FL_BYTEN	T23
26	FL_CEN	AB24
29	FL_D0	AC23
31	FL_D1	AA23
33	FL_D2	W23
35	FL_D3	W21
38	FL_D4	V21
40	FL_D5	U20
42	FL_D6	T20
44	FL_D7	T22
28	FL_OEN	AA24
30	FL_OPT0	AB23
32	FL_OPT1	Y22
34	FL_OPT3	Y21
36	FL_OPT4	V22
39	FL_OPT5	V20
41	FL_OPT6	U21
43	FL_OPT7	T21
14	FL_WP_ACC	W25
15	FL_OPT2	V26
12	FL_RSTN	W26
11	FL_WEN	Y25

## 8. 8. FRAM

FRAM ピン#	NET LABEL	FPGA ピン#
20	FRAMCEN	AE20
10	FRAM_A0	AC17
9	FRAM_A1	AD17
21	FRAM_A10	AF20
23	FRAM_A11	AE21
2	FRAM_A12	AC22
26	FRAM_A13	AF23
1	FRAM_A14	AD22
8	FRAM_A2	AC18
7	FRAM_A3	AC19
6	FRAM_A4	AD19
5	FRAM_A5	AC20
4	FRAM_A6	AC21
3	FRAM_A7	AD21
25	FRAM_A8	AE22
24	FRAM_A9	AF22
11	FRAM_D0	AD16
12	FRAM_D1	AC16
13	FRAM_D2	AE15
15	FRAM_D3	AF17
16	FRAM_D4	AE18
17	FRAM_D5	AF18
18	FRAM_D6	AE19
19	FRAM_D7	AF19
22	FRAM_OEN	AF21
27	FRAM_WEN	AE23

## 8. 9. その他

NET LABEL	FPGA ピン#
D_RXD	B11
D_TXD	C11

NET LABEL	FPGA ピン#
TP1	D23
TP2	E22
TP3	H23
TP4	H24

NET LABEL	FPGA ピン#
P1	F20
P2	F21
P3	E5
P4	F6

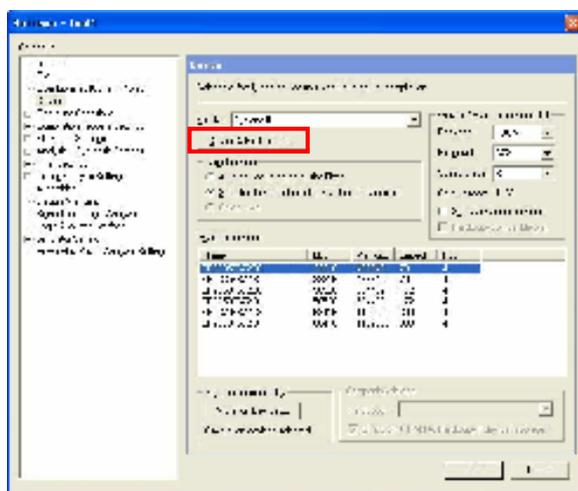
## 9. Dual-Purpose Pin の設定

下記のピンは nCEO に割り付けられています。

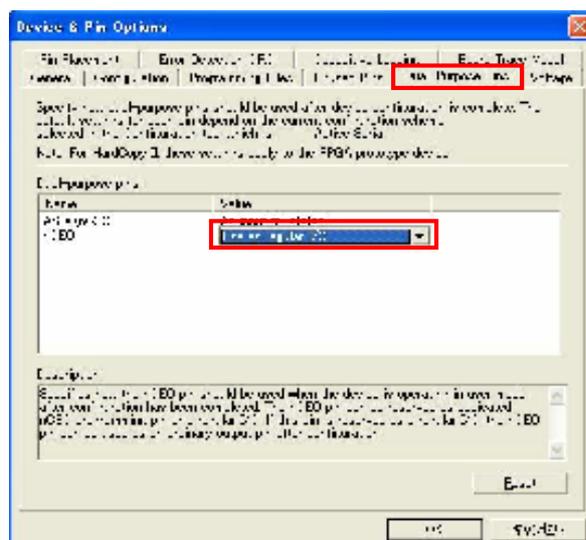
FLASH MEMORY ピン#	NET LABEL	FPGA ピン#
1	FL_A16	AE24

このピンを I/O に設定しないと使用することが出来ません。  
以下に I/O に設定する方法を示します。

- ▼ Quartus II の【Assignments】のタブにある【Device...】を開きます。  
【Device & Pin Options...】をクリックしてください。



- ▼ 次に【Dual-Purpose Pins】のタブを開き nCEO の設定を【Use as regular I/O】に設定してください。



これで nCEO を I/O として使用することが可能になりました。

## 10. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-016/index.html>

- 回路図
  - ピン割付表
  - 基板図
  - ネットリスト
- ...等

また下記サポートページも合わせてご活用ください。

[http://www.hdl.co.jp/support\\_c.html](http://www.hdl.co.jp/support_c.html)

## 11. 付属資料

1. 基板回路図（別紙）
2. 外形図



---

## Cyclone II ブレッドボード ACM-016 シリーズ

### ユーザーズマニュアル

---

2007/08/29 Ver.1.0(初版)  
2008/03/11 Ver.1.1(第2版)  
2008/08/06 Ver.1.2(第3版)

2010/04/19 Ver.1.3

---

### 有限会社ヒューマンデータ

〒567-0034  
大阪府茨木市中穂積1-2-10  
ジブラルタ生命茨木ビル  
TEL : 072-620-2002  
FAX : 072-620-2003  
URL : <http://www.hdl.co.jp/>

---