

HUMANDATA



Cyclone ブレッドボード
ACM-015 シリーズ
ユーザーズマニュアル
第2版

ヒューマンデータ

目次



はじめに	1
ご注意	1
1. 製品の内容について	2
2. 仕様	2
3. 製品概要	3
3.1. 各部の名称	3
3.2. ブロック図	4
3.3. 電源入力	4
3.4. JTAG コネクタ	5
3.5. AS コネクタ	6
4. FPGA のコンフィギュレーション	7
5. コンフィギュレーション ROM に ISP(書込み)	9
6. ジャンプスイッチの説明	10
7. ピン割付表	11
7.1. CNA	11
7.2. CNB	12
7.3. CLK	13
7.4. 外部入力 CLK	13
8. Dual-Purpose Pins の設定	14
9. 固定ピンについて【重要】	15
10. 外形寸法図	16
11. ACM-015 シリーズ 参考資料について	16
12. 付属資料	16

はじめに

この度は、Cyclone ブレッドボード / ACM-015 シリーズをお買い上げいただきまして誠にありがとうございます。

ACM-015 シリーズは、アルテラ社の高性能 FPGA である Cyclone を用いた評価用ボードで、電源回路、リセット回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご活用ください。

ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全の記して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

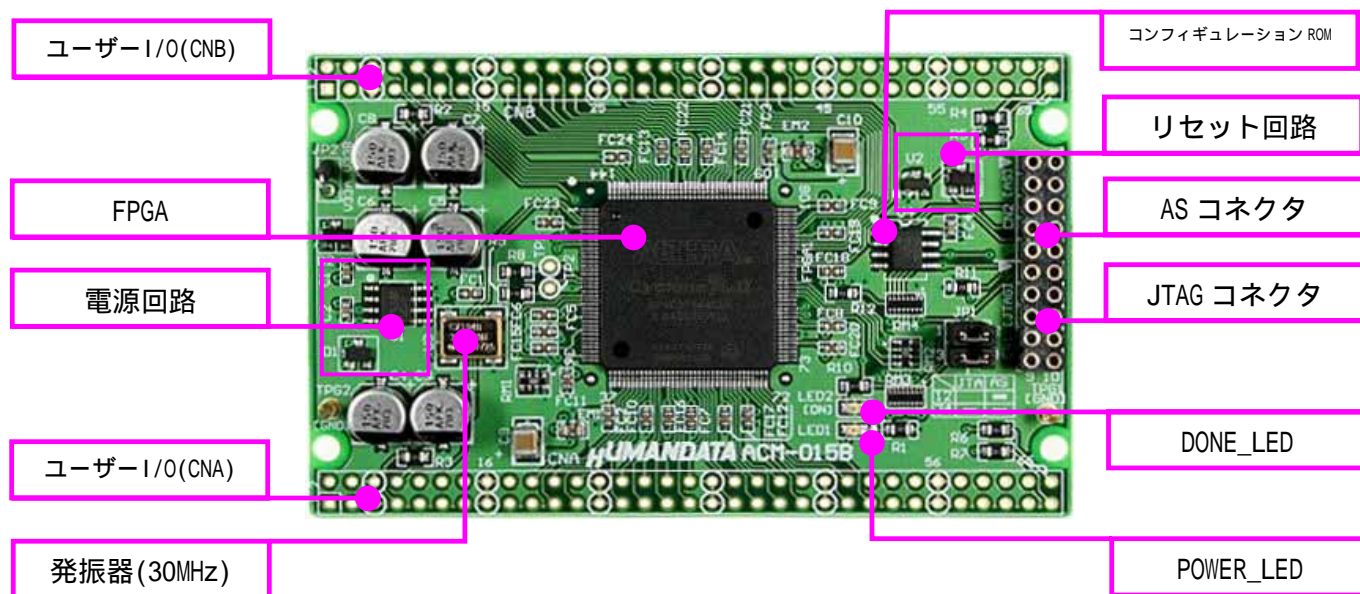
FPGA ブレッドボード ACM-015 シリーズ	1
付属品	1
マニュアル (本書)	1
ユーザー登録はがき	1

2. 仕様

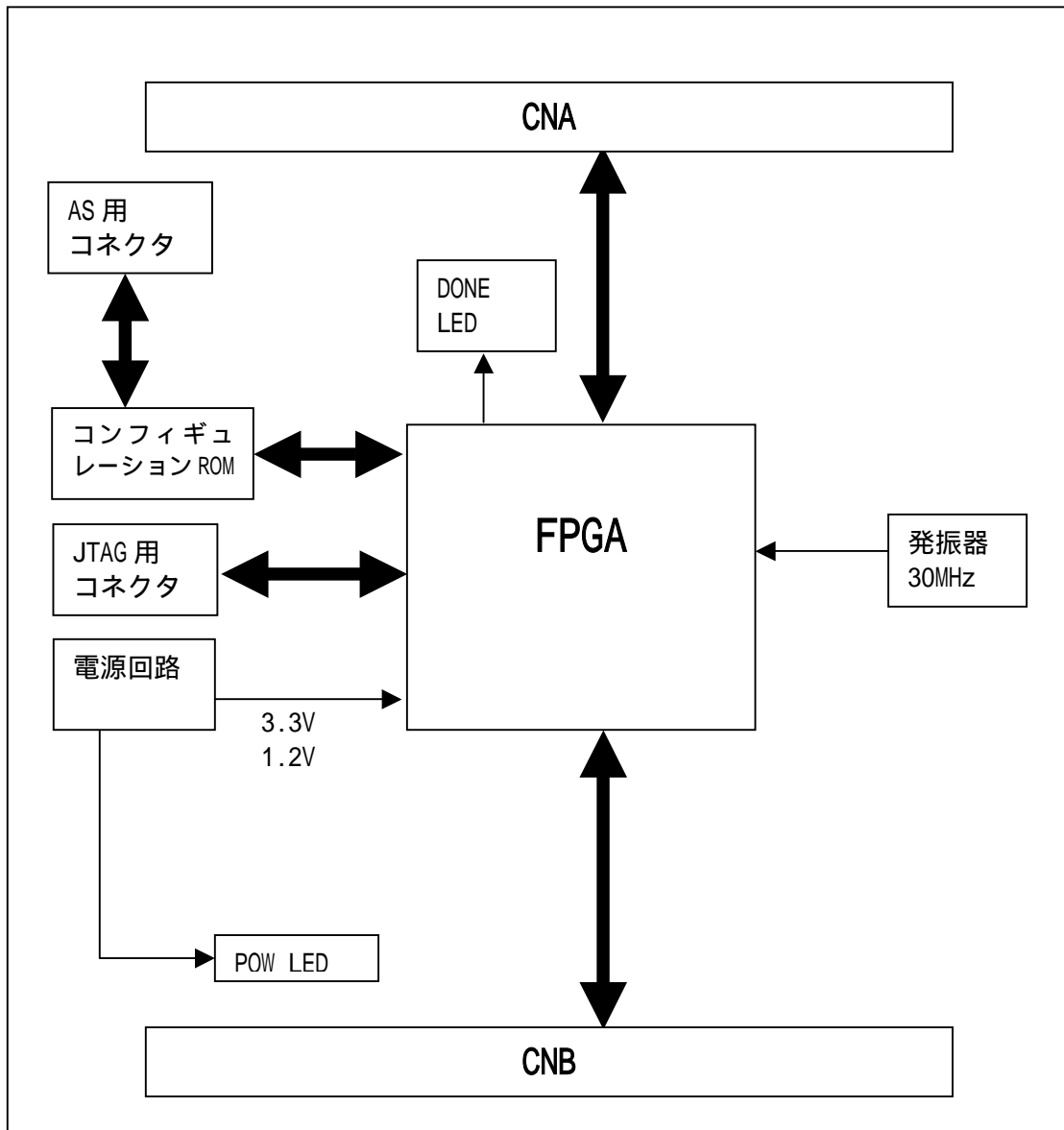
製品型番	ACM-015-5	ACM-015-8
搭載 FPGA	EP2C5T144C8N	EP2C8T144C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
外形寸法	86X54 [mm]	
重量	約 23 [g]	
ユーザ I/O	75 本	
I/O コネクタ	66 ピンスルーホール 0.9[mm]×2 組 2.54mm ピッチ	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィグレーション ROM	EPCS4SI8N (ALTERA)	
クロック	オンボード 30MHz、外部供給可能	
リセット回路	内蔵 (240ms TYP)	
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ	
AS コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER-LED DONE-LED)	
付属品	DIP80 ピンヘッダ 2 個 (任意にカット可能)	
	ジャンパソケット 2 個 (本体に取り付け済み) + 2 個(予備)	
	DIP10 ピンヘッダ 1 個 (本体に取り付け済み)	

3. 製品概要

3.1. 各部の名称



3.2. ブロック図



3.3. 電源入力

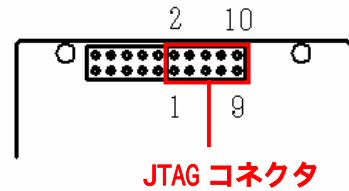
本ボードは、DC 3.3V 単一電源で動作します。
外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。



電源は CNA、CNB から**太い配線**で供給してください。
GND はすべての PIN に接続してください。

3.4. JTAG コネクタ

FPGA へのコンフィギュレーション時に
使用します。
ピン配置は次表のとおりです。



CN1

回路図上信号名	ダウンロードケーブル 信号名	ピン番 号	ピン番 号	ダウンロードケーブル 信号名	回路図上信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC(3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

弊社製ダウンロードケーブル B L 3、B L K I T の 10 ピンコネクタと 1 : 1
で対応しています。

ALTERA 社の純正ケーブルを用いることもできます。

また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッ
ダをご利用できます

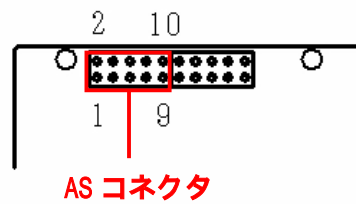


注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

3.5. AS コネクタ

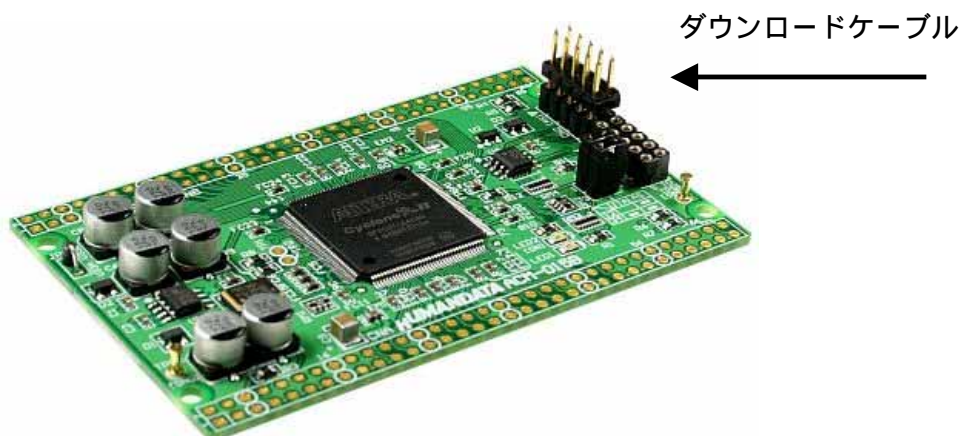
コンフィギュレーション ROM (EPCS) への ISP (In System Programming) 時に使用します。
ピン配置は次表のとおりです。



CN2

回路図上信号名	ダウンロードケーブル信号名	ピン番号	ピン番号	ダウンロードケーブル信号名	回路図上信号名
XDCLK	DCLK	1	2	GND	GND
XCONFDONE	CONF_DONE	3	4	VCC(3.3V)	VCC(3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATAO	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

弊社製ダウンロードケーブル B L 3、B L K I T の 10 ピンコネクタと 1 : 1 で対応しています。
ALTERA 社の純正ケーブルを用いることもできます。
また、ダウンロードケーブルと本品との接続には付属品 DIP10 ピンヘッドをご利用できます



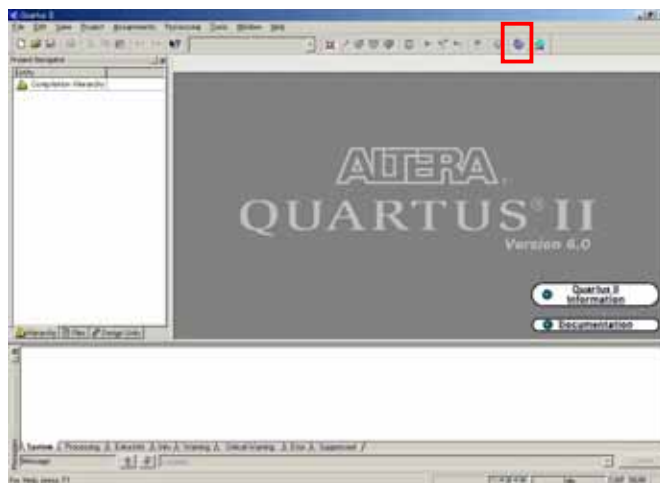
注意

ダウンロードケーブルを接続する場合、逆差しにご注意ください

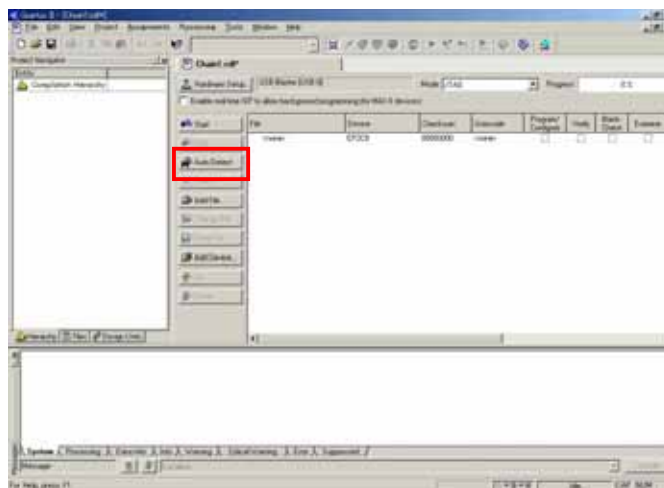
4. FPGA のコンフィギュレーション

FPGA にコンフィギュレーションする方法を下記に示します。

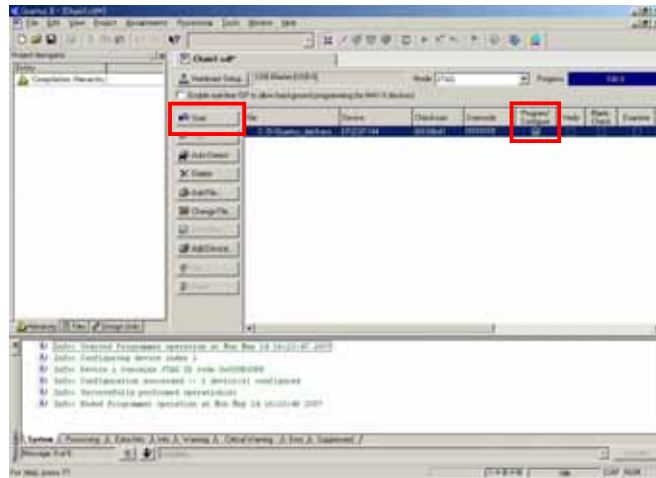
Quartus を起動し【Programmer】をクリックします。



【Auto Detect】をクリックします。
ファイル名が【none】になっているので【none】をダブルクリックし
コンフィギュレーションするファイルを指定します。(sof ファイル)



【Program/Configure】にチェックを入れ【Start】をクリックします。

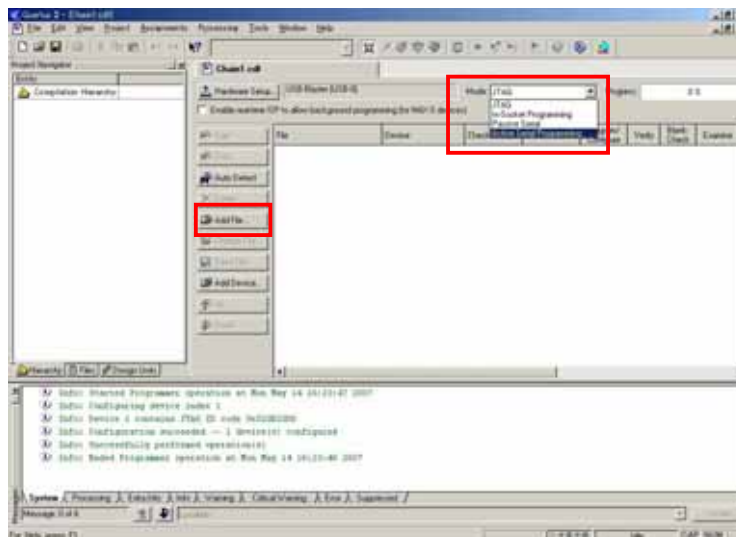


正常にコンフィギュレーションが出来れば ACM-015 のボード上の LED2 が点灯します。

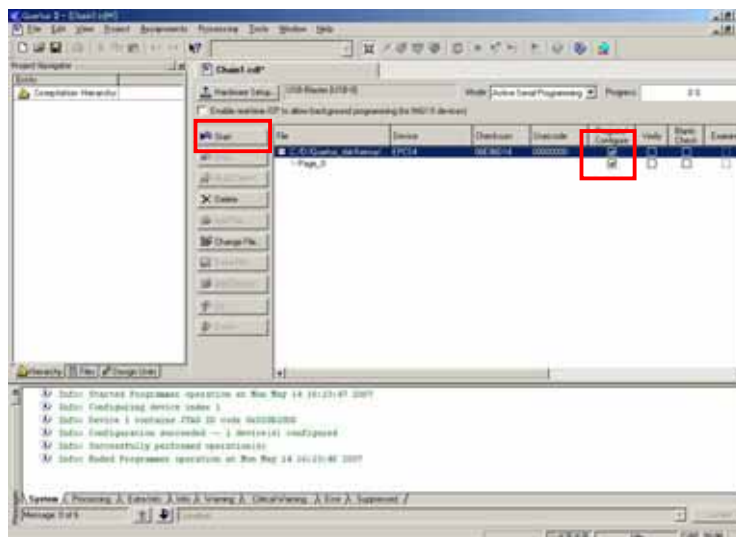
5. コンフィギュレーション ROM に ISP(書込み)

FPGA にコンフィギュレーションし動作の確認をしてから ROM に ISP してください。

- ▼ 【Mode】から【Active Serial Programming】を選択します。
【Add File】をクリックし、ISP するファイルを指定します。(pof ファイル)



【Program/Configure】にチェックをいれ【Start】をクリックしてください。



6. ジャンパススイッチの説明

JP1 は FPGA の MSEL0 と MSEL1 を設定します。

(ALTERA 社データシートより)

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

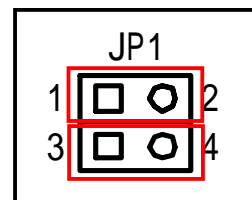
- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

JP1 MSEL0, MSEL1 信号 設定用

JP1	MSEL
1-2	MSEL0
3-4	MSEL1

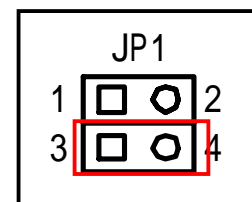
ROM 使用時(出荷時) : JP1 (1-2 間:ショート 3-4 間:ショート)

MSEL0 = 0
MSEL1 = 0



JTAG 使用時 : JP1 (1-2 間:オープン 3-4 間:ショート)

MSEL0 = 1
MSEL1 = 0



メモ

出荷時は ROM 使用時の設定になっています。

7. ピン割付表

7.1. CNA

BANK	NET LABEL	FPGA pin #	コネクタ pin #		FPGA pin #	NET LABEL	BANK
	V33	3.3V	1	2	3.3V	V33	
	-	電源予約	3	4	電源予約	-	
	GND	GND	5	6	GND	GND	
A	IOA0	3	7	8	4/88	IOA1/CLK-H*1	A/B
A	IOA2	7	9	10	8	IOA3	A
A	IOA4	9	11	12	24	IOA5	A
A	IOA6	25	13	14	28	IOA7	A
	GND	GND	15	16	GND	GND	
A	IOA8	30	17	18	31	IOA9	A
A	IOA10	32	19	20	40	IOA11	A
A	IOA12	41	21	22	42	IOA13	A
A	IOA14	43	23	24	44	IOA15	A
	GND	GND	25	26	GND	GND	
A	IOA16	45	27	28	47	IOA17	A
A	IOA18	48	29	30	51	IOA19	A
A	IOA20	52	31	32	53	IOA21	A
A	IOA22	55	33	34	57	IOA23	A
	GND	GND	35	36	GND	GND	
A	IOA24	58	37	38	59	IOA25	A
A	IOA26	60	39	40	63	IOA27	A
A	IOA28	64	41	42	65	IOA29	A
A	IOA30	67	43	44	69	IOA31	A
	GND	GND	45	46	GND	GND	
A	IOA32	70	47	48	71	IOA33	A
A	IOA34	72	49	50	N.C	N.C	
	N.C	N.C	51	52	N.C	N.C	
	N.C	N.C	53	54	N.C	N.C	
	GND	GND	55	56	GND	GND	
	N.C	N.C	57	58	N.C	N.C	
	N.C	N.C	59	60	N.C	N.C	
	N.C	N.C	61	62	N.C	N.C	
	N.C	N.C	63	64	N.C	N.C	
A	CLK-C *2	21	65	66	22	CLK-D *3	A

*1CLK-H は抵抗を介して FPGA pin# 88 に接続

*2:抵抗を介して FPGA pin# 21 に接続

*3:抵抗を介して FPGA pin# 22 に接続

7.2. CNB

BANK	NET LABEL	FPGA pin #	コネクタ pin #		FPGA pin #	NET LABEL	BANK
	V33	3.3V	1	2	3.3V	V33	
	-	電源予約	3	4	電源予約	-	
	GND	GND	5	6	GND	GND	
B/B	IOB1/CLK-G *5	144/89	7	8	143	IOB1	B
B	IOB2	142	9	10	141	IOB3	B
B	IOB3	139	11	12	137	IOB5	B
B	IOB4	136	13	14	135	IOB7	B
	GND	GND	15	16	GND	GND	
B	IOB8	134	17	18	133	IOB9	B
B	IOB10	132	19	20	129	IOB11	B
B	IOB12	126	21	22	125	IOB13	B
B	IOB14	122	23	24	121	IOB15	B
	GND	GND	25	26	GND	GND	
B	IOB16	120	27	28	119	IOB17	B
B	IOB18	118	29	30	115	IOB19	B
B	IOB20	114	31	32	113	IOB21	B
B	IOB22	112	33	34	104	IOB23	B
	GND	GND	35	36	GND	GND	
B	IOB24	103	37	38	101	IOB25	B
B	IOB26	100	39	40	99	IOB27	B
B	IOB28	97	41	42	96	IOB29	B
B	IOB30	94	43	44	93	IOB31	B
	GND	GND	45	46	GND	GND	
B	IOB32	92	47	48	87	IOB33	B
B	IOB34	86	49	50	79	IOB35	B
B	IOB36	73	51	52	74	IOB37	B
B	IOB38	75	53	54	76	IOB39 *4	B
	GND	GND	55	56	GND	GND	
	N.C	N.C	57	58	N.C	N.C	
	N.C	N.C	59	60	N.C	N.C	
	N.C	N.C	61	62	N.C	N.C	
	N.C	N.C	63	64	N.C	N.C	
B	CLK-E *6	91	65	66	90	CLK-F *7	B

*4:IOB39 は nCEO に割り付けられています。I/O に設定しないと使用することができません。I/O に設定する方法は「Dual-Purpose Pin の設定」のページをご覧ください。

*5:CLK-G は抵抗を介して FPGA pin# 89 に接続

*6:抵抗を介して FPGA pin# 91 に接続

*7:抵抗を介して FPGA pin# 90 に接続

7.3. CLK

内部 CLK

クロック	NET LABEL	FPGA ピン#
オンボード 30M	CLK-A	17
オンボード 30M	CLK-B	18

7.4. 外部入力 CLK

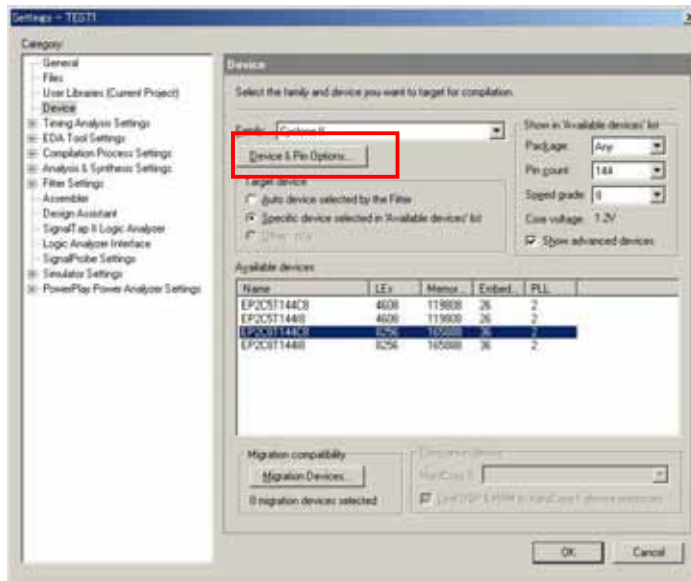
外部 CLK

クロック	NET LABEL	FPGA ピン#
	CLK-C	21
	CLK-D	22
	CLK-E	91
	CLK-F	90

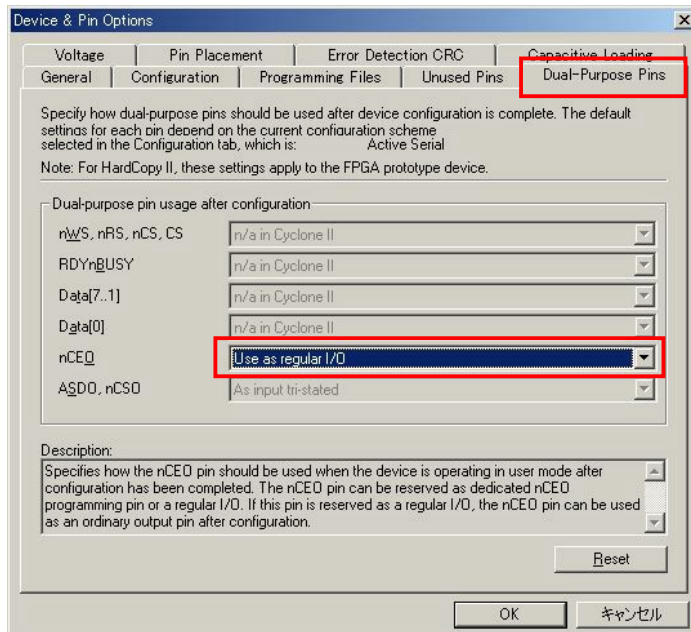
8. Dual-Purpose Pins の設定

IOB39 は nCEO に割り付けられています。
このピンを I/O に設定しないと使用することが出来ません。
以下に I/O に設定する方法を示します。

Quartus の [Assinments] のタブにある [Device...]を開きます。
[Device & Pin Options...]をクリックしてください。



次に【Dual -Purpose Pins】のタブを開き nCEO の設定を
[Use as regular I/O] に設定してください



これで nCEO を I/O として使用することが可能になりました。

9. 固定ピンについて【重要】

本ボードでは、下記のピンが GND または VCCINT(1.2V) に固定されています。
デバイスによっては、ダミー入力として他に使わないようにする必要があります。

EP2C8 では GND や VCCINT になっているものの、より小さなデバイスでは I/O
として割り付けられています。

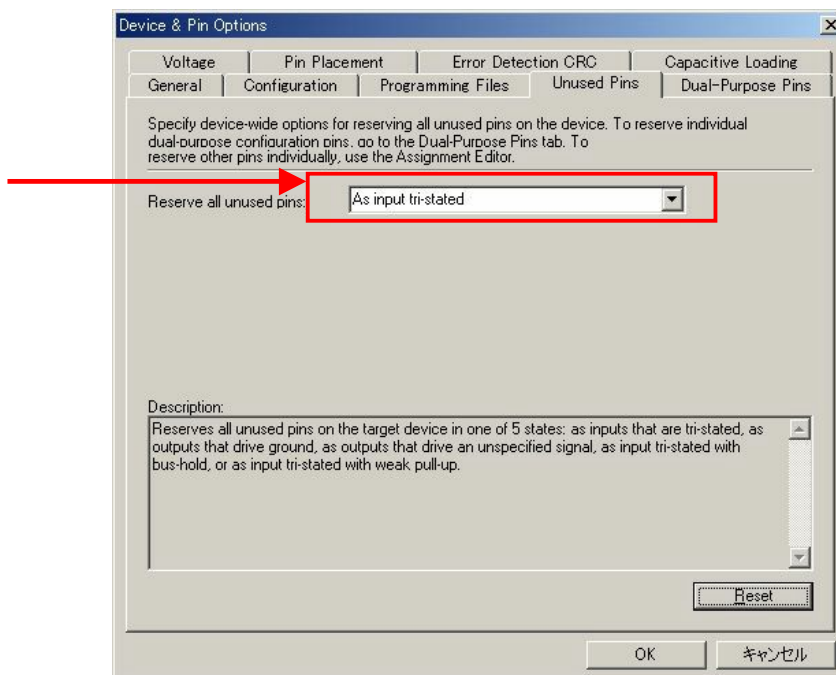
固定ピン一覧

GND
27,80
VCCINT
26,81

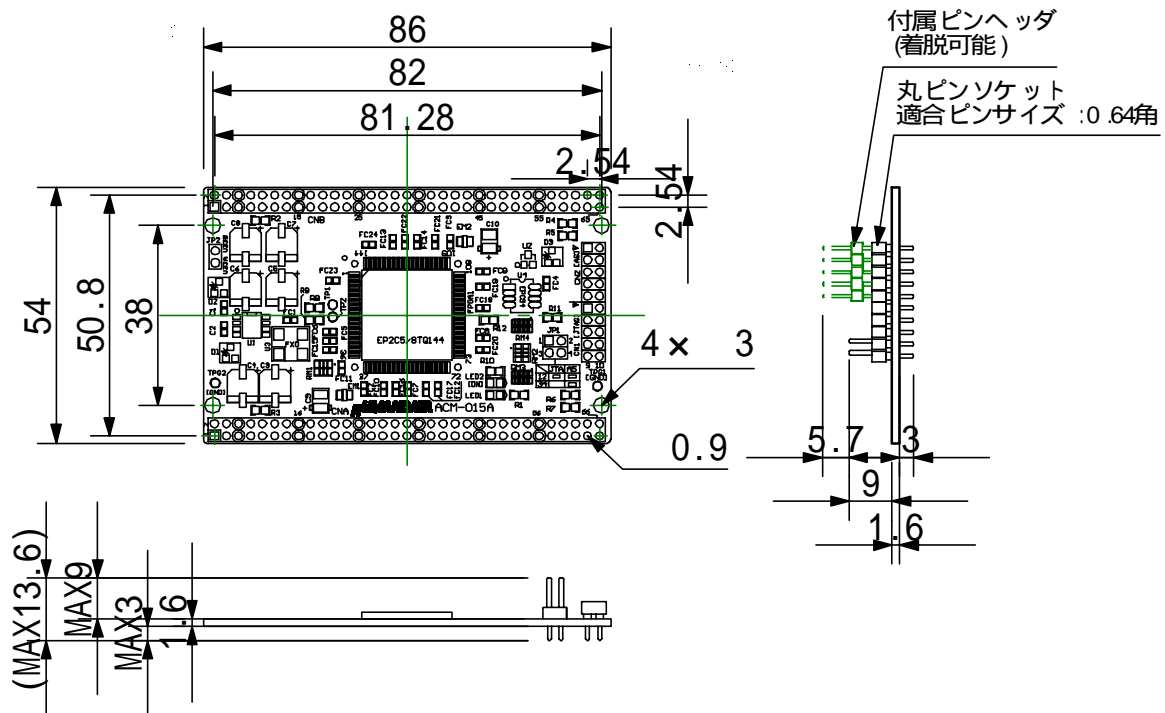
ダミー入力とする方法によらず未使用ピンを全て入力とすることもできます。

Quartus II の Device Option により設定できます。

[Assignments] [Device] [Device&Pin Options] [Unused Pins]
[As inputs tri-stated] に設定してください。



10. 外形寸法図



11. ACM-015 シリーズ 参考資料について

追加資料や参考資料がつけられた場合は
製品サポートページ

http://www.hdl.co.jp/support_c.html
にデータをアップロードすることいたします。

ときどきチェックしていただき必要に応じてご利用くださいませ。

12. 付属資料

1. 回路図

Cyclone ブレッドボード
ACM-015 シリーズ
ユーザーズマニュアル

2007/05/21 (初版)
2007/11/19 (第2版)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
ジブラルタ生命茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
