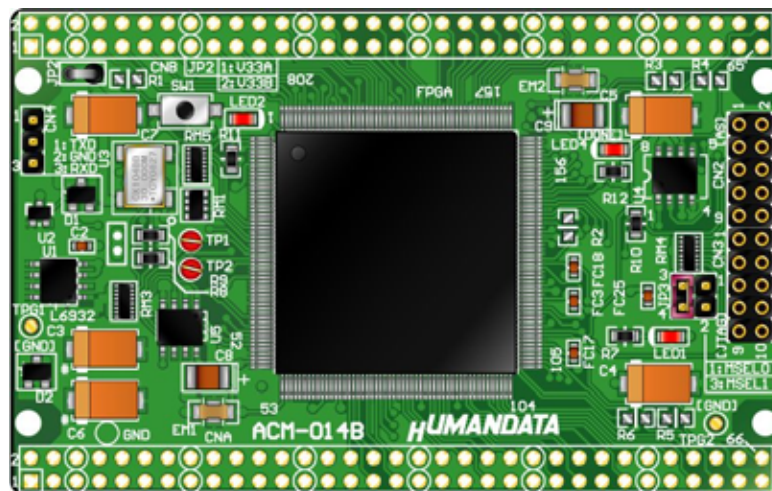


Cyclone ブレッドボード
ACM-014 シリーズ (Rev2)
ユーザーズマニュアル
Ver.2.3



目次


● はじめに.....	1
● ご注意.....	1
● 改訂記録.....	1
1. 製品の内容について.....	2
2. 仕様.....	2
3. 製品概要.....	3
3.1. 各部の名称.....	3
3.2. ブロック図.....	4
3.3. 電源入力.....	4
3.4. JTAG コネクタ.....	5
3.5. AS コネクタ.....	5
3.6. 汎用シリアルコネクタ.....	5
3.7. ジャンプスイッチ.....	6
3.8. SRAM 切り離し方法.....	7
4. ピン割付表.....	7
4.1. ユーザ I/O (CNA).....	7
4.2. ユーザ I/O (CNB).....	8
4.3. FLASH-ROM.....	8
4.4. SRAM.....	9
4.5. 汎用 LED.....	9
4.6. 汎用スイッチ.....	9
4.7. 汎用シリアルコネクタ.....	9
5. サポートページ.....	10
6. 付属資料.....	10


● はじめに

この度は、Cyclone ブレッドボード / ACM-014 シリーズをお買い上げいただきまして誠にありがとうございます。
 ございます。

ACM-014 シリーズは、アルテラ社の高性能 FPGA である Cyclone を用いた評価用ボードで、クロック回路、JTAG コネクタなどを装備した、使いやすいボードになっています。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電源を加えないでください。

 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2012/02/27	2.3	・SRAM ディスコンのため型番変更 (CY62256VLL-70ZXC CY62256VNLL-70ZXC)

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら弊社宛にご連絡ください。

FPGA ブレッドボード ACM-014 シリーズ	1
付属品	1
マニュアル(本書)	1 *
ユーザ登録はがき	1 *

* オーダー毎に各 1 部の場合があります。(ご要望により追加請求できます)

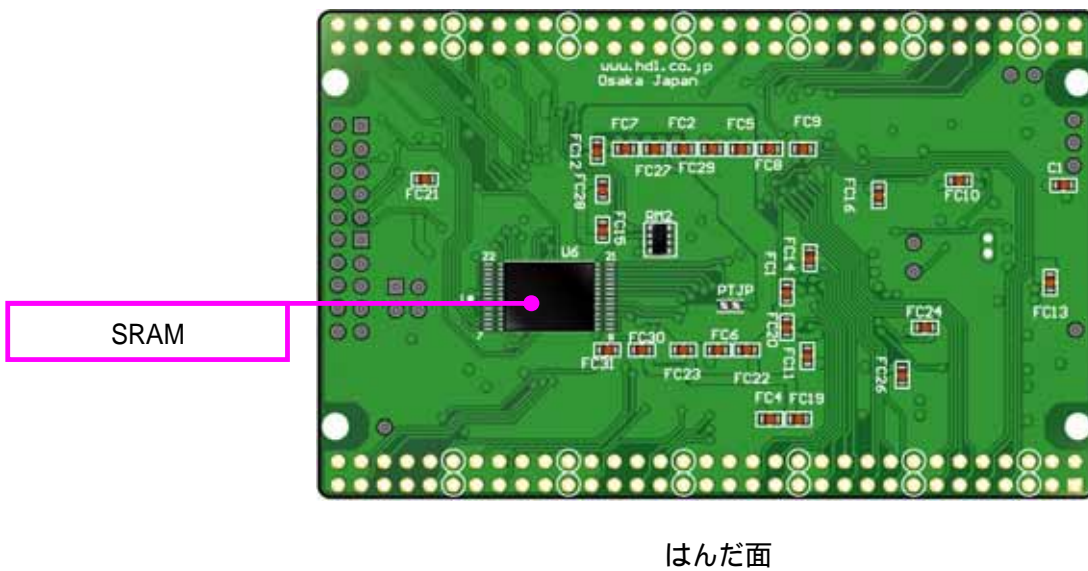
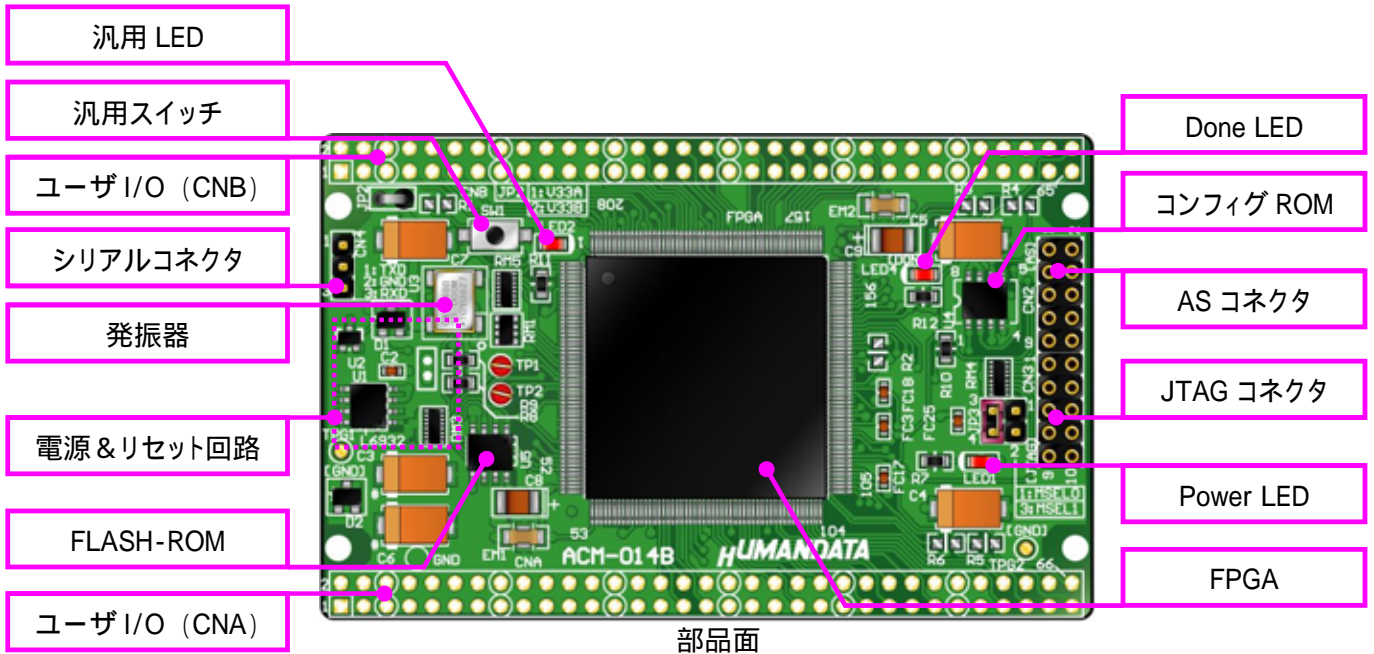
2. 仕様

製品型番	ACM-014-5	ACM-014-8
搭載 FPGA	EP2C5QQ208C8N	EP2C8QQ208C8N
電源	DC 3.3V (内部電源はオンボードレギュレータにより生成)	
消費電流	N/A (詳細は FPGA データシートご参照)	
基板寸法	86 × 54 [mm]	
質量	約 28 [g]	
ユーザ I/O	100 本 (一部 SRAM アドレスと共用)	
プリント基板	ガラスエポキシ 4 層基板 1.6t	
コンフィグ ROM	EPCS4SI8N (ALTERA, 4Mbit)	
SRAM	CY62256VNULL-70ZXC (CYPRESS, 256Kbit)	
シリアル FLASH-ROM	M25P40-VMN6P (ST)	
オンボードクロック	30MHz (外部供給可能)	
リセット回路	内蔵 (240ms TYP)	
JTAG コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ	
AS コネクタ	DIP10 ピン 丸ピンソケット 2.54mm ピッチ	
ステータス LED	2 個 (POWER、DONE)	
汎用 LED	1 個	
汎用スイッチ	1 個	
付属品	DIL10 ロングピンヘッダ(本体に取付け済み) x1 DIL80 ロングピンヘッダ(任意にカット可能) x2 ジャンパソケット x2	

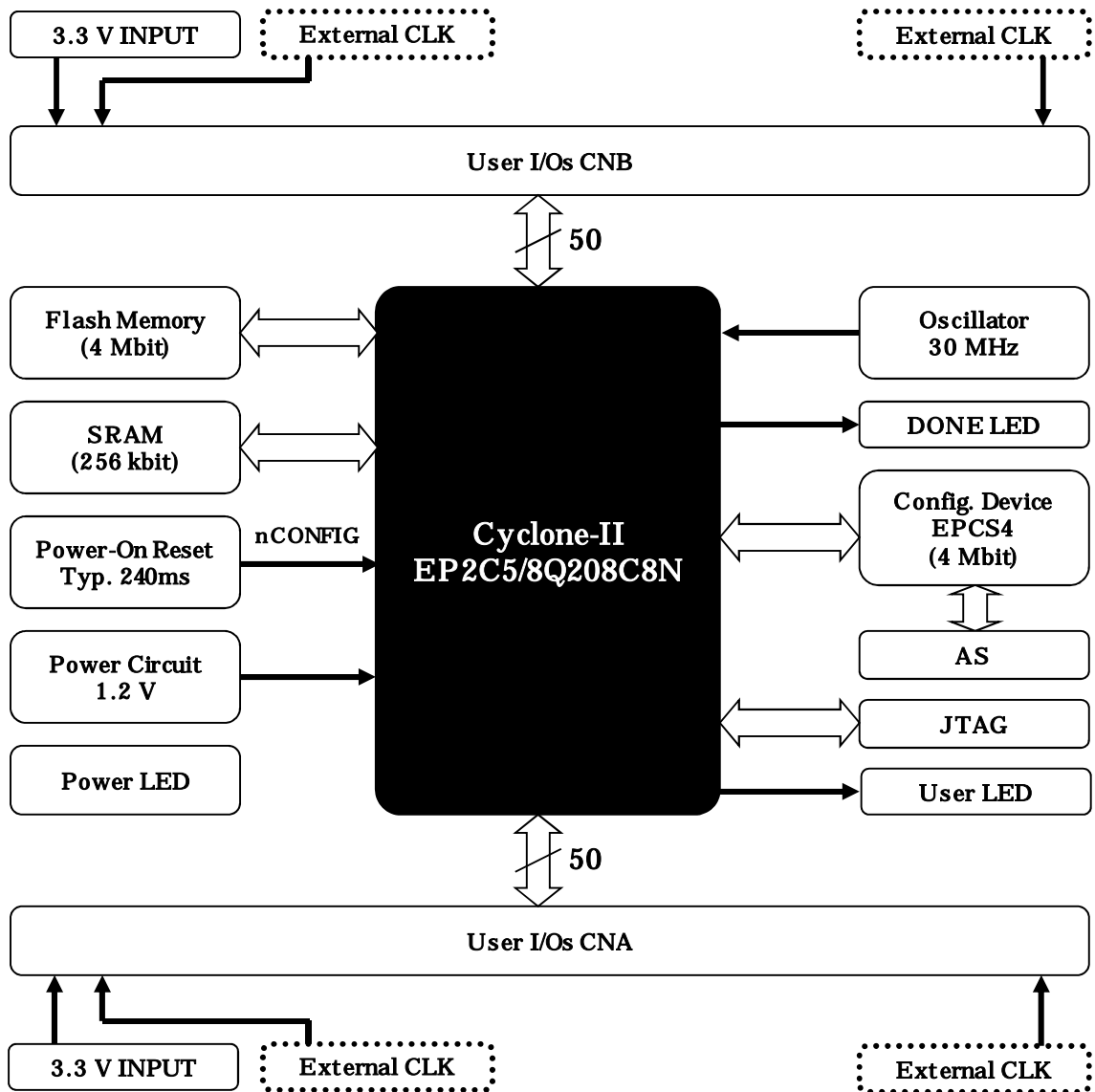
* これらの部品や仕様は変更となる場合がございます

3. 製品概要

3.1. 各部の名称



3.2. ブロック図



3.3. 電源入力

本ボードは、DC 3.3V単一電源で動作します。
 外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。電源は CNA、CNB から供給してください。

3.4. JTAG コネクタ

FPGA へのコンフィグレーション時に使用します。ピン配置は次表のとおりです。

CN3

回路図上 信号名	ダウンロード ケーブル信号名	ピン番号		ダウンロード ケーブル信号名	回路図上 信号名
XTCK	TCK	1	2	GND	GND
XTDO	TDO	3	4	VCC(3.3V)	V33A
XTMS	TMS	5	6	-	-
-	-	7	8	-	-
XTDI	TDI	9	10	GND	GND

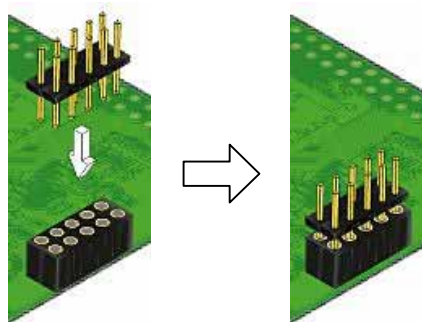
3.5. AS コネクタ

コンフィグレーション ROM への ISP (In System Programming) 時に使用します
ピン配置は次表のとおりです。

CN2

回路図上 信号名	ダウンロード ケーブル信号名	ピン番号		ダウンロード ケーブル信号名	回路図上 信号名
XDCLK	DCLK	1	2	GND	GND
XCONF_DONE	CONF_DONE	3	4	VCC(3.3V)	VCC(3.3V)
XNCONFIG	nCONFIG	5	6	nCE	nCE
XDATAO	DATAOUT	7	8	nCS	nCS
X_ASDO	ASDI	9	10	GND	GND

ダウンロードケーブルの接続には、付属のロングピンヘッダをご利用ください(下図参照)。



使用例

3.6. 汎用シリアルコネクタ

CN4

信号名	コネクタピン	FPGA ピン
TXD	1	41
GND	2	
RXD	3	43

汎用シリアルコネクタは、FPGA の出力をそのまま接続してあります。
汎用シリアルとして以外に、汎用入出力として使用する事も出来ます。

3.7. ジャンパスイッチ

Configuration Scheme	MSEL1	MSELO
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz)	1	0
JTAG-based Configuration (1)	(2)	(2)

Notes to Table 13-1:

- (1) JTAG-based configuration takes precedence over other configuration schemes, which means MSEL pin settings are ignored.
- (2) Do not leave the MSEL pins floating; connect them to V_{CCIO} or ground. These pins support the non-JTAG configuration scheme used in production. If you are only using JTAG configuration, you should connect the MSEL pins to ground.

(ALTERA 社データシートより)

JP3 : MSELO, MSEL1 信号 設定用

JP3	MSEL
1-2	MSELO
3-4	MSEL1

ROM 使用時 : JP3 (1-2 間:ショート 3-4 間:ショート)

MSELO = 0
MSEL1 = 0



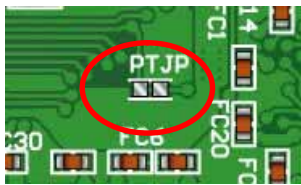
JTAG 使用時(出荷時) : JP3 (1-2 間:オープン 3-4 間:ショート)

MSELO = 1
MSEL1 = 0



本来はどのモードでも JTAG 経由のコンフィグレーションは可能ですが、ROM の内容が不定 (BLANK 含む) の時には、AS モードでのコンフィグレーションが動作中のため、PS モードにすることで安定したコンフィグレーションが可能です。

3.8. SRAM 切り離し方法



SRAM が不要のとき、ハンダ面 PTJP(回路図参照)でカットすることで切り離しが可能です。

SRAM のチップイネーブル(CE)を High に固定することができます。FPGA 142 番ピンからも制御することができます。

4. ピン割付表

4.1. ユーザ I/O (CNA)

備考	NET LABEL	デバイスピン	コネクタピン		デバイスピン	NET LABEL	備考
電源	VIN3	3.3V	1	2	3.3V	VIN3	電源
		N.C	3	4	N.C		
	GND	GND	5	6	GND	GND	
	IOA0	3	7	8	4	IOA1	
	IOA2	5	9	10	6	IOA3	
	IOA4	8	11	12	10	IOA5	
	IOA6	11	13	14	12	IOA7	
	GND	GND	15	16	GND	GND	
	IOA8	13	17	18	14	IOA9	
	IOA10	15	19	20	30	IOA11	
	IOA12	31	21	22	33	IOA13	
	IOA14	34	23	24	35	IOA15	
	GND	GND	25	26	GND	GND	
	IOA16	37	27	28	39	IOA17	
	IOA18	40	29	30	68	IOA19	
	IOA20	69	31	32	70	IOA21	
	IOA22	72	33	34	74	IOA23	
	GND	GND	35	36	GND	GND	
	IOA24	75	37	38	76	IOA25	
	IOA26	77	39	40	80	IOA27	
	IOA28	81	41	42	82	IOA29	
	IOA30	84	43	44	86	IOA31	
	GND	GND	45	46	GND	GND	
	IOA32	87	47	48	88	IOA33	
	IOA34	89	49	50	90	IOA35	
	IOA36	92	51	52	94	IOA37	
	IOA38	95	53	54	96	IOA39	
	GND	GND	55	56	GND	GND	
	IOA40	97	57	58	99	IOA41	
	IOA42	101	59	60	102	IOA43	
	IOA44	103	61	62	105	IOA45	
	IOA46	106	63	64	107	IOA47	
	IOA48	108	65	66	110	IOA49	

4.2. ユーザ I/O (CNB)

備考	NET LABEL	デバイスピン	コネクタピン		デバイスピン	NET LABEL	備考
電源	VIN3	3.3V	1	2	3.3V	VIN3	電源
		N.C	3	4	N.C		
	GND	GND	5	6	GND	GND	
	IOB0	208	7	8	207	IOB1	
	IOB2	206	9	10	205	IOB3	
	IOB4	203	11	12	201	IOB5	
	IOB6	200	13	14	199	IOB7	
	GND	GND	15	16	GND	GND	
	IOB8	198	17	18	197	IOB9	
	IOB10	195	19	20	193	IOB11	
	IOB12	192	21	22	191	IOB13	
	IOB14	189	23	24	188	IOB15	
	GND	GND	25	26	GND	GND	
	IOB16	187	27	28	185	IOB17	
	IOB18	182	29	30	181	IOB19	
	IOB20	180	31	32	179	IOB21	
	IOB22	176	33	34	175	IOB23	
	GND	GND	35	36	GND	GND	
	IOB24	173	37	38	171	IOB25	
	IOB26	170	39	40	169	IOB27	
	IOB28	168	41	42	165	IOB29	
	IOB30	164	43	44	163	IOB31	
	GND	GND	45	46	GND	GND	
	IOB32	162	47	48	161	IOB33	
	IOB34	160	49	50	152	IOB35	
	IOB36	151	51	52	150	IOB37	
	IOB38	149	53	54	147	IOB39	
	GND	GND	55	56	GND	GND	
	IOB40	146	57	58	145	IOB41	
	IOB42	144	59	60	143	IOB43	
	RAMA9	118	61	62	117	RAMA10	
	RAMA11	113	63	64	112	RAMA12	
	RAMA13	114	65	66	115	RAMA14	

:部分は SRAM アドレスと共用

4.3. FLASH-ROM

M25P40-VMN6P

FLASH-ROM ピン	NET LABEL	FPGA ピン
U5-1	SPI_CS	46
U5-2	SPI_SI	47
U5-6	SPI_CK	44
U5-5	SPI_SO	45

4.4. SRAM

CY62256VNLL-70ZXC

SRAM ピン	NET LABEL	FPGA ピン
U6-1	RAMA5	134
U6-2	RAMA6	133
U6-3	RAMA7	128
U6-4	RAMA8	127
U6-5	RAMA9	118
U6-6	RAMA10	117
U6-7	RAMA11	113
U6-8	RAMA12	112
U6-9	RAMA13	114
U6-10	RAMA14	115
U6-11	RAMD0	116
U6-12	RAMD1	67
U6-13	RAMD2	64
U6-14	GND	

SRAM ピン	NET LABEL	FPGA ピン
U6-15	RAMD3	63
U6-16	RAMD4	61
U6-17	RAMD5	60
U6-18	RAMD6	59
U6-19	RAMD7	58
U6-20	RAMCEn	57
U6-21	RAMA0	56
U6-22	RAMOEn	142
U6-23	RAMA1	141
U6-24	RAMA2	139
U6-25	RAMA3	138
U6-26	RAMA4	137
U6-27	RAMWEn	135
U6-28	V33A	

:部分は I/O ピンにも出力されています。(CNB)

4.5. 汎用 LED

LED	NET LABEL	FPGA ピン
LED2	ULED0	48

4.6. 汎用スイッチ

SW	NET LABEL	FPGA ピン
SW1	SW0	104

4.7. 汎用シリアルコネクタ

LED	NET LABEL	FPGA ピン
1	TXD	41
2	GND	-
3	RXD	43

5. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<http://www.hdl.co.jp/ftpdata/acm-014/index.html>
http://www.hdl.co.jp/support_c.html

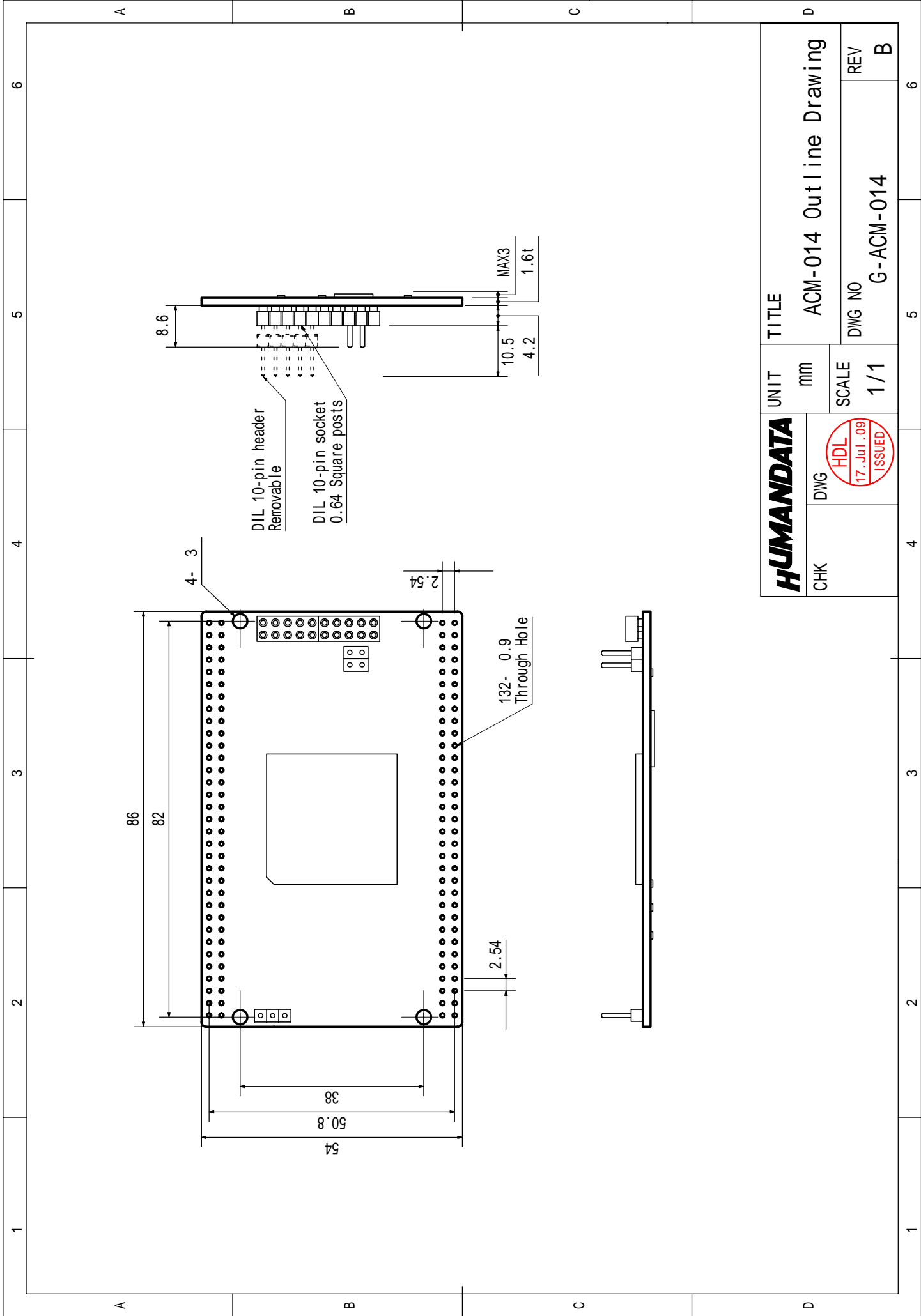
- 回路図
- ピン割付表
- 外形図
- ネットリスト ...等

また下記サポートページも合わせてご活用ください。

<http://www.hdl.co.jp/spc/>

6. 付属資料

1. 基板外形図
2. 基板回路図（別紙）



HUMANDATA		UNIT	TITLE	
CHK	DWG	mm	ACM-014 Outline Drawing	
		SCALE	DWG NO	REV
		1/1	G-ACM-014	B

Cyclone ブレッドボード

ACM-014 シリーズ
ユーザーズマニュアル

2005/11/11 初版
2006/05/26 初版 (A)
2007/04/27 第 2 版 (Rev2)
2007/06/21 第 3 版 (Rev2)
2007/11/12 第 4 版 (Rev2)

2012/02/27 Ver.2.3 (Rev2)

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
ジブラルタ生命茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <http://www.hdl.co.jp/>
