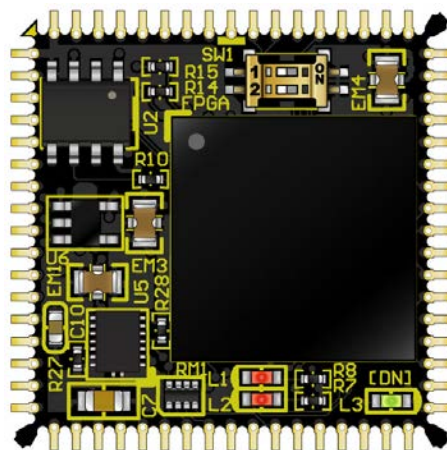




PLCC68 Cyclone 10 LP FPGA モジュール
AP68-09 シリーズ Rev3
ユーザズマニュアル
Ver.3.0



ヒューマンデータ

目 次

● はじめに.....	1
● ご注意	1
● 改訂記録.....	2
1. 開発環境.....	2
2. 仕様.....	2
3. 製品説明.....	3
3.1. 各部名称.....	3
3.2. ピン配置.....	4
3.3. 電源	5
3.4. クロック	5
3.5. 設定スイッチ	5
4. FPGA コンフィギュレーション.....	6
4.1. JTAG 信号	6
4.2. バウンダリスキャン	6
4.3. コンフィグ ROM アクセスファイル（jic ファイル）の作成.....	7
4.4. コンフィグ ROM アクセス.....	8
5. PLCC ソケットへの実装	8
6. サポートページ.....	9
7. お問い合わせについて.....	9



● はじめに

この度は PLCC68 Cyclone 10 LP FPGA モジュール AP68-09 シリーズをお買い上げいただきまして、誠にありがとうございます。

AP68-09 は、Intel (Altera) 社の高性能 FPGA Cyclone 10 LP シリーズを 68 ピン PLCC サイズに変換した FPGA モジュールです。電源回路、クロックなどを装備した、使いやすいモジュールになっています。

ディップタイプの 68 ピン IC ソケットを用いて、2.54mm ピッチのユニバーサル基板に実装が可能です。どうぞご活用ください。

● ご注意

 禁止	1 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2 水中、高湿度の場所での使用はご遠慮ください。
	3 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4 基板表面に他の金属が接触した状態で電源を入れないでください。
	5 定格を越える電圧を加えないでください。
 注意	6 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8 本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10 本書および、回路図、サンプル回路などを無断で複写、引用、配布することはお断りいたします。
	11 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12 ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2022/06/24	3.0	製品リビジョンの更新

1. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

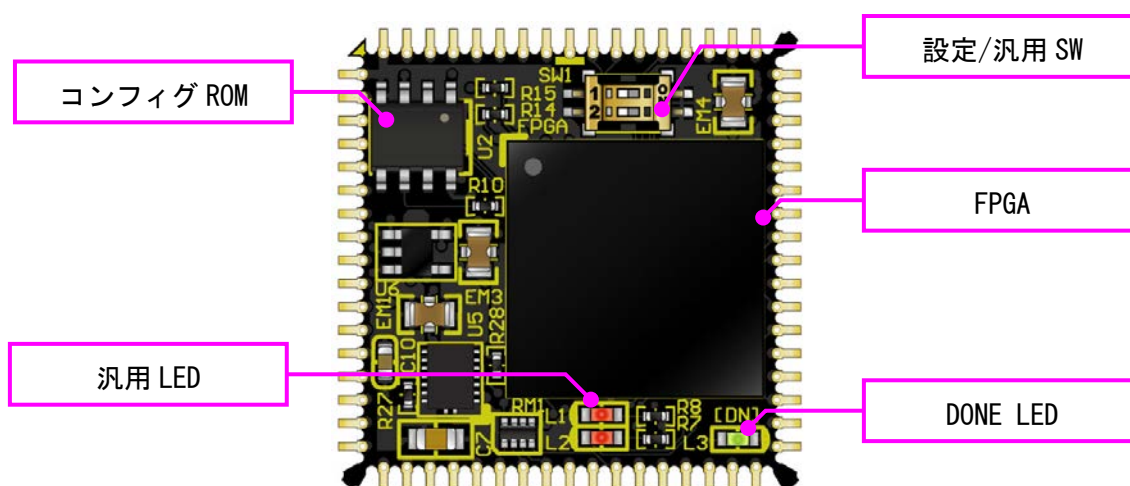
2. 仕様

製品型番	AP68-09-06	AP68-09-10	AP68-09-16	AP68-09-25
搭載 FPGA	10CL006Y U256C8G	10CL010Y U256C8G	10CL016Y U256C8G	10CL025Y U256C8G
電源	DC 3.3[V]			
コンフィグ ROM	EPCQ32A (Intel, 32Mbit)			
ユーザ I/O	50 本			
I/O バンク	2 系統 (VIOA, VIOB)			
クロック	オンボード 50MHz、外部入力 4 本 (ユーザ I/O と共通)			
I/O 電源 (VIOA/VIOB)	1.2[V] ~ 3.3[V] (FPGA のデータシートを参照)			
汎用スイッチ	1 (DIP)			
汎用 LED	2			
消費電流	FPGA デザインに依存			
基板寸法	25.3 x 25.3 [mm] (約 5.0mm 厚)			
質量	約 4 [g]			
プリント基板	ガラスエポキシ 8 層基板			
リセット信号	コンフィグ用リセット信号 (typ. 240ms)			
ステータス LED	DONE (緑)			
挿抜耐久	10 回以上 (対 IC ソケット)			

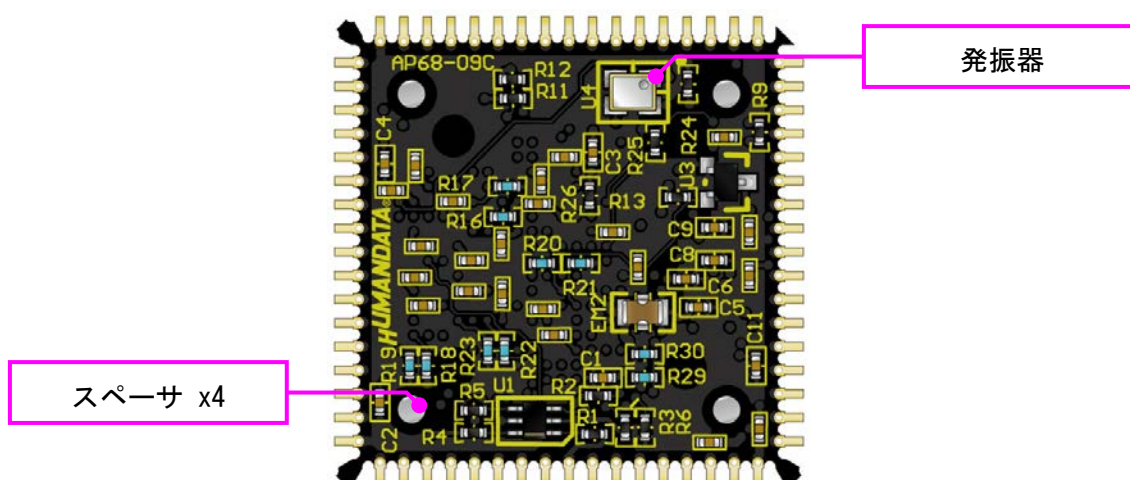
*これらの部品や仕様は、改良等の為、予告無く変更となる場合がございます

3. 製品説明

3.1. 各部名称

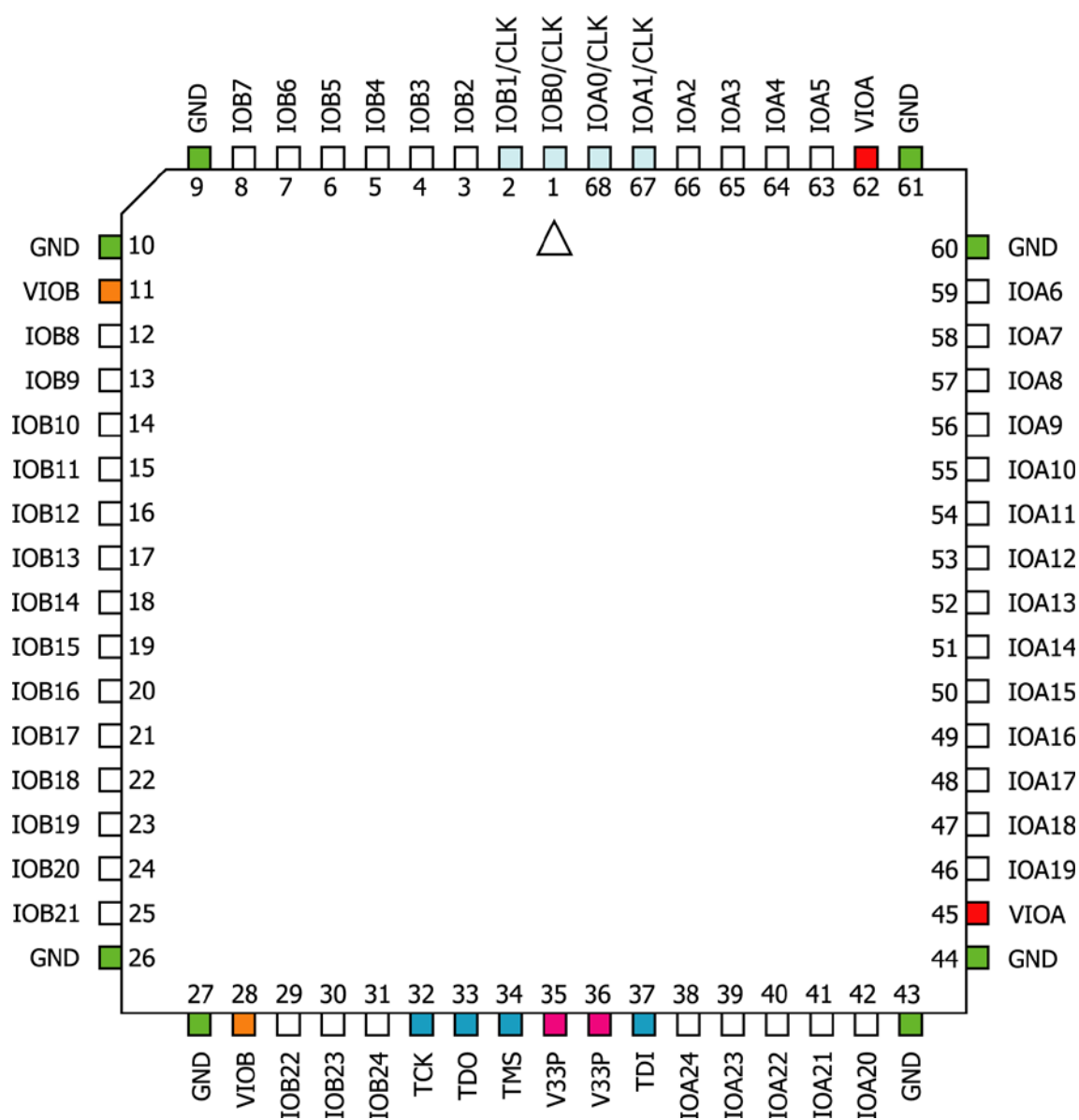


表面



裏面

3.2. ピン配置



TOP VIEW

3.3. 電源

電源入力ピン (V33P) には 3.3V を供給してください。外部から供給する 3.3V 電源は充分安定して、余裕のあるものをご用意ください。いずれも 3.3V を超えることはできません。

VI0A (45, 62), VI0B (11, 28) には任意の I/O 電圧を入力して下さい。未入力には出来ませんのでご注意ください。

詳しくは FPGA のデータシートや回路図などを参照してください。

3.4. クロック

オンボードクロックとして 50MHz を搭載しています。IOA (0/1), IOB (0/1) より外部クロックを入力することも可能です。

詳しくは回路図を参照してください。



3.5. 設定スイッチ

設定スイッチによりコンフィギュレーションモードを変更することが可能です。プルアップ処理ですので ON で Low レベルとなります。

設定可能なコンフィギュレーションモードは下表を参照してください。電源投入時にコンフィグ ROM から FPGA をコンフィギュレーションするには「Active Serial」モードに設定します。

SW1

番号	1	2
ネット名	DSW	MSEL
説明	汎用	コンフィギュレーションモードの選択



コンフィギュレーションモード	SW1 の設定
Active Serial (AS)	OFF (High)
JTAG(*)	ON (Low)

(*) 本来「Passive Serial」モードとするものです

4. FPGA コンフィギュレーション

JTAG 信号はピンに引き出されています。外部コネクタよりバウンダリスキャンを行い、FPGA へのコンフィギュレーションを行います。モジュール外部にてコネクタ等に接続してご使用ください。

内蔵コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

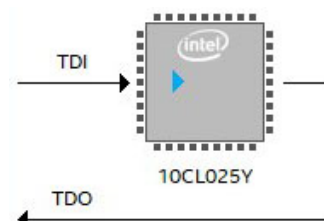
4.1. JTAG 信号

JTAG 信号のピン配置は下表のとおりです。使用状況に応じて、バッファ等を追加されることをお勧め致します。誤接続には充分注意してください。

ピン	信号	方向
32	TCK	IN
33	TDO	OUT
34	TMS	IN
37	TDI	IN

4.2. バウンダリスキャン

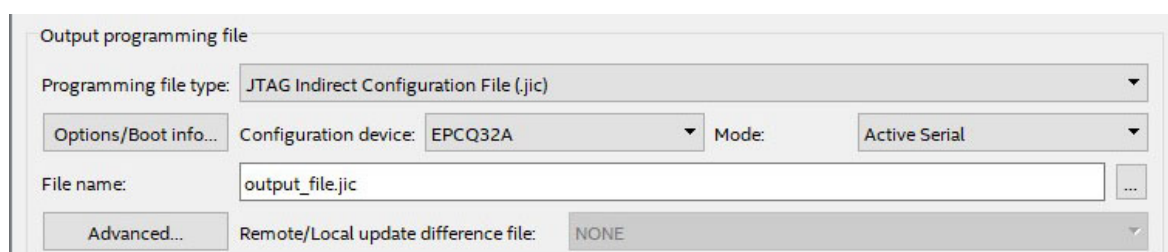
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに sof ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションには次節をご参照ください。



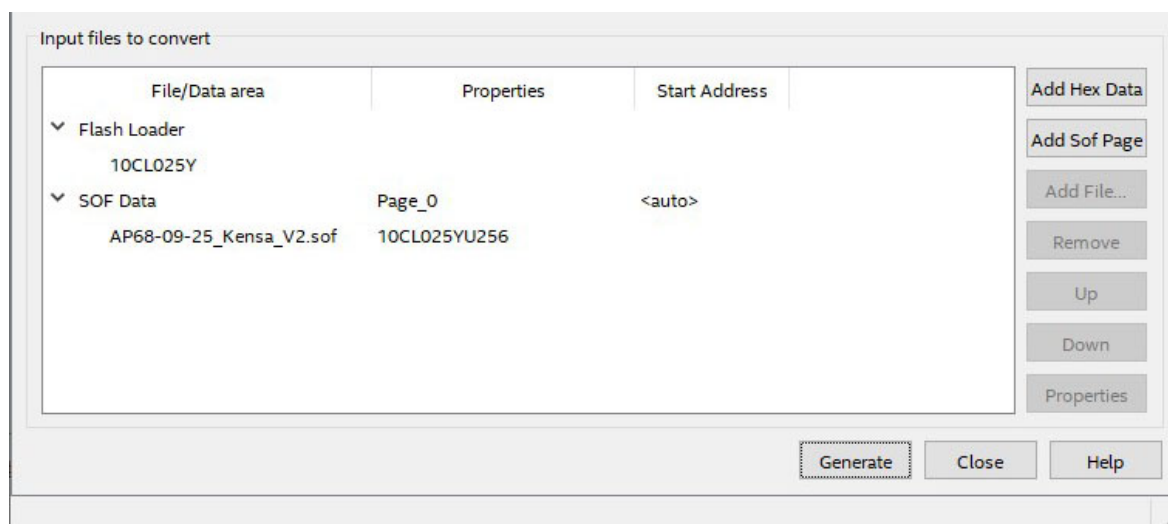
4.3. コンフィグ ROM アクセスファイル (jic ファイル) の作成

コンフィギュレーション ROM へ書き込むためには jic(JTAG Indirect Configuration) ファイルが必要となります。作成手順を以下に示します。

- (1) 【File】 から、【 Convert Programming Files.. 】をクリックします
- (2) 設定画面にて必要な項目を設定します
 - 【Programming File type】: JTAG Indirect Configuration File (.jic)
 - 【Configuration device】: EPCQ32A
 - 【Mode】: Active Serial (Active Serial x4 には対応していません)



- (3) 【Flash Loader】を選択し【Add Device..】をクリックします
- (4) 搭載デバイスを選択し【OK】をクリックします
- (5) 【SOF Data】を選択し【Add File...】をクリックします
- (6) 変換する sof データを選択し【OK】をクリックします



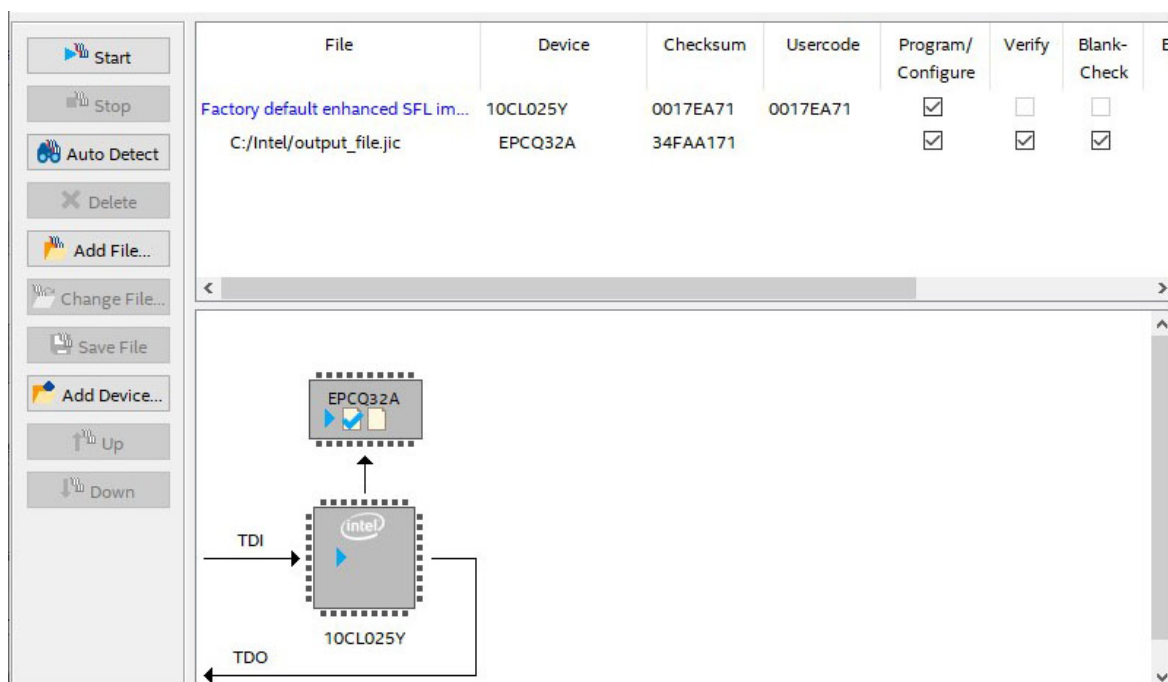
File/Data area	Properties	Start Address
▼ Flash Loader		
10CL025Y		
▼ SOF Data		
AP68-09-25_Kensa_V2.sof	Page_0	<auto>
	10CL025YU256	

- (7) 【Generate】をクリックします

4. 4. コンフィグ ROM アクセス

作成した jic ファイルでコンフィギュレーション ROM にデータを書き込みます。コンフィギュレーションモードは設定スイッチにより AS モードに設定しておく必要があります。イレースも同様の手順で可能です。

- (1) 【Add File...】をクリックし jic ファイルを選択します
- (2) 実行したい項目にチェックを入れ、【Start】をクリックします



5. IC ソケットへの実装

本製品は 68 ピン IC ソケットへ実装してご使用頂くことを想定しております。裏面にスペーサを設置していますので、IC ソケットによっては、ソケット側のスペーサと本体のスペーサやその他部品とが干渉する可能性があります。IC ソケットの選択にはご注意ください。

IC ソケットへの挿入・取外しの際には充分お気を付け下さい。弊社では下記 IC ソケットにて搭載・動作確認を行っております。

タイプ	メーカー	メーカー型番
ディップ型	3M	8468-11B1-RK-TP
表面実装	山一電機	IC160Z-0684-240
		IC160Z-0684-300

6. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/PLCC/ap68-09/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- ネットリスト
- 外形図 ...等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

7. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

PLCC68 Cyclone 10 LP FPGA モジュール
AP68-09 シリーズ Rev3
ユーザーズマニュアル

2022/06/24 Ver.3.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10 茨木ビル
TEL 072-620-2002
FAX 072-620-2003
URL : <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
